

Ranko Vojinović ■ Vladica Avramović

DIGITALNA ELEKTRONIKA

udžbenik za treći razred elektrotehničke škole

.....

Obrazovni programi: Elektrotehničar elektronike,
Elektrotehničar elektronskih komunikacija i
Elektrotehničar računarskih sistema i mreža



Zavod za udžbenike i nastavna sredstva
PODGORICA, 2026.

Ranko Vojinović ■ Vladica Avramović

DIGITALNA ELEKTRONIKA

udžbenik za treći razred elektrotehničke škole

Izdavač: Zavod za udžbenike i nastavna sredstva – Podgorica

Za izdavača: mr Aleksandra Hajduković, direktorica

Glavni urednik: mr Radule Novović

Odgovorni urednik: Lazo Leković

Urednica izdanja: Ivana Popović

Recenzenti:
dr Anđela Draganić
dr Maja Delibašić
Dubravka Delić
Eldin Cikotić
Vesna Četković

Lektura i korektura: Dragan Batrićević

Fotografije: shutterstock.com

Grafička obrada: Nikola Knežević

Tehnička urednica: Dajana Vukčević

CIP - Каталогизација у публикацији
Национална библиотека Црне Горе, Цетиње

ISBN 978-86-303-2578-6
COBISS.CG-ID 36830724

Nacionalni savjet za obrazovanje, Rješenjem br. 08/2-119/25-13070/3 od 29. 12. 2025. godine,
odobrio je ovaj udžbenik za upotrebu u srednjim stručnim školama.

Copyright © Zavod za udžbenike i nastavna sredstva – Podgorica, 2026.

Sadržaj

Predgovor	5
-----------------	---

I. Bulova algebra i prekidačke funkcije 6

1.1 Brojni sistemi i kodovi.....	8
1.1.1 Brojni sistemi.....	8
1.1.1.1 Dekadni brojni sistem	8
1.1.1.2 Binarni brojni sistem	8
1.1.1.3 Heksadecimalni brojni sistem	9
1.1.2 Kodovi	10
1.1.2.1 BCD kodovi.....	10
1.1.2.2 ASCII kod.....	12
1.2 Osnove Bulove algebre.....	14
1.2.1 Logičke operacije.....	14
1.2.1.1 Operacija negacije	14
1.2.1.2 Logičko sabiranje	15
1.2.1.3 Logičko množenje	17
1.2.1.4 Isključivo ILI	19
1.2.2 Zakoni Bulove algebre.....	24
1.2.2.1 De Morganove teoreme	25
1.2.2.2 Identiteti u Bulovoj algebri	26
1.3 Minimizacija prekidačkih funkcija	29
1.3.1 Algebarski metod minimizacije prekidačkih funkcija	29
1.3.2 Minimizacija prekidačkih funkcija pomoću Karnoovih tablica	31

II. Logička kola 44

2.1 Osnovna logička kola	46
2.1.1 Logički invertor (NE kolo)	47
2.1.2 Logičko I kolo	47
2.1.3 Logičko ILI kolo.....	48
2.1.4 Logičko NI kolo.....	48
2.1.5 Logičko NILI kolo	49
2.1.6 Logičko EX ILI i EX NILI kolo	50
2.1.7 Složena logička kola	51

2.2 Realizacije osnovnih logičkih kola primjenom MOS tranzistora	58
2.2.1 CMOS logički invertor.....	61
2.2.2 CMOS NI kolo	62
2.2.3 CMOS NILI kolo	63

III. Multivibratori i bistabilna kola 72

3.1 Bistabilni multivibratori.....	74
3.1.1 Vrste flip-flopa	74
3.1.1.1 RS flip-flop.....	76
3.1.1.2 JK flip-flop.....	80
3.1.1.3 D flip-flop.....	83
3.1.1.4 T flip-flop	84
3.2 Monostabilni i astabilni multivibratori sa logičkim kolima	87
3.2.1 Monostabilni multivibrator sa logičkim kolima.....	87
3.2.2 Astabilni multivibratori sa logičkim kolima.....	90

IV. Kombinacione mreže 96

4.1 Koderi i dekoderi.....	98
4.1.1 Koderi.....	98
4.1.1.1 Koder 4/2	99
4.1.1.2 Koder DC/BCD.....	100
4.1.2 Dekoderi.....	101
4.1.2.1 Dekoder 2/4	102
4.2 Multiplekseri i demultiplekseri.....	112
4.2.1 Multiplekseri.....	112
4.2.2 Demultiplekseri	115

V. Sekvencijalne mreže 132

5.1 Uvod u registre	134
5.1.1 Vrste registara	135
5.1.1.1 Stacionarni registri	136
5.1.1.2 Pomjerački registri	137
5.2 Brojači	143
5.2.1 Uvod u brojače	143
5.2.1.1 Parametri brojača	143
5.2.2 Redni brojači	149
5.2.3 Paralelni brojači	153
5.2.4 Kružni brojači	155

VI. Aritmetička kola 164

6.1 Računske operacije sabiranja i oduzimanja sa binarnim brojevima	166
6.1.1 Sabiranje binarnih brojeva	166
6.1.2 Komplementiranje binarnih brojeva	167
6.1.2.1 Binarni komplementori	170
6.1.2.2 Predstavljanje negativnih brojeva u binarnom brojnom sistemu	170
6.1.3 Oduzimanje binarnih brojeva	172
6.1.4 Množenje binarnih brojeva	175
6.1.5 Dijeljenje binarnih brojeva	176
6.2 Aritmetička kola	178
6.2.1 Sabirači	178
6.2.2 Oduzimači	183

VII. Digitalno-analogni i analogno-digitalni konvertori 192

7.1 Pojam i vrste konvertora	194
7.2 Digitalizacija analognog signala	195
7.2.1 Faza odabiranja	196
7.2.2 Faza kvantizacije	198
7.2.3 Faza kodiranja	200
7.3 Digitalno-analogni konvertori	203
7.4 Analogno-digitalni konvertori	209
7.4.1 A/D konvertori sa uzastopnim približavanjem	210

Praktikum laboratorijskih vježbi 220

L.1 Uvod u laboratorijski praktikum	222
L.1.1 Izvor jednosmjernog napona	222
L.1.2 Multimetar	223
L.1.3 Generator funkcija	224
L.1.4 Slike i opisi integrisanih kola korišćenih u vježbama	225
L.1.5 Eksperimentalna pločica za povezivanje elektronskih komponenti	231
L.1.6 Softveri za simulaciju rada električnih kola	232
L.1.6.1 Softver za simulaciju rada električnih kola (TINA)	232
L.1.6.2 Softver za simulaciju rada električnih kola (Circuit Wizard)	236
L.2. Praktične vježbe	241
L.2.1 Praktična vježba br. 1	242
L.2.2 Praktična vježba br. 2	245
L.2.3 Praktična vježba br. 3	250
L.2.4 Praktična vježba br. 4	259
L.2.5 Praktična vježba br. 5	267
L.2.6 Praktična vježba br. 6	272
L.2.7 Praktična vježba br. 7	275

Prilozi 284

Prilog 1 Kodovi	285
Prilog 2 Tablice istinitosti logičkih operacija ..	286
Prilog 3 Zakoni, teoreme i identiteti Bulove algebre	287
Prilog 4 Šematski prikazi logičkih kola	288
Osnovna logička kola	288
Složena logička kola	288
Rječnik pojmova	289
Literatura	300

Predgovor

Dragi učenice, draga učenice,

Udžbenik Digitalna elektronika sastoji se od dva dijela. Prvi sadrži sedam poglavlja, podijeljenih na nastavne teme. Svako poglavlje sadrži kratak uvod, koji će te podstaći da razmišljaš o sadržajima koji slijede i **osnovni tekst nastavne teme** – obavezan sadržaj koji treba da naučiš. Osnovni tekst prate odgovarajući **primjeri**, koji pomažu razumijevanju njegovog sadržaja. Djelovi teksta koji nijesu obuhvaćeni programom, a za koje su autori smatrali da je korisno da ih pročitaš, označeni su sa **Proširi znanje**. Važan dio udžbenika, koji je postavljen na marginama kako ne bi opterećivao osnovni tekst, sadrži **zanimljivosti**, **primjenu naučenog** i **veze sa ostalim predmetima**. Cilj ovih elemenata jeste da te dodatno zainteresuju za sadržaj osnovne teme, da ti omoguće da saznaš kakve su praktične primjene izloženih sadržaja, te da pročitano povezuješ sa nastavnim sadržajima koje si izučavao/izučavala u okviru drugih predmeta.

Na kraju svakog poglavlja objašnjeno je **značenje manje poznatih riječi** u kontekstu u kojem se one javljaju. Na kraju svakog poglavlja dat je i njegov **rezime** sa preglednim i konciznim sadržajem poglavlja, kao i **pregled veb-sajtova** koji ti omogućuju, ukoliko si zainteresovan/zainteresovana, da se upoznaš sa dodatnim sadržajima u vezi sa gradivom iz poglavlja. U okviru poglavlja i na njihovim krajevima data su **pitanja i zadaci za provjeru usvojenih znanja**, sa **riješenim zadacima**.

Drugi dio udžbenika predstavlja **Praktikum laboratorijskih vježbi**, i u njemu su obrađene **laboratorijske vježbe** predviđene Planom i programom modula. Na početku svake vježbe dati su odgovarajući **QR kodovi** uz pomoć kojih, korišćenjem pametnih telefona, možeš preuzimati sadržaj vježbi.

U **rječniku pojmova** na kraju udžbenika na pregledan način definisani su pojmovi iz oblasti digitalne elektronike koji su sadržani u udžbeniku. Živimo u vremenu digitalnih tehnologija koje korjenito mijenjaju svijet. Svijet je sada povezaniji nego ikada ranije, povećana je produktivnost u procesima proizvodnje, olakšan je pristup informacijama i značajno poboljšan kvalitet života. Na digitalnoj elektronici zasnovan je rad svih informatičkih uređaja. Izučavanjem digitalne elektronike moći ćeš da shvatiš na kojim su principima ti uređaji sagrađeni, kako funkcionišu i kako da ih koristiš. Uz to, ovo izučavanje pomoći će ti da jačaš radoznalost i kreativnost, da razvijaš svijest o poštovanju pravila, racionalnom trošenju materijalnih dobara, uz osjećaj lične odgovornosti i jačanje ekološke svijesti.

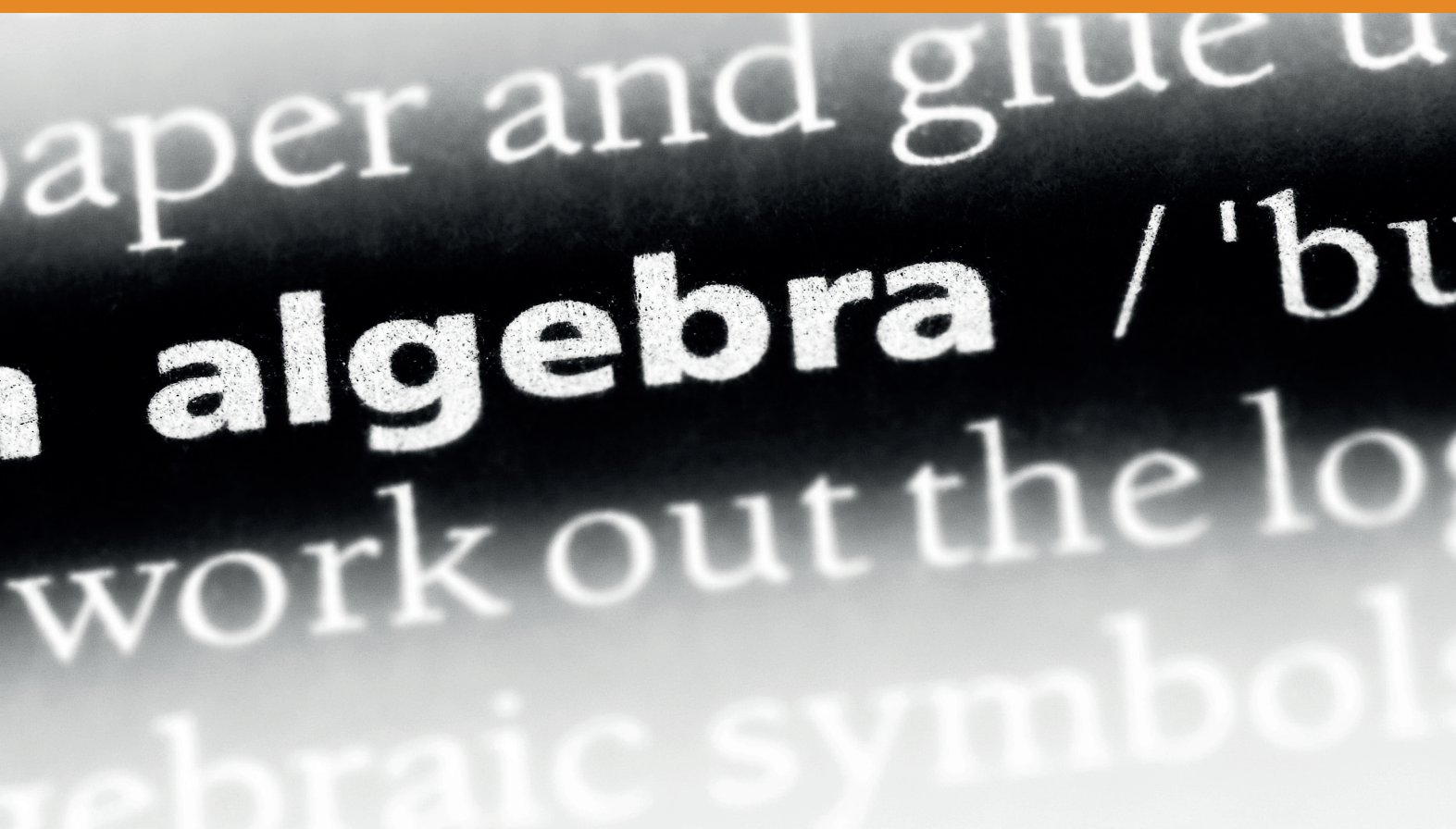
Autori

Boolean

I. Bulova algebra i prekidačke funkcije

Usvajanjem novih znanja iz ovog poglavlja, moći ćeš da:

- navedeš i objasniš osnovna pravila, teoreme i identitete Bulove algebre
- predstaviš zadate prekidačke funkcije – analitički i pomoću tabela istinitosti
- objasniš načine minimizacije prekidačkih funkcija
- izvršiš minimizaciju prekidačkih funkcija na zadatom primjeru.



Uvod

Još u doba grčkih filozofa stavovi logičkog mišljenja izražavani su riječima „tačno“ i „netačno“. Matematičari su dugo pokušavali da i u matematičke zakone uvedu ovakvu logiku. Najzad je engleski matematičar Bul (George Boole) u svojim radovima, objavljenim prije više od sto godina, pokazao da se neki načini razmišljanja mogu predstaviti matematičkim relacijama zasnovanim na ovoj logici. Tako je rođena nova grana matematike – matematička logika, i u sklopu nje nova algebra – Bulova algebra.

Stavovima „tačno“ i „netačno“, u Bulovoj algebri se dodjeljuju vrijednosti 1 i 0, koje predstavljaju cifre binarnog brojnog sistema. Pokazalo se da Bulova algebra predstavlja idealan matematički alat za analizu rada i projektovanje digitalnih električnih kola. Naime, digitalna elektronika obuhvata kola koja koriste samo dva nivoa ulaznih i izlaznih

signala, odnosno koriste dva različita nivoa napona. Ovakav dizajn (sa dva stanja) omogućuje korišćenje binarnog brojnog sistema u digitalnoj elektronici. U većini digitalnih kola binarnu nulu predstavlja napon od 0 V, a binarnu jedinicu napon od +5 V.

Rad digitalnih kola zasnovan je na prekidačkim osobinama tranzistora koji ih grade. Prekidački element ima dva stanja („uključen“ ili „isključen“) koji odgovaraju stanjima logičke jedinice odnosno nule. Na ovim osnovama, odnosno na prekidačkim funkcijama tranzistora, zasnovan je rad složenih digitalnih kola.

U ovom poglavlju podsjetićeš se brojnih sistema i kodova, a upoznaćeš se sa osnovnim pravilima na kojima je zasnovan rad digitalnih kola, tj. sa osnovama Bulove algebre, kao i načinima na koji se složenije prekidačke funkcije svode na prostije.

1.1 Brojni sistemi i kodovi

Iz modula Osnovi računarstva upoznao/upoznala si se sa brojnim sistemima, sa osnovnim operacijama u brojnim sistemima, kao i predstavljanjem podataka pomoću koda. U ovom dijelu poglavlja, ukratko ćeš se podsjetiti brojnih sistema i kodova.

1.1.1 Brojni sistemi

Osnovni zadatak računara jeste da prikazuje i memoriše brojeve, te da izvršava logičke i aritmetičke operacije sa tim brojevima. Brojevi se mogu prikazati u različitim **brojnim sistemima**. Brojni sistem je sistem pomoću kojeg se predstavljaju brojevi. Brojevi su sastavljeni od cifara. Brojni sistem koji svakodnevno koristimo jeste dekadni ili decimalni brojni sistem.

1.1.1.1 Dekadni brojni sistem

Osnova dekadnog brojnog sistema je deset, jer se koristi deset cifara. Cifre u dekadnom brojnom sistemu su 1, 2, 3, 4, 5, 6, 7, 8, 9 i 0. Dajući ciframa određene pozicije, odnosno težine, možemo izraziti brojeve veće od devet.

Broj 10 predstavlja osnovu dekadnog brojnog sistema. Osnova brojnog sistema jednaka je broju cifara koje se koriste u tom brojnom sistemu.

Uopšteno, svaki dekadni broj N , koji ima n cifara, može da se prikaže kao zbir:

$$N = 10^{n-1} \cdot b_{n-1} + \dots + 10^2 \cdot b_2 + 10^1 \cdot b_1 + 10^0 \cdot b_0,$$

gdje su $b_{n-1}, \dots, b_2, b_1, b_0$ cifre dekadnog brojnog sistema.

U daljem tekstu, dekadne brojeve ćemo označavati indeksom 10. Na primjer, dekadni broj 523 označićemo sa 523_{10} .

1.1.1.2 Binarni brojni sistem

Rad računara zasniva se na binarnom sistemu sa osnovom dva. Računari se prave od digitalnih kola, koja mogu biti u dva stanja – kad provode struju (stanje 1) i kad ne provode struju (stanje 0). Digitalni sistemi realizuju se pomoću kola koja obrađuju binarne digitalne signale. Ovim signalima predstavljaju se binarne cifre 0 i 1. Zbog toga se u digitalnoj elektronici najčešće koristi brojni sistem sa osnovom 2, koji se naziva **binarni brojni**

NAPOMENA

Razlikuj pojmove broj i cifra.
Brojevi se predstavljaju ciframa.

sistem. Cifra binarnog sistema naziva se bit (engl. *binary digit*). Najčešće se koristi grupa od osam bita koja se naziva **oktet** ili, mnogo češće, **bajt**.

Digitalni podaci obično se prikazuju u obliku binarnog broja sa n cifara, odnosno bitova $b_{n-1}, \dots, b_2, b_1, b_0$. Cifre b_i mogu da imaju vrijednosti 1 i 0. Kao i kod dekadnih brojeva, pozicije cifara u binarnom broju imaju odgovarajući značaj (ili težinu). Krajnje lijevi bit, bit b_{n-1} , ima najveći značaj ili težinu, i često se označava kao najznačajniji bit (MSB, engl. *most significant bit*). Krajnje desni bit, bit b_0 , ima najmanji značaj ili težinu, i često se označava kao najmanje značajan bit (LSB, engl. *least significant bit*). Na primjer, u osmobitnom broju 01011101 najznačajniji bit ima vrijednost **0**, a najmanje značajan bit vrijednost **1**.

Binarne brojeve označavaćemo indeksom 2, npr. 01011101₂.

Vrijednost nekog dekadnog broja N može se izraziti binarnim brojem pomoću obrasca:

$$N = 2^{n-1} \cdot b_{n-1} + \dots + 2^2 \cdot b_2 + 2^1 \cdot b_1 + 2^0 \cdot b_0.$$

Na primjer, binarnom broju 10010011₂ odgovara dekadni broj 147₁₀, jer je:

$$\begin{aligned} 1 \cdot 2^7 + 0 \cdot 2^6 + 0 \cdot 2^5 + 1 \cdot 2^4 + 0 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 &= \\ &= 128 + 16 + 2 + 1 = 147_{10}. \end{aligned}$$



Veza sa drugim modulima

Ponovi iz modula Osnova računarstva procedure pretvaranja brojeva iz dekadnog u binarni brojni sistem, i obrnuto.

1.1.1.3 Heksadecimalni brojni sistem

Binarni sistem pogoduje računarima, ali je nezgodan za ljude. Dekadni sistem ljudima je neuporedivo pogodniji od binarnog, ali je nepodesan zbog pretvaranja između osnove 2 i osnove 10.

U praksi se koristi još jedan način predstavljanja brojeva. Sve moguće kombinacije za četiri binarne cifre date su kao simboli, na sljedeći način:

0000 = 0	0100 = 4	1000 = 8	1100 = C
0001 = 1	0101 = 5	1001 = 9	1101 = D
0010 = 2	0110 = 6	1010 = A	1110 = E
0011 = 3	0111 = 7	1011 = B	1111 = F

Dakle, za predstavljanje heksadecimalnih brojeva koristi se 16 cifara : 0, 1, ..., 9, A, B, C, D, E i F. Simboli A, B, C, D i F odgovaraju brojevima 10, 11, 12, 13, 14 i 15 u decimalnom brojnom sistemu.

Pošto se koristi šesnaest simbola, ovakav način pisanja naziva se heksadecimalni (grčka riječ hekša – šesnaest), a ovih 16 simbola su heksadecimalne cifre. U daljem tekstu, heksadecimalne brojeve označavaćemo indeksom 16. Na primjer, heksadecimalni broj 2C označavaćemo sa $2C_{16}$.

Konverzija binarnog u heksadecimalni broj vrši se tako što se biti binarnog broja grupišu u grupe od po četiri bita, idući od bita najmanje težine prema bitu najveće težine. Ovako dobijene grupe bita zamjenjuju se odgovarajućim heksadecimalnim simbolima od 0 do F. Na primjer:

$$100011011110_2 = 1000\ 1101\ 1110_2 = 8DE_{16}.$$

Broj iz heksadecimalnog pretvara se u broj iz binarnog sistema tako što se svaka heksadecimalna cifra zamijeni odgovarajućim nizom od četiri bita. Na primjer:

$$5A_{16} = 0101\ 1010_2.$$

Iz ovih primjera vidi se da je za predstavljanje heksadecimalnog broja potrebno četiri puta manje cifara u odnosu na predstavljanje binarnog broja, što predstavlja osnovnu prednost heksadecimalnog u odnosu na binarni brojni sistem.

1.1.2 Kodovi

U digitalnim sistemima često je potrebno da se neki broj iz nekog brojnog sistema ili neki karakter (slovo, znak, simbol) prevede u drugi oblik. U tu svrhu koriste se **kodovi**.

Grupa simbola kojom se predstavlja neki karakter naziva se **kodna riječ**, a broj simbola u kodnoj riječi zove se **dužina kodne riječi**. Zbog toga se kaže da grupa simbola **kodira** neki karakter.

Kodne kombinacije unutar binarnog brojnog sistema mogu se praviti na različite načine, pa zato postoji velik broj kodova, koji se zovu **binarni kodovi**. U računarima se, pored kodiranja brojeva, kodiraju i slovni simboli.

1.1.2.1 BCD kodovi

BCD (*binary coded decimal*) predstavlja binarno kodiranu grupu od 4 bita. BCD kod je osnovni binarni kod. Najpoznatiji BCD kod jeste NBCD (*natural binary-coded decimal*), **prirodni binarni kod**. Pridruživanje binarnih kombinacija od 4 bita pojedinim dekadnim ciframa može se izvršiti

na različite načine, pa zbog toga postoji više različitih binarnih kodova: Ajkenov kod, Grejov kod, BCDXS3 kod itd.

1.1.2.1.1 NBCD kod

Kombinacijom dekadnog brojnog sistema (koji je najpogodniji za obavljanje računskih operacija) i binarnog sistema (koji je najpogodniji za obradu podataka u računarima) dolazi se do **prirodnog binarno kodiranog dekadnog sistema** – NBCD koda. Ovaj kod se, po težinama svojih binarnih cifara, zove i 8421 kod. Prvih 10 kombinacija od 4 bita koriste se za kodiranje dekadnih simbola (od 0 do 9).

Svaki dekadni broj može se predstaviti – konvertovati u NBCD kod. On se formira tako što se svaka dekadna cifra konvertuje u odgovarajući binarni kod od četiri bita. Na primjer:

$$450_{10} = 0100\ 0101\ 0000_{\text{NBCD}}$$

Obrnuti postupak, konverzija NBCD koda u dekadni broj, vrši se tako što se binarne četvorke zamijene odgovarajućim dekadnim ciframa. Na primjer:

$$0010\ 0101\ 0110_{\text{NBCD}} = 256_{10}$$

U tabeli 1.1 dat je pregled dekadnih brojeva od 0 do 15 sa standardnim i NBCD kodom od po 4 bita.

Tabela 1.1 Standardni i NBCD kod od 4 bita

Dekadni broj	Standardni binarni kod	NBCD 8421 kod
0	0000	0000
1	0001	0001
2	0010	0010
3	0011	0011
4	0100	0100
5	0101	0101
6	0110	0110
7	0111	0111
8	1000	1000
9	1001	1001
10	1010	0001 0000
11	1011	0001 0001
12	1100	0001 0010
13	1101	0001 0011
14	1110	0001 0100
15	1111	0001 0101

NAPOMENA

Grupa od 4 bita često se u literaturi naziva tetrad.

1.1.2.1.2 Grejov kod

Grejov kod ima osobinu da se kombinacije bilo koje dvije susjedne binarne riječi razlikuju za samo jedan bit. Primjer dvije susjedne kodne riječi jesu kodne kombinacije od 4 bita: 1001 i 1101. Ove kodne riječi razlikuju se samo u trećoj poziciji cifre (2^2), gdje je u prvoj kodnoj riječi 0, a u drugoj kodnoj riječi 1. Ta osobina pogodna je za utvrđivanje greške pri digitalnom prenosu podataka. Naime, ako pri prenosu greškom dođe do promjene jednog bita, tada će greškom zauzeto stanje biti susjedno ispravnom.

Grejov kod, sa odgovarajućim prirodnim binarnim kodom, dat je u tabeli 1.2.

Tabela 1.2 Četvorobitni binarni i Grejov kod

	Binarni kôd	Grejov kôd		Binarni kôd	Grejov kôd
0	00000	00000	11	01011	01110
1	00001	00001	12	01100	01010
2	00010	00011	13	01101	01011
3	00011	00010	14	01110	01001
4	00100	00110	15	01111	01000
5	00101	00111	16	10000	11000
6	00110	00101	17	10001	11001
7	00111	00100	18	10010	11011
8	01000	01100	19	10011	11010
9	01001	01101	20	10100	11110
10	01010	01111	21	10101	11111

Binarni broj i broj u Grejovom kodu imaju jednak broj cifara.

1.1.2.2 ASCII kod

Podaci se, u opštem slučaju, sastoje od numeričkih i slovničkih simbola. To znači da je, pored kodiranja numeričkih podataka, potrebno kodirati i slovne simbole. To se vrši tako što se svakom znaku ili karakteru dodjeljuje odgovarajući binarni zapis ili kod. Binarni kod svakog karaktera je jedinstven i definisan odgovarajućom kodnom tabelom. Najrasprostranjenija kodna tabela jeste Američki standardni kod za razmjenu informacija – ASCII (engl. *American Standard Code for Information Interchange*). Svaki karakter

NAPOMENA

Skup karaktera ASCII koda nije potpuno standardizovan, pa se može razlikovati kod personalnih računara koji koriste različite operativne sisteme. Tako se, na primjer, korišćenjem računara koji imaju operativni sistem Mekintoš (Macintosh) i onih koji koriste Vindous (Windows), ponekad mogu primijetiti greške u prikazu dokumenata koji u sebi sadrže karaktere nekih stranih jezika ili specijalne znakove.

Mada ASCII sadrže simbole i nekih stranih jezika, broj takvih simbola već sada nije dovoljan. Neki jezici, kao što su kineski ili arapski, sadrže mnogo veći broj simbola. Kodni sistem **Unicode** (čita se: Junikod) rješava taj problem tako što proširuje broj raspoloživih bitova na 16. Pošto se sa 16 bita može predstaviti $2^{16} = 65536$ karaktera, to je dovoljno za prikaz pisama svih svjetskih jezika.

u ovom kodu predstavljen je 7-bitnim zapisom, što ostavlja mogućnost kreiranja do $2^7 = 128$ različitih karaktera. Alfabet se sastoji od 96 štampanih znakova, uključujući tu velika i mala slova, cifre od 0 do 9, te ostale karaktere koji ne mogu da se štampaju, ali koji su povezani sa kontrolnim funkcijama. Pregled ASCII karaktera dat je u tabeli 1.3.

Tabela 1.3 ASCII kod

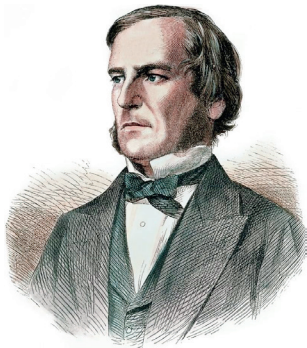
bitovi $b_3b_2b_1b_0$	bitovi $b_6b_5b_4$							
	000	001	010	011	100	101	110	111
0000	NUL	DLE	SP	0	@	P	`	p
0001	SOH	DC1	!	1	A	Q	a	q
0010	STX	DC2	"	2	B	R	b	r
0011	ETX	DC3	#	3	C	S	c	s
0100	EOT	DC4	\$	4	D	T	d	t
0101	ENQ	NAK	%	5	E	U	e	u
0110	ACK	SYN	&	6	F	V	f	v
0111	BEL	ETB	'	7	G	W	g	w
1000	BS	CAN	(	8	H	X	h	x
1001	HT	EM	)	9	I	Y	i	y
1010	LF	SUB	*	:	J	Z	j	z
1011	VT	ESC	+	;	K	[	k	}
1100	FF	FS	,	<	L	\	l	
1101	CR	GS	-	=	M	]	m	}
1110	SO	RS	.	>	N	^	n	~
1111	SI	US	/	?	O	_	o	DEL

Provjera

usvojenih znanja

1. Definiši osnovne brojne sisteme.
2. Objasni razliku između BCD i Grejovog koda.
3. Ilustruj na primjeru pretvaranje dekadnog broja u prirodni binarni kod i heksadecimalni broj.
4. Navedi razloge uvođenja heksadecimalnog brojnog sistema.

1.2 Osnove Bulove algebre



Džordž Bul

(George Boole, 1815–1864), engleski matematičar. Njegovo najveće dostignuće jeste uvođenje u matematiku i logiku posebne grane matematike koja je po njemu dobila ime Bulova algebra. Zbog značaja Bulove algebre, kao i njene primjene u informatici i matematičkoj logici, Bul se smatra jednim od osnivača informatičkih nauka.

PROŠIRI ZNANJE

Razlikuj binarne 0 i 1 iz binarnog brojnog sistema, i logičke 0 i 1, koje se koriste u Bulovoj algebri. Binarne 0 i 1 su brojevi koji imaju svoju vrijednost, a logičke 0 i 1 su naponi, zatvoreni ili otvoreni prekidači, stanja kad ima ili nema struje u kolu, kad sijalica svijetli ili ne svijetli, kad ima napona ili nema napona itd. Binarni brojevi se sabiraju, oduzimaju, množe i dijele, a nad logičkim stanjima primjenjuju se logičke operacije.

U matematici se sve aritmetičke operacije izvode nad deset cifara: 0, 1, 2, ..., 8, 9. Osnovne aritmetičke operacije su sabiranje, oduzimanje, množenje i dijeljenje. Međutim, postoji grana matematike kod koje se sve operacije izvode samo nad dvjema ciframa, 0 i 1. Ova grana matematike naziva se **logička algebra**, a te operacije nazivaju se **logičke operacije**. Logičke operacije razlikuju se od aritmetičkih operacija, koje se izvode nad dekadnim brojevima.

Osnove logičke algebre postavio je Džordž Bul, engleski matematičar iz 19. vijeka, pa se po njemu ova grana matematike naziva i Bulova algebra. Bulova algebra je matematički temelj računarskih nauka.

U računarstvu, cifre 1 i 0 nazivaju se binarni dígiti, ili skraćeno: bitovi. Elektronski uređaji koji služe za izvođenje osnovnih logičkih operacija nazivaju se **logička kola**. Svi sklopovi digitalne elektronike zasnovani su na logičkim kolima. Logička kola imaju svoje ulaze (na koje se dovode logičke vrijednosti 1 ili 0) i svoj izlaz (gdje se može dobiti samo logičko stanje 1 ili 0).

1.2.1 Logičke operacije

Bulova algebra zasniva se na aksiomama i pravilima koje ćemo u daljem tekstu zvati jednim imenom **jednakosti** Bulove algebre. Promjenljiva u Bulovoj algebri može imati vrijednosti 0 ili 1. Ulazne promjenljive logičkih kola označavaćemo sa $A, B, C, \dots$ a izlazne promjenljive logičkih kola sa $X, Y, \dots$ ili sa $F, F_1, F_2, \dots$ i tako redom.

Osnovne logičke operacije su: **negacija**, **logičko sabiranje** i **logičko množenje**.

1.2.1.1 Operacija negacije

Operacija negacije skraćeno se obilježava sa NE ili (engleski NOT). Negacija ili logički **komplement** (kraće: komplement) promjenljive A označava se simbolom $\bar{A}$. Komplement neke promjenljive A ima vrijednost suprotnu od A , to jest ako promjenljiva A ima jednu od vrijednosti 0 ili 1, tada će $\bar{A}$ imati onu drugu vrijednost 1 ili 0.

Za logičku operaciju NE, važi: ako je $A = 0$, onda je $\bar{A} = 1$, i ako je $A = 1$, onda je $\bar{A} = 0$.

Tabela 1.4 Tabela istinitosti za logičko komplementiranje

A	$F = \bar{A}$
0	1
1	0

NAPOMENA

Kada je prekidač A otvoren (isključen), on je u stanju logičke 0 (kroz njega ne teče struja), pa predstavlja veoma veliku otpornost u strujnom kolu. Kada je prekidač A zatvoren (uključen), on je u stanju logičke 1 (kroz njega teče struja), pa predstavlja malu otpornost u strujnom kolu. Prekidač je paralelno vezan potrošaču (sijalici) i izvoru jednosmjernog napona.

Tabela 1.5 Tabela istinitosti za logičko sabiranje

A	B	$F = A + B$
0	0	0
0	1	1
1	0	1
1	1	1

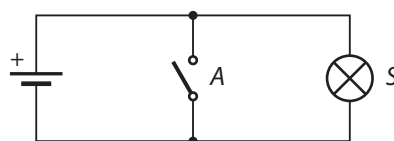
NAPOMENA

Uočite razliku između logičkog i binarnog sabiranja. Razlika je u zadnjoj kombinaciji: kod logičkog sabiranja $1 + 1 = 1$, dok je kod binarnog sabiranja $1 + 1 = 10_2 = 2_{10}$.

Tabela 1.4 pokazuje vrijednosti logičkog komplementa za sve (u ovom slučaju dvije) vrijednosti ulazne promjenjive A. Ovakva tabela predstavlja **tabelu istinitosti**.

Osnovna pravila Bulove algebre koja važe za operacije logičkog komplementiranja, možemo predstaviti pomoću jednog prekidača u kolu jednosmjerne električne struje.

Ilustracija operacije logičkog komplementiranja prikazana je na slici 1.1 pomoću paralelne veze prekidača, jednosmjernog izvora i sijalice.



Slika 1.1 Ilustracija operacije logičkog komplementiranja pomoću jednog prekidača

Struja može teći kroz granu i sijalica će da svijetli (stanje izlaza 1) kada je prekidač A otvoren (u stanju 0). Struja neće teći i sijalica neće svijetliti (stanje izlaza 0) kada je prekidač zatvoren (u stanju 1). Stanja prekidača i sijalice su suprotna, što odgovara logičkom komplementiranju. Znači, stanje sijalice, kao izlazne funkcije F , ima oblik:

$$F = \bar{A}.$$

U opštem slučaju, paralelna veza više prekidača sa potrošačem – sijalicom odgovara komplementiranoj vrijednosti stanja prekidača.

1.2.1.2 Logičko sabiranje

Bulov izraz za logičko sabiranje, odnosno ILI operaciju, za dvije promjenljive jeste: $F = A + B$.

Za logičko sabiranje važi: logički zbir jednak je 0 samo u slučaju da su obje ulazne promjenljive jednake 0. U ostalim slučajevima logički zbir jednak je 1.

Tabela 1.5 pokazuje tabelu istinitosti, odnosno vrijednosti logičkog zbira, za sve kombinacije ulaznih promjenljivih A i B (četiri kombinacije).

Pravilo logičkog sabiranja može se proširiti i na slučaj sa više promjenljivih. Tada:

Logički zbir jednak je 0 samo u slučaju kada su sve ulazne promjenljive jednake 0.

Iz pravila za logičko sabiranje mogu se izvesti neki važni zaključci.

- (1) Ako se A sabira sa 0, rezultat je uvijek A .

Ako je $A = 0$, onda je $0 + 0 = 0 = A$.

Ako je $A = 1$, onda je $1 + 0 = 1 = A$.

Zaključujemo da je $A + 0 = A$.

- (2) Ako se A sabira sa 1, rezultat je uvijek 1.

Ako je $A = 0$, onda je $0 + 1 = 1$.

Ako je $A = 1$, onda je $1 + 1 = 1$.

Zaključujemo da je $A + 1 = 1$.

- (3) Ako se A sabira sa samim sobom, onda je rezultat A .

Ako je $A = 0$, onda je $0 + 0 = 0 = A$.

Ako je $A = 1$, onda je $1 + 1 = 1 = A$.

Zaključujemo da je $A + A = A$.

- (4) Ako se A sabira sa svojim komplementom, rezultat je uvijek 1.

Ako je $A = 0$, onda je $\bar{A} = 1$, pa je $0 + 1 = 1 = \bar{A}$.

Ako je $A = 1$, onda je $\bar{A} = 0$, pa je $1 + 0 = 1 = \bar{A}$.

Zaključujemo da je $A + \bar{A} = 1$.

Dobijeni zaključci predstavljaju važne jednakosti koje imaju, kako ćemo kasnije vidjeti, veliku primjenu u digitalnoj elektronici. Zbog toga ćemo ih naglasiti:

$$A + 0 = A$$

$$A + 1 = 1$$

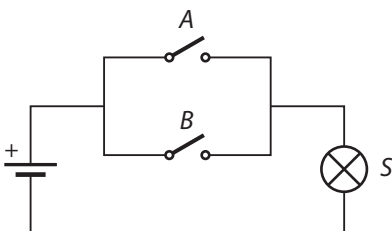
$$A + A = A$$

$$A + \bar{A} = 1.$$

Osnovna pravila Bulove algebre koja važe za operacije logičkog sabiranja možemo predstaviti pomoću prekidača u kolima električne struje.

Ilustracija operacije logičkog sabiranja prikazana je na slici 1.2 pomoću **paralelne veze** dva prekidača.

Paralelna veza prekidača A i B serijski je vezana sa izvorom jednosmjernog napona i sijalicom. Struja može teći kroz granu i sijalica će da svijetli (stanje izlaza 1) kada je barem jedan od prekidača A ili B uključen (u stanju 1). Struja neće teći i sijalica neće svijetliti (stanje izlaza 0) jedino kada su



Slika 1.2. Ilustracija operacije logičkog sabiranja pomoću dva prekidača

oba prekidača otvorena (u stanju 0). Znači, stanje sijalice, kao izlazne funkcije F , ima oblik:

$$F = A + B.$$

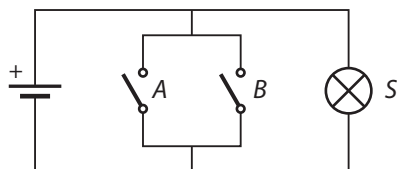
Zasnovano na ovoj analogiji, u Bulovoj algebri logičko sabiranje još se naziva ILI operacija (na engleskom OR operacija).

Analogija Bulovih operacija sa električnim kolima u kojima su prekidači, daje ideju da se funkcije Bulove algebre, osim logičkih, nazivaju i **prekidačke funkcije**.

PRIMJER 1.1

Predstavi datu funkciju $F = \overline{A+B}$ pomoću prekidača u kolu električne struje.

Rješenje: Zadana funkcija predstavlja komplement logičkog zbira logičkih promjenjivih A i B . Da bi se dobio zbir dvije logičke promjenjive pomoću prekidača, oni se moraju paralelno povezati. Ako se želi dobiti njihov komplement, njihova veza sa sijalicom i izvorom jednosmjernog napona mora biti paralelna. Na slici 1.3 prikazana je zadana funkcija pomoću dva prekidača.



Slika 1.3. Ilustracija zadate funkcije sa dva prekidača

1.2.1.3 Logičko množenje

Bulov izraz za logičko množenje, odnosno I operaciju, za dvije promjenljive jeste: $F = A \cdot B$.

Za logičko množenje važi: Logički proizvod jednak je 1 samo u slučaju da su obje ulazne promjenljive jednake 1. U ostalim slučajevima logički proizvod jednak je 0.

Tabela 1.6 pokazuje tabelu istinitosti, odnosno vrijednosti logičkog množenja, za sve kombinacije ulaznih promjenjivih A i B (četiri kombinacije).

Pravilo logičkog množenja može se proširiti i na slučaj sa više promjenljivih. Tada:

Logički proizvod jednak je 1 samo u slučaju kada su sve ulazne promjenljive jednake 1.

Tabela 1.6 Tabela istinitosti za logičko množenje

A	B	$F = A \cdot B$
0	0	0
0	1	0
1	0	0
1	1	1

Iz pravila za logičko množenje, mogu se izvesti neki važni zaključci:

- (1) Ako se A logički množi sa 0, rezultat je uvijek 0.

Ako je $A = 0$, onda je $0 \cdot 0 = 0$.

Ako je $A = 1$, onda je $1 \cdot 0 = 0$.

Zaključujemo da je $A \cdot 0 = 0$.

- (2) Ako se A logički množi sa 1, rezultat je uvijek A .

Ako je $A = 0$, onda je $0 \cdot 1 = 0 = A$.

Ako je $A = 1$, onda je $1 \cdot 1 = 1 = A$.

Zaključujemo da je $A \cdot 1 = A$.

- (3) Ako se A logički množi sa samim sobom, onda je rezultat A .

Ako je $A = 0$, onda je $0 \cdot 0 = 0 = A$.

Ako je $A = 1$, onda je $1 \cdot 1 = 1 = A$.

Zaključujemo da je $A \cdot A = A$.

Zapazimo da je ovaj rezultat logičkog množenja različit od proizvoda dobijenog običnim množenjem, kod koga je $A \cdot A = A^2$.

- (4) Ako se A logički množi sa svojim komplementom, rezultat je uvijek 0.

Ako je $A = 0$, onda je $\bar{A} = 1$, pa je $0 \cdot 1 = 0$.

Ako je $A = 1$, onda je $\bar{A} = 0$, pa je $1 \cdot 0 = 0$.

Zaključujemo da je $A \cdot \bar{A} = 0$.

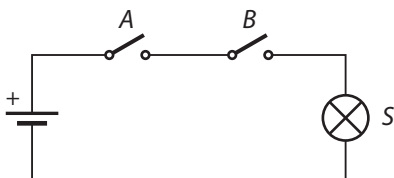
Dobijeni zaključci predstavljaju važne jednakosti koje imaju, kako ćemo kasnije vidjeti, veliku primjenu u digitalnoj elektronici. Zbog toga ćemo ih naglasiti:

$$A \cdot 0 = 0$$

$$A \cdot 1 = A$$

$$A \cdot A = A$$

$$A \cdot \bar{A} = 0$$



Slika 1.4 Ilustracija operacije logičkog množenja pomoću prekidača

Osnovna pravila Bulove algebre koja važe za operacije logičkog množenja, možemo predstaviti pomoću prekidača u kolima električne struje. Ilustracija operacije logičkog množenja prikazana je na slici 1.4, pomoću **serijske veze** prekidača.

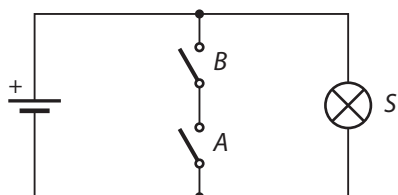
Serijska veza prekidača A i B serijski je vezana sa izvorom jednosmjernog napona i sijalicom. Struja može teći kroz granu i sijalica će da svijetli (stanje izlaza 1) samo kada su oba prekidača zatvorena (obje promjenljive u

stanju 1). Ako je bilo koji prekidač otvoren (ima stanje 0), kroz granu ne može proticati struja i sijalica neće svijetliti (stanje izlaza 0). Znači, stanje sijalice, kao izlaz funkcije F , ima oblik:

$$F = A \cdot B.$$

Zasnovano na ovoj analogiji, u Bulovoj algebri logičko množenje se još naziva I operacija, ili na engleskom AND operacija.

PRIMJER 1.2



Slika 1.5 Ilustracija zadate funkcije sa dva prekidača

Predstavi datu funkciju $F = \overline{A \cdot B}$ pomoću prekidača u kolu električne struje.

Rješenje: Zadana funkcija predstavlja komplement logičkog proizvoda logičkih promjenjivih A i B . Da bi se dobio proizvod dvije logičke promjenjive pomoću prekidača, oni se moraju povezati serijski. Ako se želi dobiti njihov komplement, njihova veza sa sijalicom i izvorom jednosmjernog napona mora biti paralelna. Na slici 1.5 prikazana je zadana funkcija pomoću dva prekidača. ■

1.2.1.4 Isključivo ILI

U Bulovoj algebri postoji operacija koje nema u običnoj. To je operacija ISKLJUČIVO ILI, ili na engleskom EX OR (od *exclusive OR*). Imajući u vidu uobičajenu terminologiju koja se koristi u digitalnoj elektronici, za ovu operaciju korist ćemo izraz EX ILI.

Bulov izraz za EX ILI operaciju za dvije promjenljive jeste: $F = A \oplus B$.

Za EX ILI operaciju važi: rezultat EX ILI operacije jednak je 1 samo u slučaju da ulazne promjenljive imaju različite vrijednosti. Ako ulazne promjenljive imaju istu vrijednost, rezultat EX ILI operacije jednak je 0.

Tabela 1.7 pokazuje tabelu istinitosti, odnosno vrijednosti EX ILI operacije za sve kombinacije ulaznih promjenjivih A i B (četiri kombinacije).

Tabela 1.7 Tabela istinitosti za EX ILI operaciju

A	B	$F = A \oplus B$
0	0	0
0	1	1
1	0	1
1	1	0

NAPOMENA

Uočite razliku između logičkih ILI i ISKLJUČIVE ILI operacije, i operacije binarnog sabiranja:

$$1 + 1 = 1, 1 \oplus 1 = 0 \text{ i}$$

$$1_2 + 1_2 = 10_2.$$

Iz pravila koje važi za EX III operaciju, uz korišćenje analize slične onoj koju smo već imali kod logičkog sabiranja i množenja, može se doći do sljedećih identiteta:

$$A \oplus 0 = A$$

$$A \oplus 1 = \bar{A}$$

$$A \oplus A = 0$$

$$A \oplus \bar{A} = 1$$

PRIMJER 1.3

Nacrtaj tabelu istinitosti za logičku funkciju: $F = A + \bar{A} \cdot B$.

Rješenje: Kada se određuju tabele istinitosti složenih logičkih funkcija, mogu se koristiti međufunkcije koje predstavljaju osnovne logičke funkcije. U ovoj složenoj logičkoj funkciji postoje dvije logičke promjenjive A i B . Tabela istinitosti predstavlja pregled svih kombinacija ulaznih promjenjivih i vrijednosti izlaznih promjenjivih za te kombinacije. Tabela 1.8 sadrži ulazne promjenjive A i B , međurezultate F_1 i F_2 i izlaznu vrijednost funkcije F . Ukupan broj kombinacija računa se kao stepen 2 od broja promjenjivih (u našem slučaju to je $2^2 = 4$). Znači, za dvije promjenjive A i B imamo ukupno četiri kombinacije u tabeli istinitosti. Međurezultati se pišu kao osnovne logičke operacije, tako da u našem slučaju imamo:

$$F_1 = \bar{A}$$

$$F_2 = \bar{A} \cdot B$$

$$F = A + F_2.$$

Tabela 1.8 Tabela istinitosti uz primjer 1.3

A	B	$F_1 = \bar{A}$	$F_2 = \bar{A} \cdot B$	$F = A + F_2$
0	0	1	0	0
0	1	1	1	1
1	0	0	0	1
1	1	0	0	1

Iz tabele istinitosti može se vidjeti da je izlazna funkcija jednaka 0 samo ako je $A = B = 0$. U ostala tri slučaja (za $A = 1$ i $B = 0$, za $A = 0$ i $B = 1$ i za $A = 1$ i $B = 1$) izlazna funkcija ima vrijednost 1.

U praktičnoj realizaciji prekidača koji mogu biti otvoreni ili zatvoreni (0 ili 1), izlazna promjenjiva može biti sijalica ili logički indikator. U našem primjeru sijalica će da svijetli u zadnja tri slučaja iz tablice istinitosti.

PRIMJER 1.4

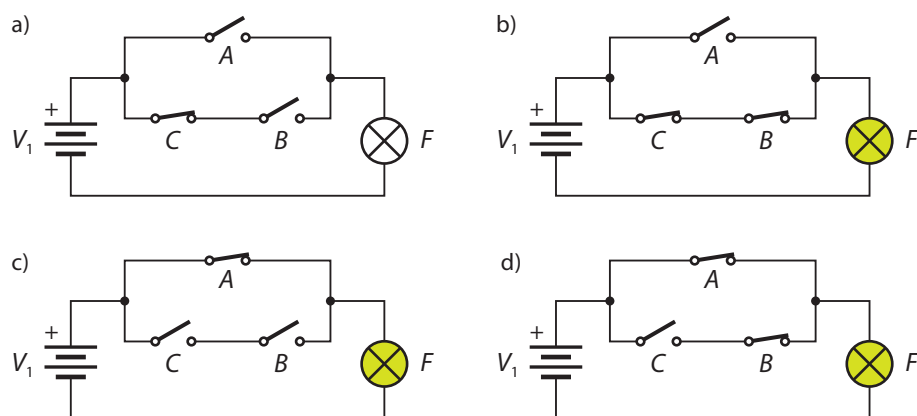
Koristeći prethodni zadatak, projektuj prekidačku mrežu i provjeri rad funkcije $F = A + \bar{A} \cdot B$.

Rješenje: Posmatrajući prethodnu logičku funkciju, može se zaključiti da ona ima tri prekidača: prekidač A , prekidač B i prekidač C , koji radi obrnuto od prekidača A ($C = \bar{A}$). Prekidači B i C su u serijskoj vezi, a prekidač A sa njima je u paralelnoj vezi (slika 1.6 a).

Na slici 1.6b) prikazana je kombinacija prekidača za prvi radni režim ako je prekidač A otvoren ($A = 0$), prekidač B zatvoren ($B = 1$) a prekidač C radi obrnuto od prekidača A .

Na slici 1.6c) prikazana je kombinacija prekidača za drugi radni režim ako je prekidač A zatvoren ($A = 1$), prekidač B otvoren ($B = 0$).

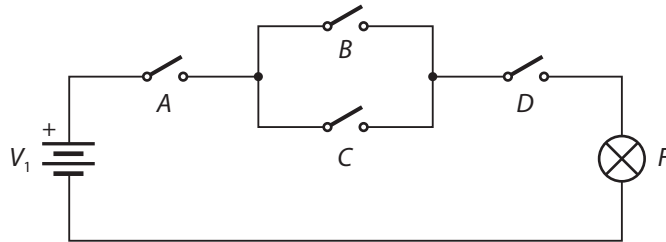
Na slici 1.6d) prikazan je treći režim rada ako su oba prekidača A i B zatvorena ($A = B = 1$). U sva tri radna režima sijalica svijetli, što znači da funkcija F kojom se uključuje sijalica F ima vrijednost 1.



Slika 1.6 Slika uz primjer 1.4

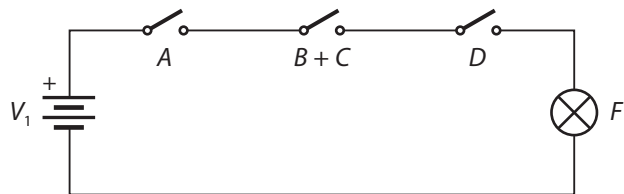
PRIMJER **1.5**

Zadata je složena šema prekidača, kao na slici 1.7. Napiši analitički oblik prekidačke funkcije kojom se upravlja rad sijalice.

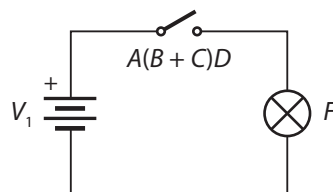


Slika 1.7 Slika uz primjer 1.5

Rješenje: Sa šeme se mogu vidjeti veze pojedinih prekidača, i na taj način nacrtati ekvivalentne šeme (slika 1.8).



a)



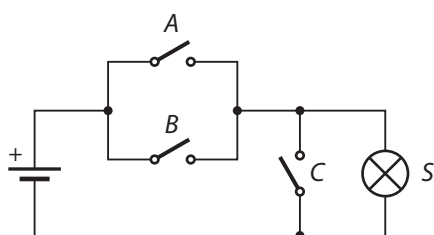
b)

Slika 1.8 Slika uz rješenje primjera 1.5

Sa slike 1.8a) može se vidjeti da su prekidači B i C u paralelnoj vezi, pa je njihova ekvivalentna veza jednaka $B + C$, i da je taj prekidač vezan serijski prekidačima A i D .

Ekvivalentna logička funkcija u ovom slučaju je: $F = A \cdot (B + C) \cdot D$, predstavljena je kolom na slici 1.8 b).

PRIMJER 1.6



Slika 1.9 Ilustracija zadate funkcije sa dva prekidača

Predstavi datu funkciju $F = (A + B) \cdot \bar{C}$ pomoću prekidača u kolu električne struje.

Rješenje: Zadana funkcija predstavlja složenu funkciju, koja se sastoji od proizvoda zbira dvije promjenljive i komplementa treće promjenljive. Prekidači će se vezati kao paralelna veza prekidača A i B jer se radi o logičkom zbiru. Da bismo dobili komplement treće promjenljive, prekidač C moramo vezati paralelno sijalici i serijski sa ostalim prekidačima (zbog logičkog proizvoda), kao na slici 1.9.

PROŠIRI ZNANJE

Bulova algebra potiče iz posebne oblasti matematike koja se naziva matematička logika. Osnova matematičke logike jeste **iskaz**. Iskaz je rečenica za koju se može utvrditi da li je istinita, tj. to je rečenica kojoj se može utvrditi istinitosna vrijednost. Na primjer, rečenice *Danas je ponedjeljak* ili *Ovo je moja majka* predstavljaju iskaze, jer im se može utvrditi istinitosna vrijednost. Rečenice *Koliko je sati?* ili *Sutjeska će sutra pobijediti Budućnost* nijesu iskazi, jer se za njih ne može utvrditi istinitosna vrijednost.

Svatom iskazu mogu se pridružiti dvije vrijednosti: tačan (T, čitaj: „te“) ili netačan ($\perp$, čitaj: „ne te“). Iskazi se obično označavaju sa $p, q, \dots$ U matematičkoj logici logičkom množenju odgovara **konjunkcija** („i“ operacija), koja se označava kao $p \wedge q$; logičkom sabiranju odgovara **disjunkcija** („ili“ operacija), koja se označava kao $p \vee q$. U zavisnosti od tačnosti, iskazima p i q mogu se pridružiti dvije vrijednosti: T ili $\perp$. Isto tako, i iskazima $p \wedge q$, odnosno $p \vee q$, takođe se mogu pridružiti dvije vrijednosti, T ili $\perp$, u zavisnosti od vrijednosti iskaza p i q .

p	q	$p \wedge q$	$p \vee q$
T	T	T	T
T	$\perp$	$\perp$	T
$\perp$	T	$\perp$	T
$\perp$	$\perp$	$\perp$	$\perp$

Vrijednost iskaza $p \wedge q$, odnosno $p \vee q$, u zavisnosti od vrijednosti iskaza p i q , prikazuje se u tabelama koje se nazivaju **tablice istinitosti**. Na slici su prikazane ove tabele za konjunkciju i disjunkciju.

Ako uzmemo da vrijednosti T i $\perp$ u matematičkoj logici odgovaraju vrijednostima 1 i 0 u Bulovoj algebri, možemo zaključiti da konjunkcija i disjunkcija u matematičkoj logici odgovaraju logičkom množenju i sabiranju u Bulovoj algebri. Napomenimo da osnovne logičke operacije koje smo naveli, mogu poslužiti kao osnova za druge, kompleksnije operacije koje se koriste u matematičkoj logici.

1.2.2 Zakoni Bulove algebre

Kao i u matematici, i u Bulovoj algebri za promjenljive A, B, C važe zakoni komutacije, asocijacije i distribucije.

Zakon komutacije

$$A + B = B + A$$

$$A \cdot B = B \cdot A$$

Zakon asocijacije

$$A + (B + C) = (A + B) + C$$

$$A \cdot (B \cdot C) = (A \cdot B) \cdot C$$

Zakon distribucije

$$A \cdot (B + C) = A \cdot B + A \cdot C$$

$$A + (B \cdot C) = (A + B) \cdot (A + C)$$

Iz gornjih izraza možemo zaključiti da su zakoni komutacije i asocijacije u standardnoj i Bulovoj algebri isti, dok se zakon distribucije sabiranja prema množenju (druga relacija) razlikuje.

U Bulovoj algebri postoji još jedan važan zakon, koji ne postoji u standardnoj algebri. To je **zakon apsorpcije**:

$$A + (A \cdot B) = A$$

$$A \cdot (A + B) = A$$

PRIMJER 1.7

Dokaži tvrdnju da je $A + (A \cdot B) = A$.

Dokaz: Izdvajanjem logičke promjenjive A iz oba člana logičkog zbira na lijevoj strani jednakosti, dobije se:

$$\begin{aligned} A + (A \cdot B) &= A \cdot (1 + B) \\ &= A \cdot 1 && \text{(korišćena je jednakost } 1 + B = 1, \\ &= A && \text{kao i jednakost } A \cdot 1 = A). \end{aligned}$$

PRIMJER 1.8

Dokaži tvrdnju da je $A \cdot (A + B) = A$.

Dokaz: $A \cdot (A + B) = A \cdot A + A \cdot B$ (zakon distribucije)

Kako je $A \cdot A = A$, onda je

$$\begin{aligned} A \cdot A + A \cdot B &= A + A \cdot B \\ &= A \cdot (1 + B) = A, \end{aligned}$$

jer je $1 + B = 1$ ■

PRIMJER 1.9

Dokaži da je tačna jednakost: $A + (B \cdot C) = (A + B) \cdot (A + C)$.

Dokaz: Da bismo dokazali jednakost, polazimo od izraza na desnoj strani, datog kao logički proizvod, kako bismo dobili izraz na lijevoj strani (može i obrnuto, ali je postupak komplikovaniji). Množenjem logičkog proizvoda – svaki član sa svakim članom, kao u klasičnoj algebri – i izdvajanjem zajedničkog člana iz tri logička sabirka, dobiće se:

$$\begin{aligned} (A + B) \cdot (A + C) &= (A \cdot A + A \cdot B + A \cdot C + B \cdot C) \\ &= (A + A \cdot B + A \cdot C + B \cdot C) \\ &= A \cdot (1 + (B + C)) + (B \cdot C) \\ &= A \cdot 1 + (B \cdot C) \\ &= A + (B \cdot C). \end{aligned}$$

Pri ovim operacijama korišćena je jednakost $1 + X = 1$, gdje je X logički izraz $(B + C)$.

Potrebno je uočiti da se izdvajanje logičke promjenjive iz proizvoda vrši samo onda ako se u dobijenoj zagradi nešto može uprostiti, kao u našem slučaju. ■



August de Morgan

(Augustus De Morgan, 1806–1871), britanski matematičar i logičar. Formuliseo je važne zakone u matematičkoj logici koji su po njemu dobile ime

1.2.2.1 De Morganove teoreme

Na osnovu Bulove algebre, De Morgan je formuliseao dvije važne teoreme, koje imaju jedinstveni iskaz:

Za dobijanje komplementa neke Bulove funkcije, treba sve promjenljive zamijeniti njihovim komplementima, pa zatim operaciju ILI zamijeniti sa I , a operacije I sa ILI .

Za samo dvije promjenljive A i B , De Morganove teoreme glase:

$$\overline{A+B} = \bar{A} \cdot \bar{B}$$

$$\overline{A \cdot B} = \bar{A} + \bar{B}.$$

Znači, De Morganove teoreme omogućuju transformaciju „ILI“ u „I“ i „I“ u „ILI“ operaciju, uz pomoć komplemenata.

Dokaz. Ispišimo odgovarajuće tabele istinitosti za dvije promjenljive, za prvu De Morganovu teoremu:

$$\overline{A+B} = \bar{A} \cdot \bar{B}.$$

Poređenjem sadržaja osjenčenih djelova tabela, jasno je da važi prva De Morganova teorema.

NAPOMENA

Korišćenjem tabele kao u prethodnom slučaju, dokaži De Morganovu teoremu $\overline{A \cdot B} = \bar{A} + \bar{B}$.

A	B	$A+B$	$\overline{A+B}$
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

A	B	$\bar{A}$	$\bar{B}$	$\bar{A} \cdot \bar{B}$
0	0	1	1	1
0	1	1	0	0
1	0	0	1	0
1	1	0	0	0

1.2.2.2 Identiteti u Bulovoj algebri

Pri radu sa prekidačkim promjenjivim A i B , u Bulovoj algebri često se koriste sljedeći identiteti:

$$A \cdot B + A \cdot \bar{B} = A$$

$$A \cdot (\bar{A} + B) = A \cdot B$$

$$(A+B) \cdot (A+\bar{B}) = A$$

Dokažimo ove identitete koristeći osnovne jednakosti Bulove algebre:

$$(1) \quad A \cdot B + A \cdot \bar{B} = A \cdot (B + \bar{B}) = A \cdot 1 = A$$

$$(2) \quad A \cdot (\bar{A} + B) = A \cdot \bar{A} + A \cdot B = 0 + A \cdot B = A \cdot B$$

$$\begin{aligned} (3) \quad (A+B) \cdot (A+\bar{B}) &= A \cdot A + A \cdot \bar{B} + A \cdot B + B \cdot \bar{B} \\ &= A + A(\bar{B} + B) + 0 \\ &= A + A \cdot 1 + 0 = A + A + 0 = A + 0 = A \end{aligned}$$

Dokazivanje jednakosti Bulove algebre često se vrši proširivanjem nekog od članova logičkog proizvoda ili zbira. Na taj način jednostavnija logička funkcija proširi se tako da se može, primjenom osnovnih zakona Bulove algebre, dokazati postavljen identitet. Obično se proširuje jednostavnija strana jednakosti (ona koja ima manje promjenjivih u logičkom zbiru ili proizvodu), ali to nije pravilo. Proširivanje se vrši množenjem logičke promjenjive sa logičkom 1 ili dodavanjem logičke 0, što zavisi od oblika funkcije. Množenjem i izdvajanjem odgovarajućih promjenljivih može se doći do željene jednakosti, čime se funkcije u zagradi svode na logičku 1, ili se uproste smanjivanjem broja logičkih promjenljivih ili broja logičkih operacija.

PRIMJER 1.10

Dokaži Bulovu jednakost: $A + \bar{A} \cdot B = A + B$.

Dokaz:

$$\begin{aligned}
 A + \bar{A} \cdot B &= A \cdot 1 + \bar{A} \cdot B \\
 &= A \cdot (1 + B) + \bar{A} \cdot B \\
 &= A + A \cdot B + \bar{A} \cdot B \\
 &= A + B \cdot (A + \bar{A}) \\
 &= A + B \cdot 1 = A + B.
 \end{aligned}$$

Identiteti se mogu jednostavnije dokazivati i primjenom tabele istinitosti.

PRIMJER 1.11

Primjenom tabele istinitosti, pokaži da važi:

$$A\bar{B} + \bar{A}B = A \oplus B.$$

Dokaz: Napišimo tabelu istinitosti za dati identitet:

A	B	$\bar{A}$	$\bar{B}$	$A\bar{B}$	$\bar{A}B$	$A\bar{B} + \bar{A}B$	$A \oplus B$
0	0	1	1	0	0	0	0
0	1	1	0	0	1	1	1
1	0	0	1	1	0	1	1
1	1	0	0	0	0	0	0

Iz tabele se direktno očitava da važi:

$$A\bar{B} + \bar{A}B = A \oplus B.$$

PRIMJER **1.12**

Primjenom tabele istinitosti, pokaži da važi:

$$\overline{A \oplus B} = A \cdot B + \bar{A} \cdot \bar{B}.$$

Dokaz: Napišimo tabele istinitosti za dati identitet:

A	B	$\bar{A}$	$\bar{B}$	$A \cdot B$	$\bar{A} \cdot \bar{B}$	$A \cdot B + \bar{A} \cdot \bar{B}$	$\overline{A \oplus B}$
0	0	1	1	0	1	1	1
0	1	1	0	0	0	0	0
1	0	0	1	0	0	0	0
1	1	0	0	1	0	1	1

Iz tabele se direktno očitava da važi zadata jednakost:

$$\overline{A \oplus B} = A \cdot B + \bar{A} \cdot \bar{B},$$

što odgovara obrnutim – komplementiranim vrijednostima iz prethodnog zadatka. ■

Provjera
usvojenih znanja

1. Objasni razlike između binarnih i logičkih operacija.
2. Definiši tabele istinitosti za osnovne logičke operacije.
3. Navedi jednakosti Bulove algebre za logičko sabiranje, logičko množenje i logičko komplementiranje.
4. Primjenom tabele istinitosti, dokaži tačnost De Morganovih zakona.

1.3 Minimizacija prekidačkih funkcija

Prekidačke funkcije se u digitalnoj elektronici realizuju pomoću logičkih kola. Da bi digitalni sklopovi, kojima se realizuje neka prekidačka funkcija, bili što je moguće prostiji, potrebno je prekidačku funkciju napisati u najjednostavnijem obliku.

Postupak svođenja prekidačkih funkcija na najjednostavniju formu naziva se **minimizacija prekidačkih funkcija**.

Prekidačka funkcija sastoji se od više članova u logičkom zbiru ili više članova u logičkom proizvodu. Logički član predstavlja zbir ili proizvod dvije ili više logičkih promjenljivih. Minimizacija prekidačke funkcije vrši se sa ciljem da se funkcija predstavi najmanjim brojem logičkih članova, u logičkom proizvodu ili u logičkom zbiru, sa što manje promjenljivih, čime se dolazi do oblika funkcije koja se može realizovati korišćenjem najmanjeg broja logičkih kola. Smanjenjem broja logičkih kola najčešće se smanjuje cijena izrade logičkog sklopa, kao i njegova potrošnja električne energije. Osim toga, sa smanjenjem broja logičkih kola povećava se brzina rada sklopa, kao i njegova pouzdanost. Minimizacijom se smanjuje veličina hardvera potrebna za realizaciju sklopa. Hardver realizovan sa početnim i minimizovanim brojem logičkih kola obavlja istu funkciju, uz navedene prednosti minimizovanog hardvera.

NAPOMENA

Minimizacija prekidačkih funkcija može se vršiti i uz pomoć računara i grafički – pomoću Venovih dijagrama. Za računarsku minimizaciju logičkih funkcija postoji veći broj programa.

Minimizacija prekidačkih funkcija izvodi se najčešće algebarski i tabelarno. Algebarski metod zasniva se na korišćenju Bulovih pravila, teorema i identiteta. Tabelarni metod zasnovan je na korišćenju Karnoovih tablica ili mapa.

1.3.1 Algebarski metod minimizacije prekidačkih funkcija

Prekidačke funkcije mogu biti date u obliku zbira proizvoda logičkih promjenljivih ili u obliku proizvoda zbira logičkih promjenljivih.

Ako je funkcija data u obliku zbira logičkih proizvoda, onda se vrši izdvajanje zajedničkih promjenljivih u proizvodu, pod uslovom da se izraz u zagradi može dovesti na 0 ili 1. Ako nije moguće izdvajanje, neki od logičkih zbirova proširuje se množenjem sa 1, ili se zbiru dodaje logička 0 u obliku koji je pogodan da se neka logička funkcija kasnije izgubi. Logička

jedinica može da se piše, prema Bulovim jednakostima, kao: $A + 1$, $A + \bar{A}$, $\bar{A} + 1$ i slično. Logička nula može da se piše, prema Bulovim jednakostima, kao: $A \cdot 0$, $A \cdot \bar{A}$, $\bar{A} \cdot 0$ i slično.

Pokazaćemo na primjeru kako se prekidačke funkcije minimizuju korišćenjem jednakosti Bulove algebre.

PRIMJER 1.13

Minimiziraj logičku funkciju:

$$F = \bar{A}BC + ABC + \bar{A}\bar{B}\bar{C} + ABC$$

koristeći jednakosti Bulove algebre.

Rješenje:

$$\begin{aligned} F &= \bar{A}BC + ABC + \bar{A}\bar{B}\bar{C} + ABC \\ &= BC(A + \bar{A}) + \bar{B}\bar{C}(A + \bar{A}) \\ &= BC + \bar{B}\bar{C} \\ &= B(C + \bar{C}) \\ &= B. \end{aligned}$$

PRIMJER 1.14

Minimiziraj logičku funkciju:

$$F = \bar{A}\bar{B}\bar{C}\bar{D} + (\bar{A} + \bar{B})CD + \bar{A}(\bar{B} + \bar{C})$$

koristeći De Morganove teoreme.

Rješenje: Primjenom De Morganove teoreme $\overline{A+B} = \bar{A}\bar{B}$ i $\overline{B+C} = \bar{B}\bar{C}$, te izdvajanjem zajedničkih promjenljivih, imamo:

$$\begin{aligned} F &= \bar{A}\bar{B}\bar{C}\bar{D} + (\bar{A} + \bar{B})CD + \bar{A}(\bar{B} + \bar{C}) \\ &= \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}CD + \bar{A}\bar{B}\bar{C} \\ &= \bar{A}\bar{B}\bar{C}(\bar{D} + D) + \bar{A}\bar{B}\bar{C} \\ &= \bar{A}\bar{B}(C + \bar{C}) \\ &= \bar{A}\bar{B}. \end{aligned}$$

PRIMJER 1.15

Minimiziraj logičku funkciju:

$$F = AB + \bar{A}C + BC$$

koristeći jednakosti Bulove algebre.

Rješenje: Logička funkcija data je u obliku zbira logičkih proizvoda. Proizvodi imaju iste logičke promjenljive, ali njihovim izdvajanjem ne možemo ništa uprostiti u izdvojenoj zagradi. Zbog toga proširujemo treći član, množeći ga sa logičkom 1, koju pišemo u obliku $A + \bar{A}$ (zato što nedostaje promjenjiva A u proizvodu BC). Grupisanjem sličnih članova (koristeći zakon komutacije), možemo dobiti minimiziranu funkciju F :

$$\begin{aligned} F &= AB + \bar{A}C + BC \cdot 1 \\ &= AB + \bar{A}C + BC(A + \bar{A}) \\ &= AB + \bar{A}C + ABC + \bar{A}BC \\ &= (AB + ABC) + (\bar{A}C + \bar{A}BC) \\ &= AB(1 + C) + \bar{A}C(1 + B) \\ &= AB \cdot 1 + \bar{A}C \cdot 1 \\ &= AB + \bar{A}C. \end{aligned}$$

Dobijena minimizirana funkcija F ima jedan član manje u zbiru i ista prva dva člana, što znači da je prostija od početne funkcije; znači, minimizirana je. ■

1.3.2 Minimizacija prekidačkih funkcija pomoću Karnoovih tablica



Moris Karno

(Maurice Karnaugh, 1924–2022), američki matematičar. Najpoznatije dostignuće su mu tablice koje su nazvane njegovim imenom. Koriste se u Bulovoj algebri.

Minimizaciju logičke funkcije sa malim brojem promjenljivih pogodno je izvršiti preko Karnoovih tablica. Karnoova tablica za funkciju sa n promjenljivih sastoji se od 2^n kvadratnih polja koja predstavljaju elementarne površine. Svako polje odgovara jednoj kombinaciji promjenljivih iz tabele istinitosti i označava se brojem koji odgovara dekadnoj vrijednosti redosljeda te kombinacije.

U tabeli 1.9 prikazana je Karnoova tablica sa tri promjenljive A , B i C . U koloni su date moguće vrijednosti promjenljive A , a u vrsti moguće kombinacije promjenljivih B i C . U tablici se uzima da je vrijednost neke promjenljive 1, a vrijednost njenog komplementa 0. Na taj način dobija se dekadna vrijednost svakog polja. Tako, na primjer, polju označenom sa 3 (011) odgovara kombinacija promjenljivih $\bar{A}BC$, a polju označenom sa 7 (111) kombinacija ABC .

Tabela 1.9 Karnoova tablica sa tri promjenljive

		BC			
		00	01	11	10
A	0	0	1	3	2
	1	4	5	7	6

U tablici se definišu susjedna polja. Susjedna su ona polja koja imaju zajedničku ivicu, ili ona koja bi imala zajedničku ivicu ako se tablica presavije po vertikalnoj osi. Horizontalna susjedna polja su 0 i 1, 1 i 3, 3 i 2, 4 i 5, 5 i 7, 7 i 6. Vertikalna susjedna polja su 0 i 4, 1 i 5, 3 i 7, 2 i 6. Polja 0 i 2, kao i polja 6 i 4, susjedna su kada se tablica presavije po vertikalnoj osi (tabela 1.9). Ako pažljivo pogledamo tabelu 1.9, primijetićemo da se kombinacije za svaka dva susjedna polja razlikuju samo za jednu promjenljivu. Izdvajanjem dvije promjenljive koje su iste, može se dobiti minimizovana forma za dva člana koja odgovaraju tim poljima. Pokažimo ovo na primjeru polja 1 i 5.

U ovom slučaju članovi u ovim poljima imaju oblike $\bar{A}\bar{B}C$ i $A\bar{B}C$, pa se funkcija koja sadrži ova dva člana, u logičkom zbiru, svodi na oblik:

$$\bar{A}\bar{B}C + A\bar{B}C = \bar{B}C(A + \bar{A}) = \bar{B}C.$$

Prekidačku funkciju sa tri, sveli smo na dvije promjenljive.

Pogledajmo sada šta se dobija za četiri susjedna polja npr. 3, 7, 2 i 6. Prekidačka funkcija, čiji se članovi nalaze u ovim poljima, ima oblik:

$$\bar{A}BC + ABC + \bar{A}\bar{B}C + A\bar{B}C.$$

Jednostavnim uprošćavanjem ove funkcije dobijamo:

$$\begin{aligned}\bar{A}BC + ABC + \bar{A}\bar{B}C + A\bar{B}C &= BC(A + \bar{A}) + \bar{B}C(A + \bar{A}) \\ &= BC + \bar{B}C \\ &= B(C + \bar{C}) = B.\end{aligned}$$

Složenu prekidačku funkciju sa tri promjenljive sveli smo na jednu promjenljivu.

Ova dva rezultata koja smo dobili, mogu se direktno očitati iz tablice tako što se uoče susjedna polja, a minimizirana forma dijela funkcije koji odgovara tim poljima dobija direktnim ispisivanjem vrijednosti promjenljivih koje su zajedničke tim poljima.

U našem prvom primjeru, poljima 1 i 5 odgovaraju funkcije $\bar{A}\bar{B}C$ i $A\bar{B}C$. Očigledno je da su promjenljive koje su zajedničke tim poljima $\bar{B}$ i C , pa se iz tablice direktno očitava minimizirana funkcija $\bar{A}\bar{B}C + A\bar{B}C = \bar{B}C$.

U našem drugom primjeru, poljima 3, 7, 2 i 6 odgovaraju funkcije $\bar{A}BC$, ABC , $\bar{A}\bar{B}\bar{C}$ i $A\bar{B}\bar{C}$. Očigledno, tim poljima zajednička je jedino promjenljiva B , pa se iz tablice direktno očitava minimizirana funkcija:

$$\bar{A}BC + ABC + \bar{A}\bar{B}\bar{C} + A\bar{B}\bar{C} = B.$$

Tabela 1.10 Karnoova tablica za prethodni primjer

		BC			
A		00	01	11	10
	0	0	1	3	2
1	4	1	5	7	6

Da bismo ovo uvježbali, minimizirajmo prekidačku funkciju:

$$F = \bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC + A\bar{B}C.$$

Polja koja odgovaraju članovima funkcije označimo sa 1 (tabela 1.10).

Prilikom minimizacije biraju se najveća susjedna polja veličine stepena 2.

Može se uočiti da su susjedna polja 0, 4, 2 i 6, odnosno 7 i 6. Za prva četiri polja zajednička promjenljiva je $\bar{C}$, dok su za druga dva polja zajedničke promjenljive A i B , pa funkcija f u minimiziranoj formi ima oblik: $F = AB + \bar{C}$.

Iz ovih primjera možemo zapaziti da su prekidačke funkcije koje smo minimizirali u svakom članu sadržavale sve tri promjenljive. Kaže se da su logički proizvodi potpuni. Ukoliko funkcija ima članova koji ne sadrži sve tri promjenljive, logički proizvodi nijesu potpuni, pa se ne mogu direktno unositi u Karnoovu mapu. Zbog toga se ovi članovi prevode u potpune proizvode proširivanjem za nedostajući član. Kako to izgleda, pokazaćemo na primjeru minimizacije funkcije sa četiri promjenljive.

U slučaju kada imamo četiri promjenljive, Karnoova tablica ima oblik kao u tabeli 1.11.

Tabela 1.11 Karnoova tablica sa četiri promjenljive

		CD			
AB		00	01	11	10
	00	0	1	3	2
	01	4	5	7	6
	11	12	13	15	14
	10	8	9	11	10

U ovom slučaju kao susjedna polja računaju se i polja 0 i 8; 1 i 9; 3 i 11; 2 i 10 (presavijanjem tablice po horizontalnoj osi), kao i polja 0 i 2; 4 i 6; 12 i 14; 8 i 10 (presavijanjem tablice po vertikalnoj osi). Na taj su način polja 0, 4, 12, 8 i polja 2, 6, 14, 10 susjedna, kao i polja 0, 1, 3, 2 i polja 8, 9, 11, 10. Sve što je rečeno za tablice sa tri promjenljive, važi i u ovom slučaju.

Kao primjer, minimizirajmo funkciju: $F = CBA + \overline{C}BA + C\overline{B}A$.

Zapažamo da funkcija ima **tri** promjenljive. Dakle, logički proizvodi nije su potpuni, te se ne mogu direktno unositi u Karnoovu tablicu **sa četiri promjenljive**. Funkciju je potrebno prevesti u oblik sa članovima koji predstavljaju potpune logičke proizvode. To se postiže proširivanjem nepotpunih članova:

$$F = CBA + \overline{C}BA + C\overline{B}A = CBA(D + \overline{D}) + \overline{C}BA(D + \overline{D}) + C\overline{B}A(D + \overline{D}),$$

odnosno:

$$F = DCBA + \overline{D}CBA + D\overline{C}BA + \overline{D}\overline{C}BA + DC\overline{B}A + \overline{D}C\overline{B}A.$$

Karnoova mapa koja odgovara ovoj funkciji prikazana je u tabeli 1.12.

Tabela 1.12 Karnoova tablica za prethodni primjer

		CD			
		00	01	11	10
AB	00	0	0	0	0
	01	0	0	1	1
	11	0	0	1	1
	10	1	1	0	0

Uočavamo da su susjednim poljima 8 i 9 zajedničke promjenljive D , $\overline{C}$ i $\overline{B}$, a poljima 7, 6, 15 i 14 promjenljive C i B , pa minimizirana prekidačka funkcija ima oblik:

$$F = \overline{C}BA + CB.$$

PROŠIRI ZNANJE

Tabela 1.13 Karnoova tablica sa zaokruženim nulama

BA		00	01	11	10
DC	00	0	0	0	0
	01	0	0	1	1
	11	0	0	1	1
	10	1	1	0	0

Minimizacija prekidačkih funkcija može se izvršiti uz pomoć Karnoove tablice i pomoću logičkih nula. Postupak je sličan kao kod logičkih jedinica. Grupišu se susjedna polja logičkih nula a zatim se definišu minimizirane prekidačke funkcije. Razlika je u tome što se kod pisanja jednačina za grupisane logičke nule pišu proizvodi zbira za definisana susjedna polja. Polja logičkih promjenjivih mijenjaju se (0 je promjenjiva sa komplementom a 1 je promjenjiva bez komplementa). U prethodnom primjeru, sa četiri logičke promjenjive, susjedna polja logičkih nula definisana su kao u tabeli 1.13.

U tabeli se može uočiti da su zamijenjene pozicije AB i CD polja u zaglavlju tabele. Redosljed označavanja nije bitan, ali su važne vrijednosti koje se unose u tabelu.

Minimalna prekidačka funkcija ima četiri grupisana susjedna polja, pa izraz za minimalnu logičku funkciju, minimiziranu pomoću logičkih nula, ima oblik:

$$F = (D+C)(D+B)(B+\bar{C})(\bar{B}+C).$$

Dobijena prekidačka funkcija nije minimalna ali se, primjenom pravila Bulove algebra, može svesti na minimalnu logičku funkciju, koja je dobijena grupisanjem logičkih jedinica:

$$\begin{aligned}
 F &= (D+C)(D+B)(B+\bar{C})(\bar{B}+C) \\
 &= (D+BD+CD+BC)(B\bar{B}+B\bar{C}+\bar{B}C+C\bar{C}) \\
 &= (D(1+B+C)+BC)(BC+\bar{B}\bar{C}) \\
 &= (D+BC)(BC+\bar{B}\bar{C}) \\
 &= BCD+\bar{B}\bar{C}D+BC \\
 &= BC(1+D)+\bar{B}\bar{C}D=BC+\bar{B}\bar{C}D.
 \end{aligned}$$

Zaključak: Minimizacija prekidačkih funkcija može se ravnopravno izvršiti pomoću Karnoove mape, pomoću logičkih jedinica i pomoću logičkih nula, s tim da se gotovo uvijek dobija minimalna prekidačka funkcija pomoću logičkih jedinica. Prekidačka funkcija dobijena pomoću logičkih nula često se mora uprošćavati drugim metodama da bi bila minimalna, pogotovo u slučaju kada ima manji broj logičkih nula u tabeli.

PRIMJER 1.16

Tabela 1.14 Karnoova tablica uz primjer 1.16

A \ BC	00	01	11	10
0	0 1	1 0	3 0	2 1
1	4 1	5 0	7 1	6 1

Tabela 1.15 Karnoova tablica uz primjer 1.16 sa grupisanim logičkim jedinicama

A \ BC	00	01	11	10
0	0 1	1 0	3 0	2 1
1	4 1	5 0	7 1	6 1

Tabela 1.16 Karnoova tablica uz primjer 1.16 sa zaokruženim logičkim nulama

A \ BC	00	01	11	10
0	0 1	1 0	3 0	2 1
1	4 1	5 0	7 1	6 1

Minimiziraj logičku funkciju koja je data sa Karnoovom tablicom 1.14 koristeći:

- logičke jedinice i
- logičke nule.

Rješenje: a) Grupisanjem susjednih polja logičkih jedinica (kao u primjeru u prethodnom tekstu) dobiće se Karnoova tablica 1.15:

Minimizirana logička funkcija pomoću logičkih 1 ima dva susjedna grupisana polja od dvije i četiri jedinice zato što se grupisanje vrši sa 2^n članova susjedne grupe (7, 6 grupa od dvije jedinice i 0, 4, 2, 6 grupa od četiri grupisane jedinice), pa funkcija ima dva člana u logičkom zbiru:

$$F = \bar{C} + AB.$$

- Grupisanjem susjednih logičkih nula dobiće se Karnoova tablica 1.16:

Minimizirana logička funkcija pomoću logičkih 0 ima dva člana u logičkom proizvodu, jer ima dvije grupisane nule 1, 3 i 1, 5:

$$F = (B + \bar{C})(A + \bar{C}).$$

Dobijena logička funkcija nije minimalna, ali se može svesti na minimalnu logičku funkciju množenjem članova iz zagrada i primjenom osnovnih jednakosti Bulove algebre:

$$\begin{aligned}
 F &= (B + \bar{C})(A + \bar{C}) = AB + B\bar{C} + A\bar{C} + \bar{C}\bar{C} \\
 &= AB + B\bar{C} + A\bar{C} + \bar{C} \\
 &= AB + \bar{C}(B + A + 1) = AB + \bar{C} \cdot 1 \\
 &= AB + \bar{C} = \bar{C} + AB.
 \end{aligned}$$

Može se zaključiti da se u oba slučaja prethodnog zadatka dobila ista logička funkcija. Pri minimizaciji pomoću logičkih jedinica, iz Karnoove tablice odmah smo dobili minimiziranu – minimalnu logičku funkciju, a korišćenjem logičkih nula morali smo izvršiti uprošćavanje dobijene logičke funkcije da bismo dobili minimiziranu i minimalnu logičku funkciju.

PROŠIRI ZNANJE

Procenat minimizacije logičkih funkcija predstavlja procenat koliko je uprošćena logička funkcija manja u odnosu na početnu funkciju. Računa se kao količnik razlike broja osnovnih logičkih operacija početne i uprošćene funkcije, sa ukupnim brojem osnovnih logičkih operacija početne logičke funkcije. Da bi se dobio procenat minimizacije, navedeni količnik treba pomnožiti sa 100%.

U prethodnom zadatku logička funkcija dobijena iz Karnoove mape, sa logičkim nulama, jeste:

$$F = (B + \bar{C})(A + \bar{C}).$$

Funkcija F sastoji se od četiri osnovne logičke operacije: dva logička zbira, jednog logičkog komplementiranja i jednog logičkog proizvoda, što znači da su to ukupno četiri logičke operacije. Logička funkcija F , dobijena iz Karnoove tablice, sa logičkim jedinicama, koja je minimalna, ima oblik:

$$F = AB + \bar{C}.$$

Dobijena minimalna funkcija sastoji se od tri osnovne logičke operacije: jednog logičkog zbira, jednog logičkog proizvoda i jednog logičkog komplementiranja, što znači da su to ukupno tri logičke operacije. Procenat minimizacije (PM) jeste:

$$PM(\%) = \frac{4-3}{4} \cdot 100\% = 25\%.$$

Zaključak: Logička funkcija dobijena sa logičkim jedinicama iz Karnoove tablice za 25% je manja u odnosu na logičku funkciju sa logičkim nulama iz iste tablice.

Provjera usvojenih znanja

1. Navedi načine minimizacije složenih prekidačkih funkcija prema broju logičkih promjenjivih.
2. Nacrtaj Karnoovu mapu za četiri logičke promjenjive i grupiši sva susjedna polja za minimizaciju.
3. Uporedi teorijski minimizaciju prekidačkih funkcija pomoću Karnoovih tablica, ako se koriste logičke jedinice ili nule, preko broja logičkih promjenjivih i broja logičkih jedinica i nula.
4. Objasni postupak minimizacije složene logičke funkcije korišćenjem osnovnih jednakosti Bulove algebre.
5. Objasni prednosti minimizirane logičke funkcije u odnosu na početnu složenu logičku funkciju.
6. Analiziraj primjenu De Morganovih zakona u minimizaciji složenih logičkih funkcija.

Rezime

- Digitalna elektronika zasnovana je na binarnom brojnom sistemu. Cifre binarnog brojnog sistema 0 i 1 predstavljaju naponske nivoe, npr. 0 V i +5 V, sa kojima rade digitalna kola. Digitalna kola prave se od prekidačkih elemenata, koji mogu biti u dva stanja: uključeno ili isključeno, što odgovara logičkim stanjima 1 ili 0.
- Bulova algebra zasniva se na logičkim operacijama: logičko sabiranje, logičko množenje i logičko komplementiranje. Logičke operacije mogu se predstaviti analitički i tabelarno. Povezivanjem logičkih promjenljivih sa logičkim operacijama, dobijaju se proste i složene logičke funkcije. Logičke promjenljive i logičke funkcije mogu imati vrijednost 0 ili 1. Logičke funkcije mogu se predstaviti analitički, tabelarno i šematski pomoću prekidačkih elemenata.
- Složene logičke funkcije mogu se minimizirati, to jest predstaviti sa manjim brojem prekidačkih elemenata, čime se smanjuje cijena kola a povećava njegova pouzdanost i brzina. Najčešće korišćene metode minimizacije jesu algebarska metoda i tabelarna metoda minimizacije. Za algebarsku metodu minimizacije koriste se Bulove jednakosti. Za manji broj promjenljivih u praksi se najviše koristi tabelarna metoda minimizacije, primjenom Karnoovih mapa.
- Tabelarnom metodom minimizacije vrši se grupisanje susjednih tabelarnih vrijednosti izlaza složene prekidačke funkcije, sa jedinicama ili nulama, čime se vrši brzo uprošćavanje, to jest smanjivanje broja promjenljivih u logičkom proizvodu ili zbiru. Grupišu se susjedni članovi, koji omogućavaju direktan ispis jednostavnije logičke funkcije imajući u vidu presavijanje tablice po horizontalnoj ili vertikalnoj osi. Za veći broj promjenljivih (preko četiri) koriste se računarske metode minimizacije.

Manje poznate riječi

aksiom – istina koja ne treba da se dokazuje
ekskluzivan – isključiv

apsorpcija – upijanje

Korisni veb-sajtovi za dodatno proučavanje sadržaja poglavlja

1. https://rti.etf.bg.ac.rs/rti/oo1ort1/literatura/predavanja/ORT1_2013_glava_3.pdf
2. <https://www.new-wave-concepts.com/ed/circuit.html>
3. <https://www.youtube.com/watch?v=260k-OWUBjM>
4. <https://vtsnis.edu.rs/wp-content/plugins/vts-predmeti/uploads/12%20Sinteza%20kombinacionih%20mreza%2011.05.2020.pdf>
5. <https://www.tina.com/>

Zadaci za samostalan rad

1. Nacrtaj tabele istinitosti za zadate složene logičke funkcije:

a) $F = A \cdot B + \bar{A} \cdot C + B \cdot C$

b) $F = \overline{X \cdot Y + \bar{X} \cdot \bar{Y}}$

c) $F = (A+B) \cdot (\bar{A}+C) \cdot (B+C).$

Rješenje:

- a) Složena logička funkcija ima tri promjenjive A, B i C , pa postoji ukupno $2^3 = 8$ kombinacija u tabeli istinitosti. Na osnovu zadate funkcije, u tabelu se upisuju prvo međurezultati, odnosno funkcije: $F_1 = \bar{A}$, $F_2 = A \cdot B$, $F_3 = \bar{A} \cdot C$, $F_4 = B \cdot C$, $F_5 = F_2 + F_3$, i na kraju vrijednosti funkcije $F = F_5 + F_4$. Tabela istinitosti za zadatu funkciju prikazana je u sljedećoj tabeli:

Tabela uz rješenje zadatka 1a)

A	B	C	F_1	F_2	F_3	F_4	F_5	F
0	0	0	1	0	0	0	0	0
0	0	1	1	0	1	0	1	1
0	1	0	1	0	0	0	0	0
0	1	1	1	0	1	1	1	1
1	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0
1	1	0	0	1	0	0	1	1
1	1	1	0	1	0	1	1	1

- b) Složena logička funkcija ima dvije promjenjive X i Y , pa postoje ukupno $2^2 = 4$ kombinacije u tabeli istinitosti. Na osnovu zadate funkcije najprije se u tabelu upisuju međurezultati, odnosno funkcije: $F_1 = \bar{X}$, $F_2 = \bar{Y}$, $F_3 = X \cdot Y$, $F_4 = F_1 \cdot F_2$, $F_5 = F_3 + F_4$, i na kraju vrijednosti funkcije $F = \bar{F}_5$. Tabela istinitosti za zadatu funkciju prikazana je u sljedećoj tabeli:

Tabela uz rješenje zadatka 1b)

X	Y	F_1	F_2	F_3	F_4	F_5	F
0	0	1	1	0	1	1	0
0	1	1	0	0	0	0	1
1	0	0	1	0	0	0	1
1	1	0	0	1	0	1	0

- c) Složena logička funkcija ima tri promjenjive A, B i C , pa postoji ukupno $2^3 = 8$ kombinacija u tabeli istinitosti. Na osnovu zadate funkcije, najprije se u tabelu upisuju međurezultati, odnosno funkcije: $F_1 = \bar{A}$, $F_2 = A + B$, $F_3 = F_1 + C$, $F_4 = B + C$, $F_5 = F_2 \cdot F_3$, kao i vrijednosti funkcije $F = F_5 \cdot F_4$. Tabela istinitosti za zadatu funkciju prikazana je u sljedećoj tabeli:

Tabela uz rješenje zadatka 1c)

A	B	C	F_1	F_2	F_3	F_4	F_5	F
0	0	0	1	0	1	0	0	0
0	0	1	1	0	1	1	0	0
0	1	0	1	1	1	1	1	1
0	1	1	1	1	1	1	1	1
1	0	0	0	1	0	0	0	0
1	0	1	0	1	1	1	1	1
1	1	0	0	1	0	1	0	0
1	1	1	0	1	1	1	1	1

2. Koristeći tabelu istinitosti, dokaži tačnost sljedećih jednakosti:

a) $\overline{A+B+C} = \bar{A} \cdot \bar{B} \cdot \bar{C}$

b) $\overline{A \cdot B \cdot C} = \bar{A} + \bar{B} + \bar{C}$

Rješenje:

- a) Zadana jednakost predstavlja De Morganovu teoremu za komplementiranje logičkog zbira tri logičke promjenjive. Međurezultati za zadatu funkciju su: $F_1 = \bar{A}$, $F_2 = \bar{B}$, $F_3 = \bar{C}$, $F_4 = A + B$, $F_5 = F_4 + C$, $F_6 = F_1 \cdot F_2$, $F_7 = F_6 \cdot F_3$, $F_8 = \bar{F}_5$. Tabela istinitosti za zadatu funkciju prikazana je u sljedećoj tabeli:

Tabela uz rješenje zadatka 2a)

A	B	C	F_1	F_2	F_3	F_4	F_5	F_6	F_7	F_8
0	0	0	1	1	1	0	0	1	1	1
0	0	1	1	1	0	0	1	1	0	0
0	1	0	1	0	1	1	1	0	0	0
0	1	1	1	0	0	1	1	0	0	0
1	0	0	0	1	1	1	1	0	0	0
1	0	1	0	1	0	1	1	0	0	0
1	1	0	0	0	1	1	1	0	0	0
1	1	1	0	0	0	1	1	0	0	0

Kolone F_7 i F_8 u tabeli istinitosti imaju iste vrijednosti za sve kombinacije ulaznih promjenjivih, čime je dokazana jednakost.

- b) Zadana jednakost predstavlja De Morganovu teoremu za komplementiranje logičkog proizvoda tri logičke promjenjive. Međurezultati za zadatu funkciju su:

$$\begin{aligned} F_1 &= \bar{A}, & F_2 &= \bar{B}, \\ F_3 &= \bar{C}, & F_4 &= A \cdot B, \\ F_5 &= F_4 \cdot C, & F_6 &= F_1 + F_2, \\ F_7 &= F_6 + F_3, & F_8 &= \bar{F}_5. \end{aligned}$$

Tabela istinitosti za zadatu funkciju prikazana je u sljedećoj tabeli:

Tabela uz rješenje zadatka 2b)

A	B	C	F_1	F_2	F_3	F_4	F_5	F_6	F_7	F_8
0	0	0	1	1	1	0	0	1	1	1
0	0	1	1	1	0	0	0	1	1	1
0	1	0	1	0	1	0	0	1	1	1
0	1	1	1	0	0	0	0	1	1	1
1	0	0	0	1	1	0	0	1	1	1
1	0	1	0	1	0	0	0	1	1	1
1	1	0	0	0	1	1	0	0	1	1
1	1	1	0	0	0	1	1	0	0	0

Kolone F_7 i F_8 tabeli istinitosti imaju iste vrijednosti za sve kombinacije ulaznih promjenjivih, čime je dokazana jednakost.

3. Dokaži tačnost sljedećih jednakosti koristeći pravila Bulove algebra:

- a) $A \cdot B + A \cdot C + A \cdot B \cdot C = A \cdot (B + C)$
b) $A \cdot B + \bar{A} \cdot B \cdot C = B \cdot (A + C).$

Rješenje:

- a) Polazimo od lijeve strane jednakosti da bismo dobili desnu stranu. Grupisanjem prvog i trećeg člana u zbiru dobijamo:

$$\begin{aligned} A \cdot B + A \cdot C + A \cdot B \cdot C &= A \cdot B \cdot (1 + C) + A \cdot C \\ &= A \cdot B \cdot 1 + A \cdot C = A \cdot B + A \cdot C \\ &= A \cdot (B + C), \end{aligned}$$

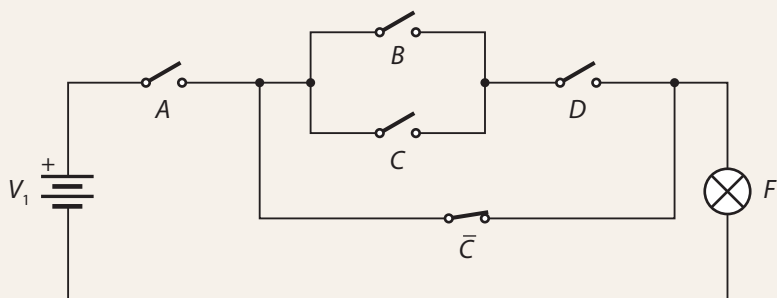
što je i trebalo dokazati.

- b) Polazimo od lijeve strane jednakosti. Prvi logički zbir treba pomnožiti sa 1 i napisati ga u obliku $1 + C$, čime se dobije sljedeća jednakost:

$$\begin{aligned}
 A \cdot B + \bar{A} \cdot B \cdot C &= A \cdot B \cdot 1 + \bar{A} \cdot B \cdot C \\
 &= A \cdot B \cdot (1 + C) + \bar{A} \cdot B \cdot C \\
 &= A \cdot B + A \cdot B \cdot C + \bar{A} \cdot B \cdot C \\
 &= A \cdot B + B \cdot C \cdot (A + \bar{A}) \\
 &= A \cdot B + B \cdot C = B \cdot (A + C),
 \end{aligned}$$

što je trebalo i dokazati.

4. Zadana je složena prekidačka mreža na sljedećoj slici. Nađi analitički oblik prekidačke funkcije (prekidač $\bar{C}$ na slici radi obrnuto od prekidača C).



Slika uz zadatak 4

Rješenje:

Polazeći sa lijeve strane šeme, i koristeći pravila da serijska veza prekidača predstavlja logički proizvod a paralelna veza njihov zbir, prekidačka funkcija F za upravljanje sijalice u kolu jeste:

$$F = A \cdot ((B + C) \cdot D + \bar{C}).$$

5. Za zadatak Karnoovu tablicu, u sledećoj tabeli, minimiziraj logičku funkciju uz pomoć logičkih jedinica i nula, te dokaži da su dobijene jednakosti identične.

Tabela uz zadatak 5

		BC			
		00	01	11	10
A	0	1	0	1	1
	1	1	0	1	0

		BC			
A		00	01	11	10
	0	1	0	1	1
	1	1	0	1	0

Rješenje:

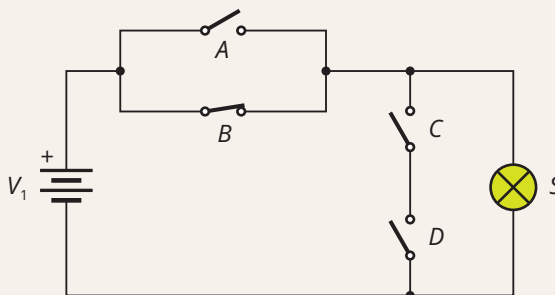
Zaokruživanjem najvećih uređenih grupa (tri dvojke jedinica, jedna dvojka nula i jedna jedinica nula) dobijamo minimizirane logičke funkcije pomoću jedinica F_1 i pomoću nula F_0 :

$$F_1 = \bar{A} \cdot B + B \cdot C + \bar{B} \cdot \bar{C}, \quad F_0 = (B + \bar{C}) \cdot (\bar{A} + \bar{B} + C).$$

Množenjem druge jednačine i njenim proširivanjem, dobijamo minimalnu logičku funkciju, kao sa jedinicama:

$$\begin{aligned}
 F_0 &= (B + \bar{C}) \cdot (\bar{A} + \bar{B} + C) = \bar{A} \cdot B + \bar{A} \cdot \bar{C} + B \cdot \bar{B} + \bar{B} \cdot \bar{C} + B \cdot C + C \cdot \bar{C} \\
 &= \bar{A} \cdot B + \bar{A} \cdot \bar{C} + \bar{B} \cdot \bar{C} + B \cdot C \\
 &= \bar{A} \cdot B + \bar{A} \cdot \bar{C} \cdot 1 + \bar{B} \cdot \bar{C} + B \cdot C \\
 &= \bar{A} \cdot B + \bar{A} \cdot \bar{C} \cdot (B + \bar{B}) + \bar{B} \cdot \bar{C} + B \cdot C \\
 &= \bar{A} \cdot B + \bar{A} \cdot B \cdot \bar{C} + \bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{B} \cdot \bar{C} + B \cdot C \\
 &= \bar{A} \cdot B \cdot (1 + \bar{C}) + \bar{B} \cdot \bar{C} \cdot (\bar{A} + 1) + B \cdot C \\
 &= \bar{A} \cdot B + \bar{B} \cdot \bar{C} + B \cdot C
 \end{aligned}$$

6. Za zadatu prekidačku mrežu na sljedećoj slici, nađi analitički oblik prekidačke funkcije kojom se upravlja sijalicom S.



Slika uz zadatak 6

Rješenje:

Prekidači A i B vezani su paralelno, čija je ekvivalentna funkcija $A + B$, prekidači C i D su vezani serijski a paralelno potrošaču – sijalici, pa se oni u izlaznoj funkciji pišu sa komplementom tih promjenjivih. Izlazna funkcija S, kojom se upravlja radom sijalice, ima analitički oblik:

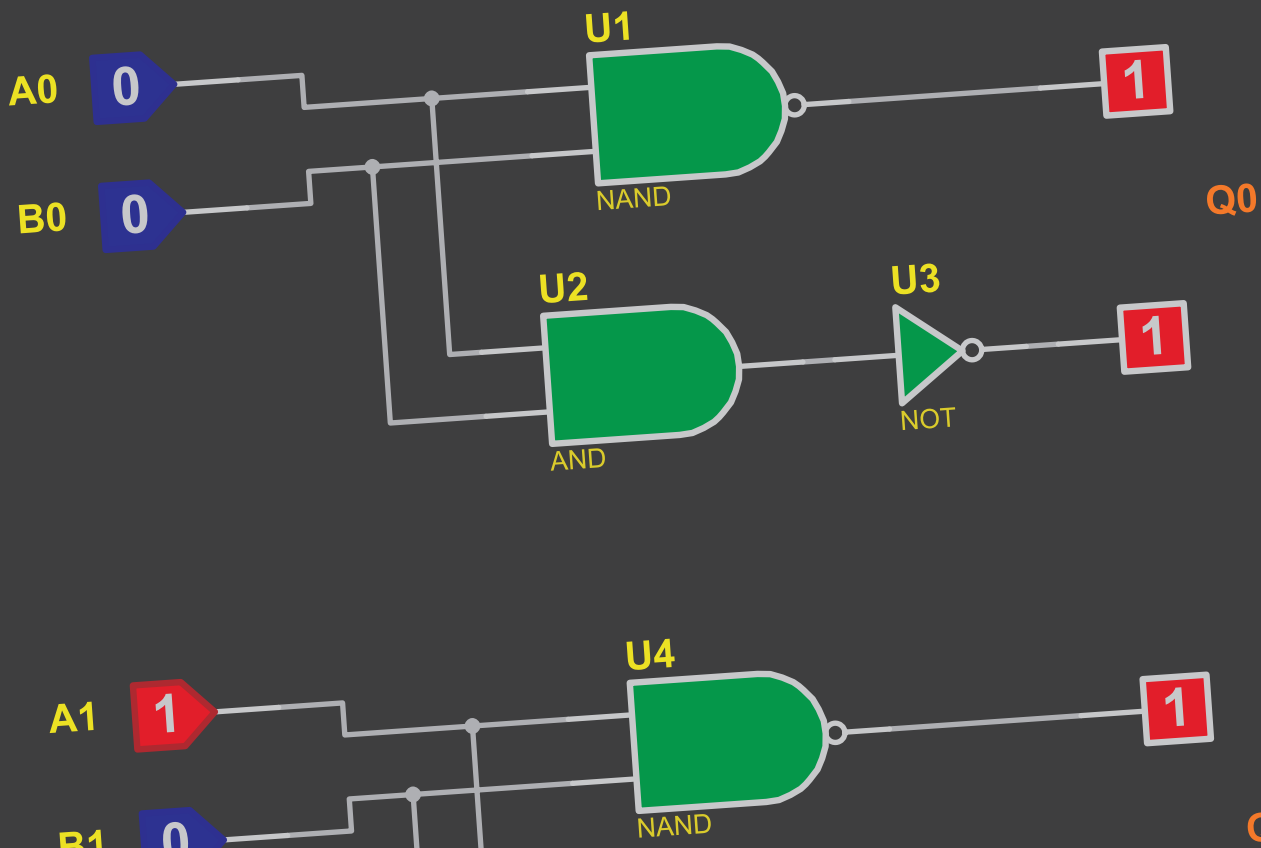
$$S = (A + B) \cdot \bar{C} \cdot \bar{D}.$$

Sijalica S će da svijetli:

1. ako je uključen prekidač A i ako je bar jedan prekidač C ili D otvoren
2. ako je uključen prekidač B i ako je bar jedan prekidač C ili D otvoren
3. ako su uključena oba prekidača A i B i ako je bar jedan prekidač C ili D otvoren.

Da bi se isključila sijalica, moraju oba prekidača C i D da se zatvore i da je bar jedan od prekidača A ili B uključen.

COMBINATIONAL LOGIC CIRCUITS - N



TRU
A
0
1
0
1

II. Logička kola

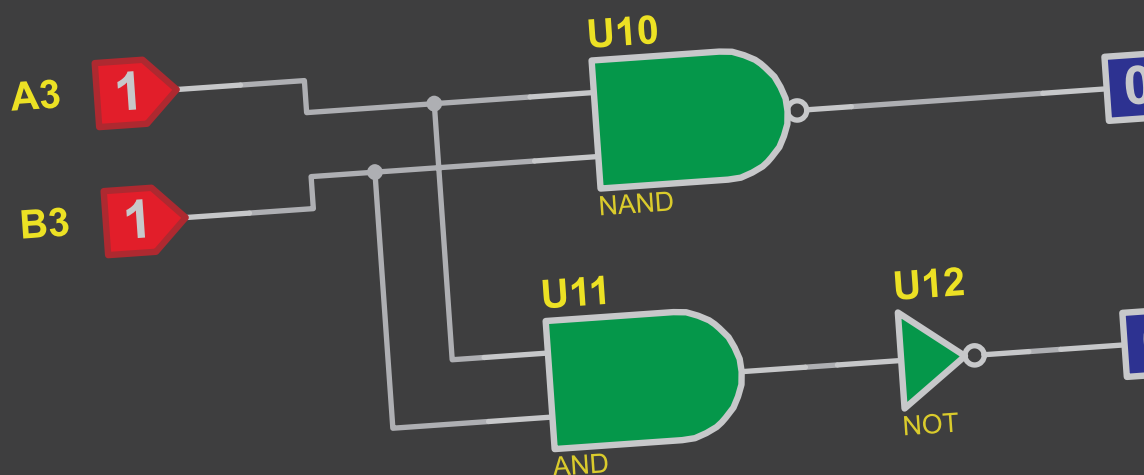
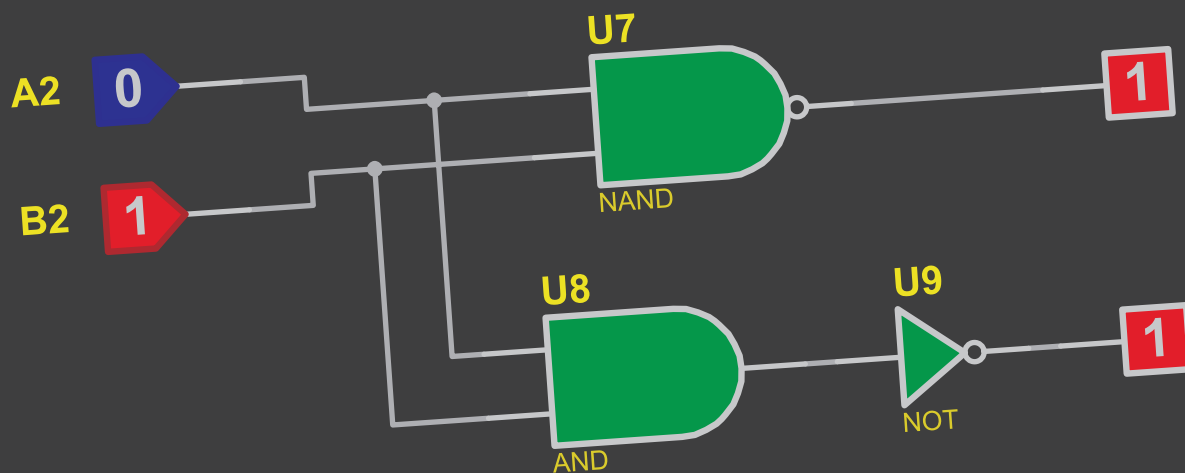
Usvajanjem novih znanja iz ovog poglavlja, moći ćeš da:

- objasniš rad osnovnih logičkih kola
- napišeš izraz za prekidačku funkciju na osnovu zadate logičke mreže
- nacrtáš logičku mrežu na osnovu zadate prekidačke funkcije
- objasniš način realizacije osnovnih logičkih kola primjenom MOS tranzistora.

AND GATE

TRUTH TABLE

B	Q
0	1
0	1
1	1
1	0



Uvod

Računari i digitalni elektronski uređaji koji obrađuju binarne brojeve, koriste elemente za donošenje odluka koji se nazivaju logička kola. Postoji ogroman broj različitih logičkih kola, zavisno od funkcije kojoj su namijenjena. Međutim, sva složena logička kola sastoje se od osnovnih logičkih kola NE, ILI i I.

U ovom poglavlju upoznaćeš se sa osnovnim logičkim kolima, kao i logičkim mrežama koje se sastoje od osnovnih logičkih kola. Takođe ćeš saznati kako se neka osnovna logička kola realizuju u tehnici unipolarnih tranzistora.

2.1 Osnovna logička kola

Logičko kolo je električno kolo koje ima jedan ili više ulaza, ali samo jedan izlaz. Sva logička kola mogu se analizirati pomoću tabele istinitosti. Tabele istinitosti prikazuju sve mogućnosti vrijednosti ulaza, kao i odgovarajuću vrijednost izlaza za svaku kombinaciju ulaza.

Sva logička kola mogu se predstaviti (opisati): tabelom istinitosti, Bulovom funkcijom na izlazu kola, šematskim prikazom – grafičkim simbolom i vremenskim dijagramima, koji pokazuju zavisnost izlazne vremenske funkcije od ulaznih vremenskih funkcija.

PROŠIRI ZNANJE

U katalogima proizvođača logičkih kola mogu se naći svi parametri kojima se mogu opisati osnovna logička kola, kao i logičke mreže. Osnovni parametri logičkih kola su: broj logičkih ulaza, broj logičkih izlaza, vrijeme kašnjenja, snaga disipacije, proizvod snage i kašnjenja, temperaturni opseg, prenosna karakteristika i osjetljivost na smetnje.

Broj logičkih ulaza predstavlja broj logičkih priključaka na ulazu logičkog kola, pri čemu kolo odrađuje svoju funkciju. Kod nekih proizvođača maksimalan broj ulaza u kolo je 18.

Broj logičkih izlaza predstavlja broj istih kola koja se mogu pobuditi, a vežu se na izlaz kola.

Vrijeme kašnjenja je vrijeme za koje logičko kolo prenese napon sa ulaza na izlaz. Od vremena kašnjenja zavisi brzina rada kola. Ono treba da bude što kraće.

Snaga disipacije predstavlja potrošenu snagu za dva stanja na izlazu kola: logičku 0 i logičku 1, kao njihova aritmetička sredina. Poželjno je da snaga disipacije bude što manja.

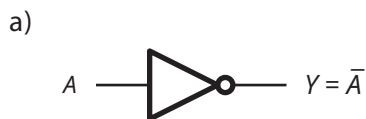
Proizvod snage i kašnjenja predstavlja mjeru kvaliteta kola.

Temperaturni opseg rada kola predstavlja opseg u kojem kolo radi optimalno. Opseg rada kola koja se koriste u kućnim uslovima definiše se u opsegu od 0 °C do 85 °C. Znatno veći opseg predviđen je za vojnu upotrebu (od –55 °C do +125 °C).

Prenosne karakteristike predstavljaju zavisnost izlaznog napona u funkciji ulaznog napona logičkog kola.

Osjetljivost na smetnje predstavlja sposobnost kola da se na njegovom izlazu pojavi stabilan napon.

2.1.1 Logički invertor (NE kolo)



b)

A	Y
1	0
0	1

Slika 2.1 NE kolo: a) simbol
b) tabela istinitosti

Logički invertor je najprostije logičko kolo. Ima samo jedan ulaz i jedan izlaz, pri čemu izlaz ima suprotnu vrijednost ulazu. Šematski prikaz invertora i njegova tabela rada dati su na slici 2.1 a) i b).

Binarna 0 (čitaj: binarna nula) najčešće predstavlja 0 V, dok binarna 1 (čitaj: binarna jedinica) predstavlja +5 V. Uobičajeno je da se binarna 0 odnosi na **nizak nivo** ulaza ili izlaza, dok se binarna 1 tretira kao **visok nivo** ulaza ili izlaza.

Logički invertor radi na sljedeći način: kada je ulaz nizak, onda je izlaz visok. I obrnuto: kada je ulaz visok, izlaz je nizak.

Dakle, logički invertor obavlja logičku operaciju NE, pa se ova kola nazivaju i **NE logička kola**.

2.1.2 Logičko I kolo

I kolo je još jedno logičko kolo. Ima dva ili više ulaza, ali samo jedan izlaz. Simbol I kola sa dva ulaza i odgovarajuća tabela istinitosti prikazani su na slici 2.2 a) i b).

Za bilo koje I kolo, izlaz je visok kada su svi ulazi visoki. Ako je barem jedan ulaz u I kolo nizak, i izlaz će biti nizak.

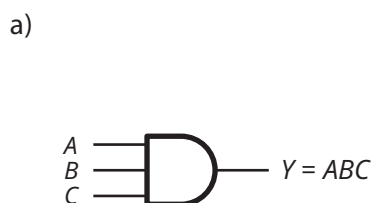
Simbol I kola sa tri ulaza i odgovarajuća tabela istinitosti prikazani su na slici 2.3 a) i b). Iz tabele se vidi da je izlaz Y visok samo kada su svi ulazi A, B i C visoki. Takođe se vidi da je izlaz Y nizak za sve ostale kombinacije ulaza, zato što je najmanje jedan od ulaza A, B ili C nizak.



b)

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

Slika 2.2 I kolo: a) simbol,
b) tabela istinitosti



b)

A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

Slika 2.3 I kolo sa tri ulaza: a) simbol, b) tabela istinitosti

2.1.3 Logičko ILI kolo

Uz I kolo i NE kolo, ILI kolo spada u osnovna logička kola. I ovo kolo ima dva ili više ulaza, ali samo jedan izlaz. Simbol ILI kola sa dva ulaza i odgovarajuća tabela istinitosti prikazani su na slici 2.4 a) i b).

Za bilo koje ILI kolo, izlaz je visok kada je bar jedan ulaz visok. Ako su svi ulazi niski, izlaz će biti nizak.

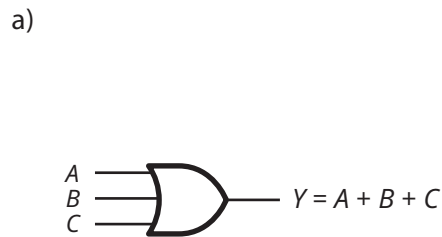
Simbol ILI kola sa tri ulaza i odgovarajuća tabela istinitosti prikazani su na slici 2.5 a) i b). Iz tabele se vidi da je izlaz Y nizak samo kada su svi ulazi A , B i C niski. Kada je bilo koji ili svaki od ulaza A , B i C visok, izlaz Y je visok.



b)

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

Slika 2.4 ILI kolo a) simbol, b) tabela istinitosti



b)

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

Slika 2.5 ILI kolo sa tri ulaza: a) simbol, b) tabela istinitosti

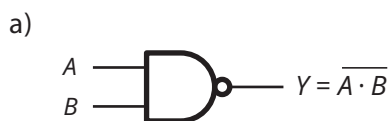
2.1.4 Logičko NI kolo

NI kolo ima takođe dva ili više ulaza, ali samo jedan izlaz. Simbol NI kola sa dva ulaza i odgovarajuća tabela istinitosti prikazani su na slici 2.6 a) i b).

Primjećujemo da je u NI kolu izlaz Y visok ako je bilo koji od ulaza nizak (ili su oba niska). Izlaz je jedino nizak u slučaju kada su oba ulaza visoka.

NI kolo u stvari izvršava logičku funkciju identičnu onoj koju izvršava invertovano I kolo – negacija I kola.

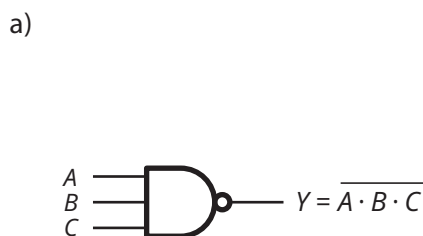
Simbol NI kola sa tri ulaza i odgovarajuća tabela istinitosti prikazani su na slici 2.7 a) i b). Izlaz Y je visok kada je bilo koji (ili svaki) od ulaza nizak, i izlaz Y je nizak jedino kada su svi ulazi visoki.



b)

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

Slika 2.6 NI kolo a) simbol, b) tabela istinitosti



b)

A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Slika 2.7 NI kolo sa tri ulaza: a) simbol, b) tabela istinitosti

2.1.5 Logičko NILI kolo

NILI kolo može imati dva ili više ulaza, a samo jedan izlaz. Simbol NILI kola sa dva ulaza i odgovarajuća tabela istinitosti prikazani su na slici 2.8 a) i b).

Primjećujemo da je u NILI kolu izlaz Y nizak ako je bilo koji od ulaza visok (ili su oba visoka). Izlaz je jedino visok u slučaju kada su oba ulaza niska.

NILI kolo izvršava logičku funkciju identičnu onoj koju izvršava invertovano ILI kolo – negacija ILI kola.

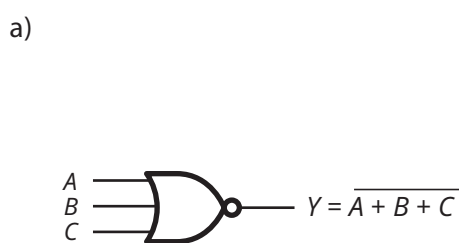
Simbol NILI kola sa tri ulaza i odgovarajuća tabela istinitosti prikazani su na slici 2.9 a) i b). Izlaz Y je nizak kada je bilo koji (ili svaki) od ulaza visok, i izlaz Y je visok jedino kada su svi ulazi niski.



b)

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

Slika 2.8 NILI kolo: a) simbol, b) tabela istinitosti



b)

A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

Slika 2.9 NILI kolo sa tri ulaza: a) simbol, b) tabela istinitosti

2.1.6 Logičko EX ILI i EX NILI kolo

Logički simboli EX ILI i EX NILI kola sa odgovarajućim tabelama istinitosti prikazani su na slici 2.10 a) i b).

a)



A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

b)



A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

Slika 2.10 EX ILI i EX NILI kolo: a) logički simbol i tabela istinitosti za EX ILI kolo sa dva ulaza, b) logički simbol i tabela istinitosti za EX NILI kolo sa dva ulaza

Iz tabela istinitosti možemo primijetiti da je kod EX ILI kola izlaz Y visok samo u slučaju kada su ulazi A i B na različitim nivoima. U slučaju EX ILI kola sa tri ili više ulaza, izlaz Y biće visok samo ako je neparan broj ulaza visok. Ako je paran broj ulaza u EX ILI kolo visok, izlaz Y će biti nizak.

Za EX NILI kolo, izlaz Y je visok samo kada su oba ulaza na istom nivou. EX NILI kolo je ekvivalentno EX ILI kolu na koje se nadovezuje invertor. U slučaju EX NILI kola sa tri ili više ulaza, izlaz Y biće visok samo kada je paran broj ulaza visok. Ako je neparan broj ulaza u EX ILI kolo visok, izlaz Y će biti nizak.

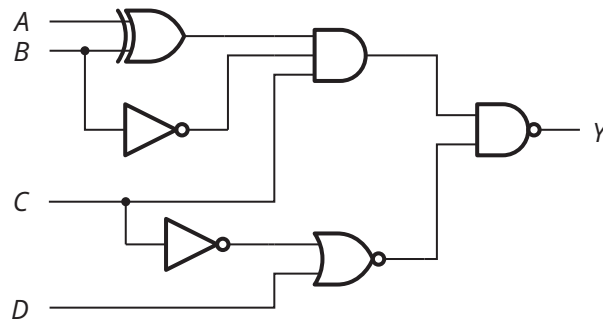
NAPOMENA

U matematici 0 je paran broj, jer se nalazi između dva neparna broja: -1 i 1 .

Ovdje je važno napomenuti da u tabelama istinitosti nula visokih ulaza predstavlja paran broj.

2.1.7 Složena logička kola

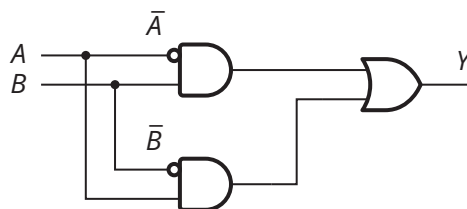
Povezivanjem osnovnih logičkih kola dobijaju se složenija logička kola ili logičke mreže. Primjer jedne takve mreže prikazan je na slici 2.11.



Slika 2.11 Logička mreža

Sa slike 2.11 vidi se da logička mreža ima četiri ulaza, označena sa A , B , C i D , i jedan izlaz označen sa Y . Takođe vidimo da se mreža sastoji od dva invertora (NE kola) i po jednog I, NILI, NI i EX ILI kola.

U praksi se često prekidačke mreže crtaju sa kružnicom na ulazu kola koja predstavlja komplement ulazne promjenjive. Primjer jedne takve mreže prikazan je na slici 2.12.



Slika 2.12 Prekidačka mreža sa invertovanim ulaznim priključcima

Izlazna funkcija Y sa prethodne slike ima oblik:

$$Y = \bar{A} \cdot B + A \cdot \bar{B}.$$

Pravilo pri povezivanju logičkih kola u složenu prekidačku mrežu takvo je da se izlaz jednog kola veže na ulaz drugog kola, da se logičke promjenjive na ulazu mogu povezati na jedan ili više ulaza logičkih kola, te da se izlazi logičkih kola ne smiju kratko spajati, osim u posebnim slučajevima i vrstama logičkih kola.

Kombinacijom osnovnih kola dobijaju se složena kola koja obavljaju odgovarajuće logičke operacije. Možemo reći da najveći broj sklopova digitalne elektronike predstavlja odgovarajuću logičku mrežu.

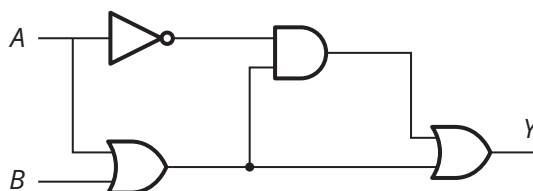
Projektanti komponenti digitalne elektronike osmišljavaju mrežu na osnovu funkcije koju ta mreža treba da vrši. Kako su te funkcije u najvećem broju slučaja prekidačke, onda se mreža može projektovati **na osnovu zadate prekidačke funkcije**. Takođe je moguće i odrediti izraz za prekidačku funkciju na izlazu iz mreže na osnovu zadate logičke mreže.

Pokažimo to na sljedećim primjerima.

PRIMJER 2.1

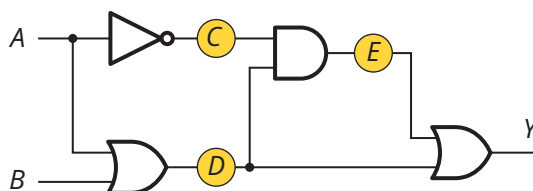
Za logičku mrežu na slici 2.13:

- Napiši izraz za prekidačku funkciju Y
- Nacrtaj odgovarajuću tabelu istinitosti.



Slika 2.13 Slika uz primjer 2.1

Rješenje: Na slici 2.13 data je složena logička mreža koja sadrži osnovna logička kola NE, I i ILI. Označimo izlaze iz osnovnih kola sa C , D i E na način prikazan na slici 2.14.



Slika 2.14 Slika uz primjer 2.1

- Imamo da je:

$$C = \bar{A}$$

$$D = A + B$$

$$E = C \cdot D = \bar{A}(A + B)$$

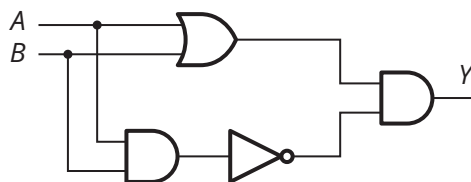
$$Y = E + D = \bar{A}(A + B) + (A + B)$$

b) Odgovarajuća tabela istinitosti je:

Ulaz A	Ulaz B	C	D	E	Izlaz Y
A	B	$\bar{A}$	$A + B$	$C \cdot D$	$E + D$
0	0	1	0	0	0
0	1	1	1	1	1
1	0	0	1	0	1
1	1	0	1	0	1

PRIMJER 2.2

Pokaži da je kolo sa slike 2.15 ekvivalentno EX ILI kolu sa slike 2.16:



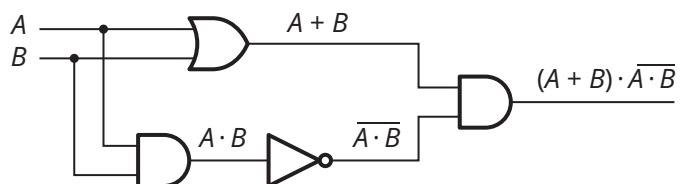
Slika 2.15 Slika uz primjer 2.2



Slika 2.16 Ekvivalentno kolo sa slike 2.15

Dokaz: Pisanjem izraza za prekidačke funkcije logičkih kola, prikazanim na slici 2.17, dobijamo da je vrijednost prekidačke funkcije na izlazu date logičke mreže:

$$Y = (A + B)(\overline{A \cdot B})$$



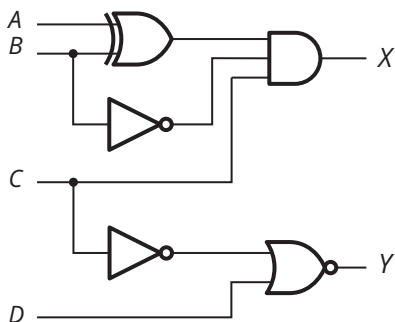
Slika 2.17 Slika uz primjer 2.2

Primjenom De Morganove teoreme, dobijeni izraz transformiš se u oblik:

$$Y = (A + B)(\overline{A \cdot B}) = A\bar{A} + A\bar{B} + B\bar{A} + B\bar{B} = A\bar{B} + B\bar{A}.$$

Kako je $A\bar{A} = B\bar{B} = 0$, onda se na kraju dobija da je $Y = A\bar{B} + B\bar{A}$.

Kako je u primjeru 1.11 pokazano da je $A\bar{B} + B\bar{A} = A \oplus B$, onda smo pokazali da je dato kolo ekvivalentno EX ILI kolu.



Slika 2.18 Logička mreža sa četiri ulaza i dva izlaza

Logičke mreže, za razliku od logičkih kola koja imaju samo jedan izlaz, mogu imati dva, tri i više izlaza. Logičke mreže sa više ulaza i više izlaza koriste se u praksi kod složenih digitalnih kola. Primjer logičke mreže sa četiri ulaza i dva izlaza prikazan je na slici 2.18.

Jednostavnom analizom dobijaju se prekidačke funkcije na izlazu mreže:

$$X = (A \oplus B) \cdot \bar{B} \cdot C$$

$$Y = \bar{\bar{C}} + D.$$

Na primjerima ćemo pokazati crtanje logičke mreže na osnovu zadate prekidačke funkcije.

PRIMJER 2.3

Nacrtaj logičku mrežu koja obavlja prekidačku funkciju: $Y = \overline{(A \cdot B + \bar{C})} \cdot D$.

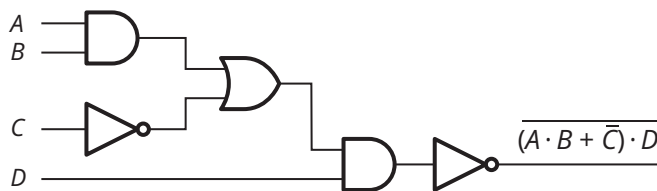
Rješenje: S obzirom na to da prekidačka funkcija ima četiri promjenljive A , B , C i D , zaključujemo da će logička mreža koja vrši ovu funkciju imati četiri ulaza.

Ulazi A i B dovode se na I kolo kako bi se obavila funkcija $A \cdot B$. Izlaz tog kola veže se na ulaz ILI kola, pri čemu se na drugi ulaz dovodi invertovani ulaz C , odnosno dovodi se $\bar{C}$. Na ovaj način realizovali smo prekidačku funkciju $(A \cdot B + \bar{C})$. Ovaj izlaz vodimo na jedan od dva ulaza I kola, na čiji drugi ulaz dovodimo ulaz D . Tako na izlazu I kola dobijamo prekidačku funkciju $(A \cdot B + \bar{C}) \cdot D$. Da bismo dobili željenu funkciju:

$$Y = \overline{(A \cdot B + \bar{C}) \cdot D}$$

izlaz sa I kola vodimo na ulaz invertora.

Izgled logičke mreže prikazan je na slici 2.19.



Slika 2.19 Slika uz primjer 2.3

NAPOMENA

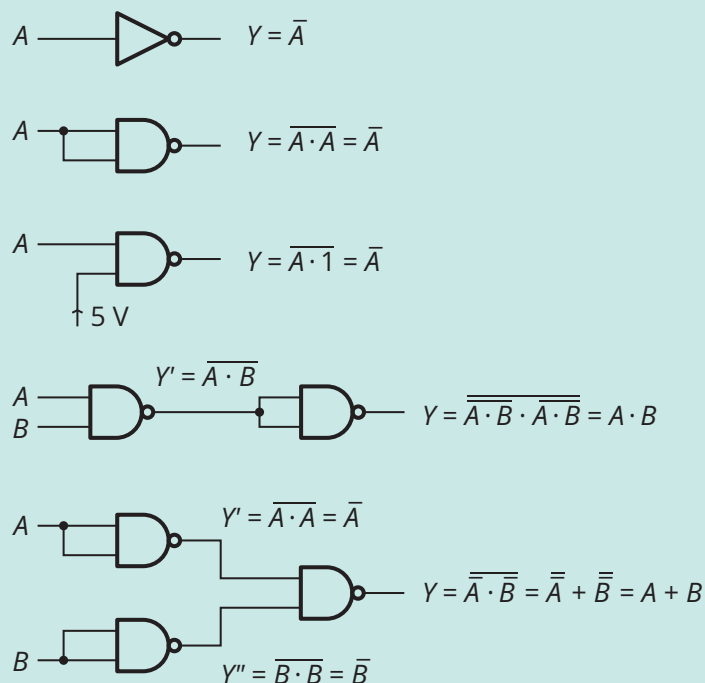
Logička mreža sa slike 2.19 mogla bi se realizovati tako da se umjesto logičkog kola I prije invertora koristilo logičko kolo NI, čime bi se u realizaciji prekidačke funkcije u primjeru 2.3 smanjio ukupan broj logičkih kola.

PROŠIRI ZNANJE

Svaka složena logička funkcija može se realizovati samo sa NI ili samo sa NILI kolima. Ovo je pogodno pri izradi složenih logičkih kola. Na taj način povećava se pouzdanost kola i pogodnost pri vezivanju više složenih logičkih kola.

1. Invertor se može dobiti od NI kola na dva načina:
 - a) kratkim spajanjem ulaza NI kola
 - b) dovođenjem na jedan ulaz NI kola logičke promjenjive u stanje 1, što odgovara naponu od 5 V.
2. I kolo može se dobiti od 2 NI kola, njihovim vezivanjem u seriju, čime se prvo dvije promjenljive logički pomnože i komplementiraju, a u drugom kolu još jednom se komplementiraju, i dobije se logički proizvod.
3. ILI logičko kolo dobija se od 3 NI kola tako što se prvo obje promjenjive komplementiraju, a onda pomnože i komplementiraju, čime se logički proizvod prevodi u logički zbir.

Na slikama su prikazane praktične realizacije invertora, I i ILI kola, pomoću NI kola.



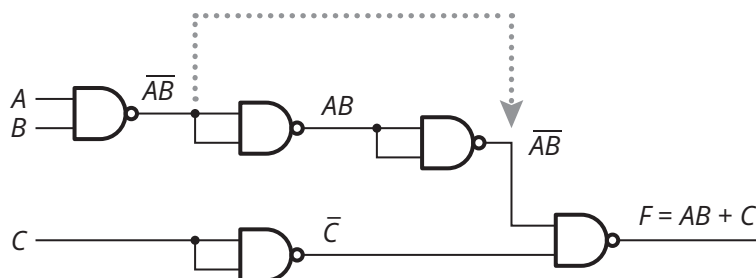
Dakle, sa NI logičkim kolima može se projektovati bilo koja logička funkcija. Tada se u realizaciji koriste samo NI logička kola, što je jednostavnije i praktičnije pri povezivanju i adaptaciji integrisane strukture na štampanoj pločici. Isto razmatranje važi i za NILI logičko kolo, gdje se sličnim postupkom mogu dobiti osnovna I, ILI i NE logička kolo samo sa NILI kolima.

PRIMJER 2.4

Projektuj logičku funkciju: $F = A \cdot B + C$ koristeći isključivo:

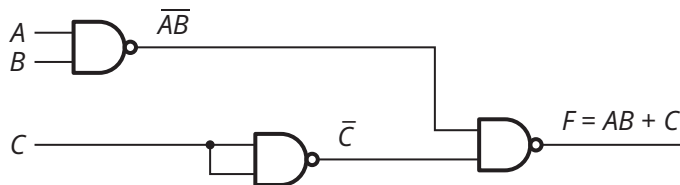
- NI logička kola
- NILI logička kola.

Rješenje: a) Prvo je potrebno logički proizvod A i B realizovati sa dva NI kola, a zatim logički zbir sa tri NI kola, u logičkoj šemi, kao na slici 2.20:



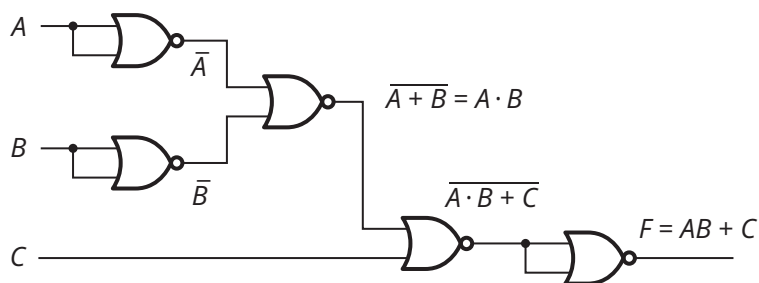
Slika 2.20 Slika uz zadatak 2.4

Sa slike se može uočiti da se komplementirani logički proizvod logičkih promjenljivih A i B ponavlja poslije dvostrukog komplementiranja, pa se oba invertora mogu zanemariti vodeći računa o minimalnoj realizaciji logičke funkcije i jednakosti Bulove algebre o dvostrukom komplementiranju logičkog proizvoda $\overline{\overline{A \cdot B}} = \overline{A \cdot B}$. Nakon toga, minimalna realizacija zadate logičke funkcije imaće oblik kao na slici 2.21.



Slika 2.21 Slike uz rješenje zadatka 2.4a)

- b) Prvo je potrebno logički proizvod A i B realizovati sa tri NILI kola, a zatim logički zbir sa dva NILI kola, u logičkoj šemi, kao na slici 2.22:



Slika 2.22 Slike uz rješenje zadatka 2.4b)

Zaključak: Za realizaciju zadate prekidačke funkcije potrebna su tri NI kola ili pet NILI kola. Bolje rješenje je, radi minimizacije, realizacija sa tri NI kola.

Provjera usvojenih znanja

1. Definiši osnovna logička kola sa dva ulaza, i za svako kolo nacrtaj tablicu istinitosti, simbol i prekidačku funkciju na izlazu.
2. Objasni zašto se kolo za logičko sabiranje zove ILI kolo, a kolo za logičko množenje I kolo.
3. Nacrtaj realizaciju složenih logičkih kola EX ILI i EX NILI u prekidačkoj mreži sa dva ulaza i izlaza koristeći osnovna logička kola.
4. Dokaži da se pomoću logičkih kola NI ili NILI može predstaviti bilo koja prekidačka funkcija.

2.2 Realizacije osnovnih logičkih kola primjenom MOS tranzistora

NAPOMENA

Diode i tranzistori izučavaju se u modulu Analogni elektronika, u drugom razredu.

Sredinom 50-ih godina prošlog vijeka proizvođači su mogli da ponude tržištu samo pojedinačne, tzv. **diskretne elektronske komponente** – diode i tranzistore. Usavršavanjem tehnologije postalo je moguće izraditi veći broj elektronskih komponenti na zajedničkoj poluprovodničkoj osnovi i smjestiti ih u isto kućište. Na taj način, početkom 60-ih godina prošlog vijeka, komercijalno su proizvedena prva **integrisana kola** (engl. *integrated circuits*), ili čipovi (*chip*).

Integrisana kola obično se klasifikuju na osnovu stepena integracije. Kada je o logičkim kolima riječ, onda se za ocjenu stepena integracije uzima broj osnovnih logičkih kola koji se mogu smjestiti na silicijumsku podlogu standardnih dimenzija. Savremena tehnologija omogućava proizvodnju preko 10^6 elementarnih logičkih kola na površini od 10 mm^2 .

Zavisno od stepena integracije, logička (integrisana) kola dijele se na kola malog, srednjeg, velikog i vrlo velikog stepena integracije.

Kola malog stepena integracije (*small-scale integration – SSI*) sadrže nekoliko desetina osnovnih logičkih kola. Kola srednjeg stepena integracije (*medium-scale integration – MSI*) sadrže od nekoliko stotina do hiljadu osnovnih logičkih kola na jednoj silicijumskoj podlozi. Ovoj grupi digitalnih kola pripadaju složena logička kola, kombinaciona kola, kao i memorije malog kapaciteta.

Kola velikog stepena integracije (*large-scale integration – LSI*) sadrže od 1.000 do 10.000 logičkih kola na istoj podlozi. Specijalizovani digitalni sistemi, memorije i manji mikroprocesori pripadaju klasi LSI integrisanih kola. Elektronske komponente vrlo velikog stepena integracije (*very-large-scale integration – VLSI*) sadrže preko 10.000 osnovnih logičkih kola. Ovoj grupi integrisanih kola pripadaju velike memorije i složeni mikroprocesori.

U početku proizvodnje, logička kola su se gradila sa bipolarnim tranzistorima. Kola zasnovana na tehnici bipolarnih tranzistora nazivaju se TTL kola (engl. *transistor-transistor logic*). Prva logička kola bazirana na unipolarnim tranzistorima – MOSFET-ima (*metal-oxide-semiconductor field-effect transistor*) pojavila su se poslije kola sa bipolarnim tranzistorima, u drugoj polovini 60-ih godina prošlog vijeka. Iako su po brzini u početku zaostajala za kolima sa bipolarnim tranzistorima, odmah im je uočena velika prednost, prije svega zbog male potrošnje energije, kao i

mogućnosti da se MOS tehnologijom postigne veća gustina integracije nego kod bipolarnih kola.

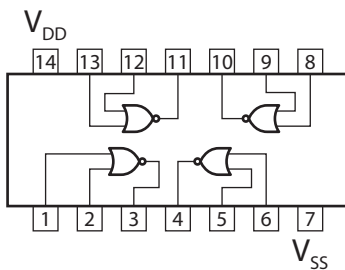
Prvi i ujedno najjednostavniji za proizvodnju bili su MOS tranzistori sa kanalom p tipa (PMOS). PMOS tranzistore ubrzo su zamenili superiorniji MOS tranzistori sa kanalom n tipa (NMOS). Daljim usavršavanjem tehnologije omogućena je proizvodnja PMOS i NMOS tranzistora na istoj osnovi i njihova primjena u realizaciji komplementarnih CMOS (*complementary MOS*) integrisanih kola. Danas su skoro sva integrisana kola visokog stepena integracije, kao što su mikroprocesori i memorije, CMOS kola.

CMOS danas predstavlja dominantnu tehnologiju za proizvodnju digitalnih kola. Tri su ključna razloga zbog kojih je CMOS zamijenila bipolarnu tehnologiju u proizvodnji digitalnih kola: (1) CMOS logička kola troše manju snagu od bipolarnih, te se na jedan čip može smjestiti veći broj CMOS kola nego bipolarnih, (2) zahvaljujući stalnom smanjivanju dimenzija MOS tranzistora, pri čemu se već došlo do tranzistora koji imaju kanal dužine reda 30 nm, omogućen je visok stepen integracije i proizvodnja mikroprocesora koji sadrže preko pet milijardi tranzistora na jednom čipu, (3) zahvaljujući velikoj ulaznoj otpornosti MOSFET tranzistora, ulazne struje su zanemarljive, pa kolo u CMOS tehnici može imati i do 100 ulaza.

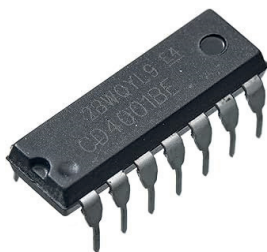
Napon napajanja CMOS logičkih kola (koja se na električnim šemama obično označavaju sa V_{DD}) kreće se u opsegu od 3 V do 15 V. Napon logičke 0 je u opsegu od 0% V_{DD} do 30% V_{DD} , a napon logičke 1 je u opsegu od 70% V_{DD} do 100% V_{DD} . Naponi između 30% V_{DD} i 70% V_{DD} nedefinisani su, što znači da tada kolo ne obavlja svoju funkciju.

Proizvođači CMOS logičkih kola definišu u svom katalogu sve parametre i način rada kola, kao i njegovu logičku šemu (koja se može iskoristiti za povezivanje CMOS integrisanih kola na probnu pločicu ili maketu), čime se mogu dobiti složena kombinaciona kola i kombinacione mreže.

Na slikama 2.23, 2.24, 2.25 i 2.26 prikazane su neke od logičkih struktura CMOS osnovnih logičkih kola.



a)

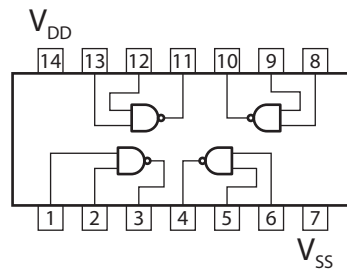


b)

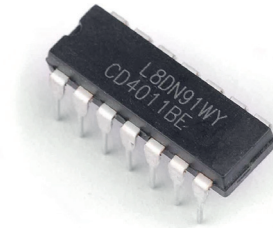
Slika 2.23 CMOS NILI kolo sa dva ulaza: a) logička struktura, b) izgled kola

Na slici 2.23a) prikazana je logička struktura CMOS NILI logičkog kola, sa dva ulaza, a na slici 2.23b) izgled integrisanog kola (čipa). U integrisanom kolu nalaze se četiri NILI kola, pa se kaže da je kolo četvorokanalno. Kolo ima 14 nožica (pinova), po sedam nožica u dva reda. Sa slike se može vidjeti da su nožice 1 i 2 ulazi jednog NILI kola, a nožica 3 je njegov izlaz. Napon V_{DD} predstavlja napon napajanja ovog kola, a napon V_{SS} treba da bude na potencijalu 0 V (masa). Primjer CMOS NILI logičkog kola jeste CD 4001, gdje oznaka CD znači da se radi o CMOS kolima, oznaka 40 je serija kola, a oznaka 01 znači da se radi o četvorokanalnom NILI kolu.

Na slici 2.24 prikazana je logička struktura CMOS NI logičkog kola.



a)

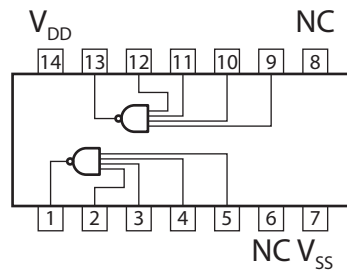


b)

Slika 2.24 CMOS NI kolo sa dva ulaza: a) logička struktura, b) izgled kola

Kolo na slici 2.24a) je četvorokanalno NI logičko kolo sa dva ulaza, a na slici 2.24b) prikazana je slika integrisanog kola. Logička struktura kola slična je strukturi prethodnog NII kola po broju nožica, rasporedu ulaza i izlaza logičkih kola, kao i napona napajanja i mase. Primjer CMOS NI logičkog kola jeste CD 4011, gdje oznaka CD znači da se radi o CMOS kolima, oznaka 40 je serija kola, a oznaka 11 znači da se radi o četvorokanalnom NI kolu.

Kolo na slici 2.25a) jeste dvokanalno CMOS NI logičko kolo sa četiri ulaza, a na slici 2.25b) prikazana je slika integriranog kola. Primjer takvog CMOS NI logičkog kola jeste kolo CD 4012, gdje oznaka CD znači da se radi o CMOS kolima, oznaka 40 je serija kola, a oznaka 11 znači da se radi o dvokanalnom NI logičkom kolu sa četiri ulaza. Nožice 6 i 8 su priključci koji nemaju vezu (konekciju) sa logičkim kolima unutar integriranog kola (NC, engl. *not connected*).



a)



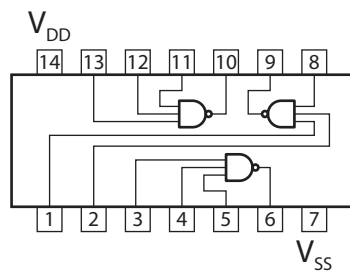
b)

Slika 2.25 CMOS NI kolo sa četiri ulaza a) logička struktura, b) izgled kola

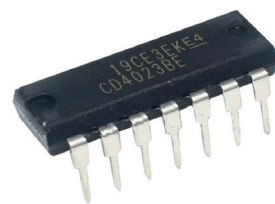
Kolo na slici 2.26a) jeste trokanalno CMOS NI logičko kolo sa tri ulaza, a na slici 2.26b) prikazana je slika integriranog kola. Primjer takvog CMOS NI logičkog kola jeste kolo CD 4023, gdje oznaka CD znači da se radi o CMOS kolima, oznaka 40 je serija kola, a oznaka 23 znači da se radi o trokanalnom NI kolu.

NAPOMENA

Na ulaz V_{SS} kola sa slika dovodi se napon koji odgovara logičkoj nuli.



a)



b)

Slika 2.26 CMOS NI kola sa tri ulaza

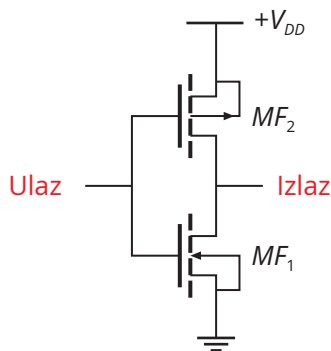
Imajući u vidu značaj koji CMOS tehnologija ima u proizvodnji digitalnih kola, analiza koja slijedi odnosiće se na CMOS digitalna kola.

PROŠIRI ZNANJE

Za ispitivanje ispravnosti logičkih kola koriste se uređaji koji mogu da generišu ili detektuju binarnu nulu ili jedinicu. Znamo da binarne nule i jedinice predstavljaju odgovarajuće napone. Za njihovo detektovanje koriste se logičke sonde koje imaju dvije LED diode. Svjetlost dioda pokazuje da li detektovani napon odgovara logičkoj nuli ili jedinici. Kod većine sondi, crvena LED koristi se za prikazivanje binarne jedinice, a zelena za prikazivanje binarne nule. Za generisanje binarnih nula i jedinica koriste se generatori impulsa.

2.2.1 CMOS logički invertor

Na slici 2.27 prikazana je šema CMOS invertora. Sa slike se vidi da invertor sačinjavaju dva MOSFET tranzistora, i to n -kanalni MF_1 i p -kanalni MF_2 . Otuda i potiče naziv komplementarno MOS (*complementary MOS*) ili CMOS kolo.

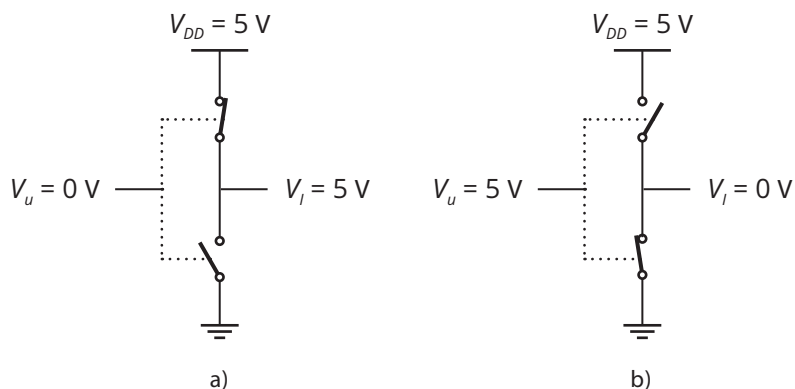


Slika 2.27 Šema CMOS invertora

Princip rada CMOS logičkog invertora prilično je jednostavan. Ukoliko je na ulazu kola visok nivo napona, provodiće MF_1 , dok će MF_2 biti zakočen. Na taj način izlaz kola biće praktično spojen na masu, odnosno napon na izlazu kola biće nula. Suprotno tome, ukoliko je napon na ulazu kola nizak, provodiće MF_2 , dok će MF_1 biti zakočen. U ovom slučaju, izlaz kola će biti praktično spojen na napon napajanja, odnosno napon na izlazu kola biće visok.

Dakle: ako je napon na ulazu visok, na izlazu je nizak, i obrnuto: ako je napon na ulazu kola nizak, napon na izlazu kola je visok. Logička 1 na ulazu otvara gornji i zatvara donji prekidač, pa se na izlazu dobija logička 0. Logička 0

na ulazu otvara donji i zatvara gornji prekidač, pa se na izlazu dobija logička 1 (slika 2.28). Zaključujemo da ovo kolo predstavlja logički invertor.



Slika 2.28 Model CMOS invertora sa prekidačima kada je:

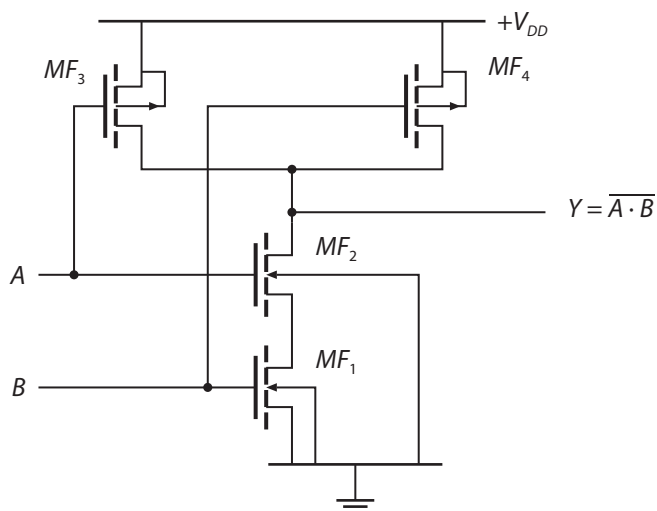
a) ulazni napon nizak; b) ulazni napon visok

Prisjetimo se da su kod MOSFET tranzistora, koji imaju veoma veliku ulaznu otpornost, ulazne struje praktično jednake nuli, pa je i potrošnja ovih kola mala. Rekli smo da naponi koji se koriste za napajanje CMOS kola imaju vrijednosti od 3 V do 15 V. Od vrijednosti tih napona u najvećoj mjeri zavisi snaga disipacije CMOS kola.

Pri praktičnim realizacijama, zbog osjetljivosti CMOS tehnologija na statički elektricitet, CMOS kolima dodaju se zaštitne diode.

2.2.2 CMOS NI kolo

Na slici 2.29 prikazana je šema CMOS NI kola. Kolo se sastoji od dva n -kanalna MOSFET-a MF_1 i MF_2 , i dva p -kanalna MOSFET-a, MF_3 i MF_4 .



Slika 2.29 Šema CMOS NI kola

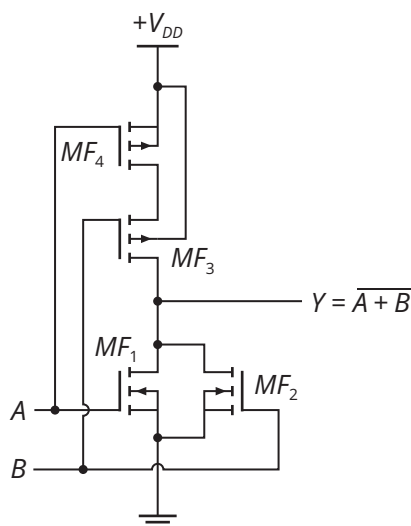
Princip rada ovog kola takođe je jednostavan. Ukoliko se na oba ulaza, A i B, dovede visok napon (logička 1), samo će u tom slučaju provoditi oba n -kanalna MOSFET-a, MF_1 i MF_2 , dok će druga dva MOSFET-a, MF_3 i MF_4 , biti zakočena. U ovom slučaju izlaz kola Y će biti praktično spojen na masu, odnosno izlaz će biti na nivou logičke nule.

Za sve ostale kombinacije ulaznih napona, odnosno u slučaju kada je barem jedan od ulaznih napona na niskom nivou (logička 0), n -kanalni MOSFET-i biće zakočeni, dok će p -kanalni MOSFET, na koji je doveden napon logičke 0, provoditi i spajati izlaz sa napajanjem, te će u tom slučaju izlazni napon biti na vrijednosti logičke 1.

Imajući u vidu logiku NI kola, vidimo da ovakvo kolo obavlja NI funkciju.

2.2.3 CMOS NILI kolo

Na slici 2.30 prikazana je šema CMOS NILI kola. Kolo se sastoji od dva n -kanalna MF_1 i MF_2 , i dva p -kanalna MOSFET-a, MF_3 i MF_4 .

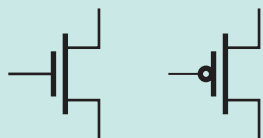


Slika 2.30 Šema CMOS NILI kola

Koristeći analizu prethodnog NI kola, možemo izvesti zaključak kako radi CMOS NILI kolo. U ovom kolu, samo u slučaju kada su oba ulaza na nivou logičkih nula, provodiće p -kanalni MOSFET-i. Na taj način izlaz se preko njih spaja sa napajanjem, odnosno biće na nivou logičke jedinice.

U slučaju da je napon na barem jednom od ulaza na nivou logičke jedinice, preko tog n -kanalnog MOSFET-a izlaz će biti spojen sa masom, odnosno biće na nivou logičke nule.

PROŠIRI ZNANJE



NMOS

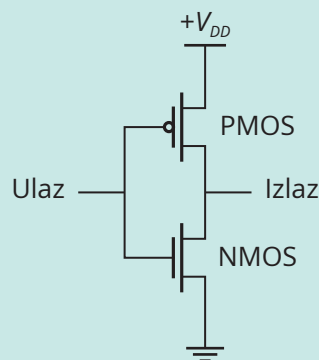
PMOS

Slika 2.31 Uprošćeni simboli za NMOS i PMOS tranzistore

Kod crtanja CMOS logičkih kola, umjesto uobičajenih grafičkih simbola za *n*-kanalne i *p*-kanalne MOSFET tranzistore (NMOS i PMOS) veoma često se koriste uprošćeni simboli, koji su prikazani na slici 2.31.

Kružnica ispred gejta PMOS tranzistora ukazuje da na gejt treba dovesti visok napon da bi tranzistor bio provodan. To znači da je na gejtu aktivan nizak naponski nivo – logička nula. Za NMOS tranzistor, na gejtu je aktivan visok naponski nivo – logička jedinica.

Koristeći grafičke simbole sa prethodne slike, šema CMOS logičkog invertora data je na slici 2.32.



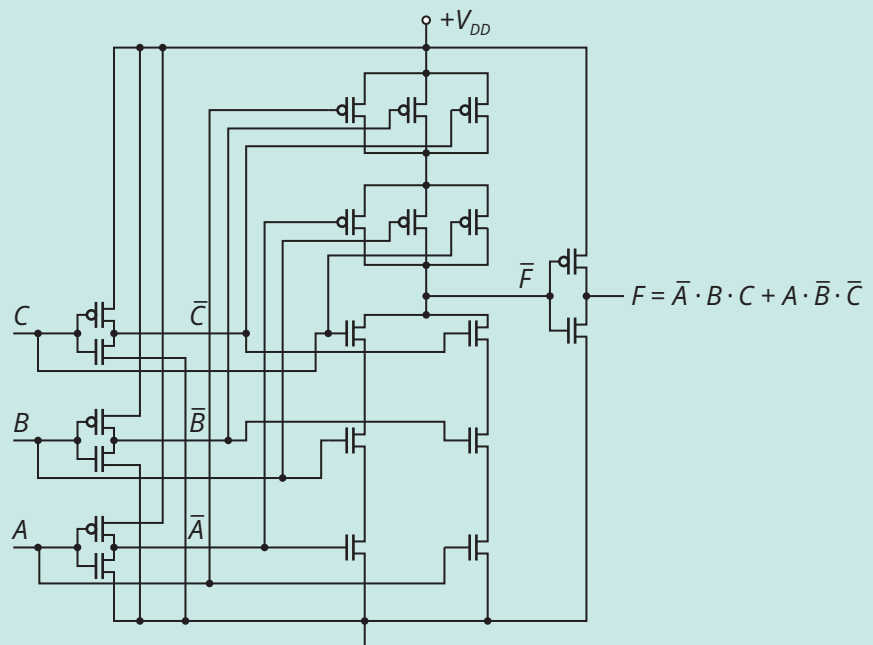
Slika 2.32 Šema CMOS logičkog invertora sa uprošćenim simbolima

CMOS logički invertor, kako je ranije rečeno, sadrži jedan NMOS i jedan PMOS tranzistor. Složena CMOS logička kola sadrže dvije mreže – jedna sadrži NMOS a druga PMOS tranzistore. Mreža NMOS tranzistora povezana je na masu, a PMOS mreža na napajanje. Te dvije mreže rade komplementarno, slično kao dva tranzistora – NMOS i PMOS kod logičkog invertora. NMOS mreža treba da obezbijedi da je izlazni napon nizak, a PMOS mreža treba da obezbijedi da je izlazni napon visok. Da bi NMOS mreža provodila, potrebno je na njen ulaz dovesti visok napon. Da bi PMOS mreža provodila, na njen ulaz treba dovesti nizak napon (invertor na ulazu).

U nastavku teksta, za projektovanje složenog kola u CMOS tehnici korišćiće se uprošćeni simboli sa slike 2.31.

Pri projektovanju proizvoljne logičke funkcije u CMOS tehnici, prvo se logička funkcija realizuje sa NMOS tranzistorima, čiji je kraj vezan na masu. Nakon toga se realizuje logička funkcija sa PMOS tranzistorima, čiji je kraj vezan za napon napajanja. Redna veza NMOS tranzistora obavlja NI logičku funkciju, jer je tranzistor vezan na masu. Paralelna veza PMOS tranzistora biće ekvivalentna rednoj vezi NMOS tranzistora (zbog komplementarnosti). Paralelna veza NMOS tranzistora obavlja NILI logičku funkciju, što odgovara rednoj vezi PMOS tranzistora.

Kao primjer, projektujemo logičku funkciju u CMOS tehnici: $F = \bar{A} \cdot B \cdot C + A \cdot \bar{B} \cdot \bar{C}$. Prva NMOS mreža tranzistora sastoji se od serijske veze tranzistora komplementa A , B i C (donji dio šeme), koju treba vezati paralelno, sa serijskom vezom tranzistora A , komplementa B i komplementa C . Druga PMOS mreža tranzistora sastoji se od paralelne veze tranzistora komplementa A , B i C (gornji dio šeme) koju treba povezati serijski sa paralelnom vezom tranzistora A , komplementa B i komplementa C (suprotno od veza kod NMOS mreže). Na ovaj način, na zajedničkom izlazu dobija se invertovana funkcija $\bar{F}$. Da bi se dobila funkcija F , potrebno je zajednički izlaz vezati na ulaz invertora. Na slici 2.33 prikazana je realizacija zadate logičke funkcije u CMOS tehnici.



Slika 2.33 Realizacija zadate logičke funkcije u CMOS tehnici

NAPOMENA

U procesu projektovanja CMOS kola često se koriste CAD (*computer-aided design*) alati, poput SPICE ili VHDL/Verilog.

Provjera usvojenih znanja

1. Navedi prednosti CMOS tehnike u kojoj se prave logička kola u odnosu na druge tehnike.
2. Definiši razliku između integrisanog kola, logičkog kola i MOSFET tranzistora.
3. Opiši algoritamske korake za crtanje složene prekidačke mreže sa logičkim kolima ako su zadate logičke funkcije.
4. Opiši kako se iz nacrtane logičke mreže može napisati prekidačka funkcija na izlazu mreže.
5. Objasni prednosti prekidačke minimizirane mreže u odnosu na početnu mrežu.

Rezime

- Osnovna logička kola su I, ILI i NE kolo, koja obavljaju tri osnovne logičke operacije: logičko množenje, logičko sabiranje i logičko komplementiranje. Pomoću osnovnih logičkih kola može se realizovati bilo koja složena prekidačka funkcija sa više ulaza i jednim izlazom, kao i složena prekidačka mreža koja ima više ulaza i više izlaza. Osnovna logička kola imaju dva logička ulaza, a složenija kola mogu imati više logičkih ulaza.
- Kombinacijom osnovnih logičkih kola mogu se projektovati složenija kola: NI, NILI, EX ILI i EX NILI kolo. Pomoću NI ili NILI kola može se predstaviti bilo koja prekidačka funkcija, što znači da se kompletan sklop realizuje sa istim integrisanim kolima. Složena logička kola i prekidačke mreže spadaju u integrisana kola malog i srednjeg stepena integracije.
- Za svako složeno logičko kolo ili složenu logičku prekidačku mrežu može se napisati izraz za izlaznu prekidačku funkciju, postepenim pisanjem izlazne jednakosti za svako logičko kolo, počev od ulaznih promjenljivih, dok se ne dođe do zadnjeg logičkog kola na izlazu složene logičke šeme.
- Realizacija osnovnih logičkih kola, zbog svojih prednosti u odnosu na druge tehnike, danas se najčešće vrši u CMOS tehnici, primjenom MOSFET tranzistora.
- Svako prosto i složeno logičko kolo može se opisati: prekidačkom funkcijom, tabelom istinitosti, mrežom prostih ili složenijih logičkih kola, kao i vremenskim dijagramima.
- Primjenom više metoda minimizacije, složena logička funkcija može se predstaviti sa manjim brojem istih logičkih kola, što omogućava smanjenje logičke šeme i ukupne cijene kola uz povećanje brzine rada i pouzdanosti.

Manje poznate riječi

integracija – spajanje djelova u cjelinu

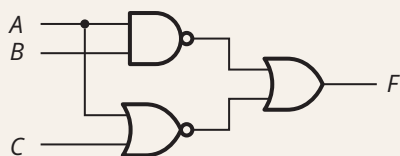
superioran – nadmoćan

Korisni veb-sajtovi za dodatno proučavanje sadržaja poglavlja

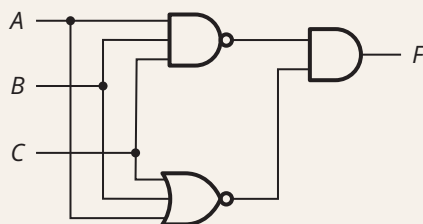
1. https://web.stanford.edu/class/archive/engr/engr40m.1178/slides_sp17/lecture08.pdf
2. http://people.ee.duke.edu/~jmorizio/ece261/classlectures/CMOS_circuits.pdf
3. <https://www.ti.com/lit/gpn/cd4077b>
4. <https://www.sciencedirect.com/topics/engineering/logic-circuits>
5. https://www.cukashmir.ac.in/cukashmir/User_Files/imagefile/DIT/StudyMaterial/LogicDesign/DigitalLogic_LogicGatesCombinationalCircuits.pdf

Zadaci za samostalan rad

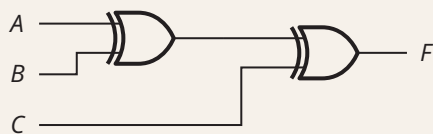
1. Za zadate složene logičke šeme na slici 1 a), b) i c):
 - A. Napiši izraz za složenu prekidačku funkciju F
 - B. Nacrtaj tabelu istinitosti za zadatu logičku mrežu.



Slika uz zadatak 1a)



Slika uz zadatak 1b)



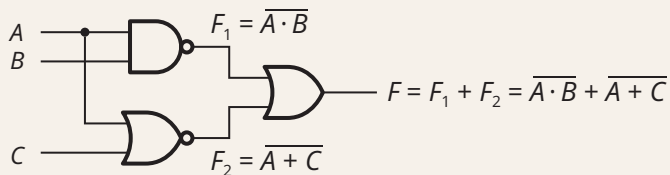
Slika uz zadatak 1c)

Rješenje:

Tabela 1a)

A	B	C	F_1	F_2	F
0	0	0	1	1	1
0	0	1	1	0	1
0	1	0	1	1	1
0	1	1	1	0	1
1	0	0	1	0	1
1	0	1	1	0	1
1	1	0	0	0	0
1	1	1	0	0	0

- a) A. Logička mreža ima tri ulaza i jedan izlaz, i sadrži logička kola ILI, NI i NILI. Izlaze kola označićemo sa F_1 , F_2 i F , i za svaki izlaz definisati odgovarajuću logičku funkciju, kao što je prikazano na sljedećoj slici:



Slika uz rješenje zadatka 1a)

- B. Odgovarajuća tabela istinitosti data je tabelom 1a).

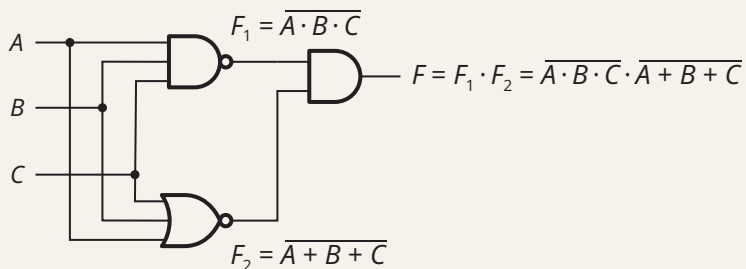
Tabela uz rješenje zadatka 1b)

A	B	C	F_1	F_2	F
0	0	0	1	1	1
0	0	1	1	0	0
0	1	0	1	0	0
0	1	1	1	0	0
1	0	0	1	0	0
1	0	1	1	0	0
1	1	0	1	0	0
1	1	1	0	0	0

Tabela uz rješenje zadatka 1c)

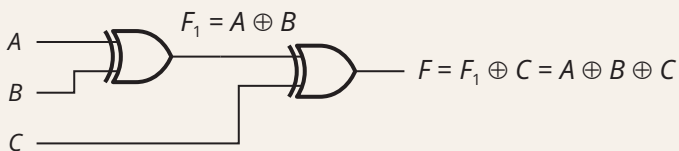
A	B	C	F_1	F
0	0	0	0	0
0	0	1	0	1
0	1	0	1	1
0	1	1	1	0
1	0	0	1	1
1	0	1	1	0
1	1	0	0	0
1	1	1	0	1

- b) A. Logička mreža ima tri ulaza i jedan izlaz, i sadrži logička kola I, NI i NILI. NI i NILI kola su sa tri ulaza. Izlaze kola označimo sa F_1, F_2 i F , i za svaki izlaz definisati odgovarajuću logičku funkciju, kao što je prikazano na sljedećoj slici:



Slika uz rješenje zadatka 1b)

- B. Odgovarajuća tabela istinitosti data je tabelom 1b).
- c) A. Logička mreža ima tri ulaza i jedan izlaz i sadrži dva EXILI logička kola sa dva ulaza. Izlaze kola označimo sa F_1 i F , i za svaki izlaz definisati odgovarajuću logičku funkciju, kao što je prikazano na sljedećoj slici:



Slika uz rješenje zadatka 1c)

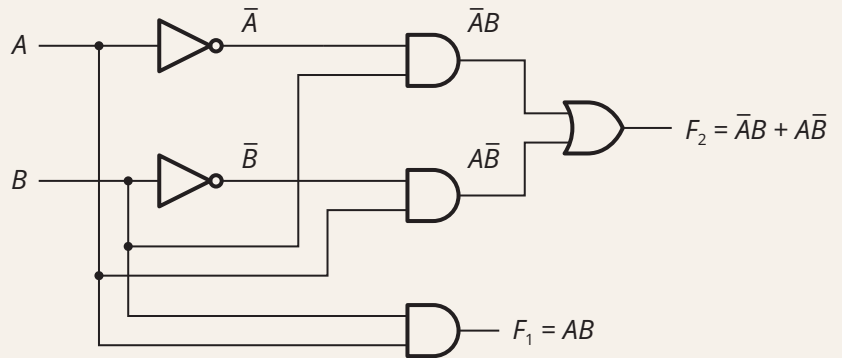
- B. Odgovarajuća tabela istinitosti data je tabelom 1c).

2. Nacrtaj logičku mrežu koja je definisana logičkim funkcijama:

- a) $F_1 = A \cdot B$ i $F_2 = \bar{A} \cdot B + A \cdot \bar{B}$
- b) $F_1 = \bar{A} \cdot \bar{B} \cdot \bar{C}$ i $F_2 = \bar{A} \cdot B \cdot \bar{C}$
- c) $F_1 = A \oplus B \oplus C$, $F_2 = (A \oplus B) \cdot C$ i $F_3 = (A \oplus B) \cdot C + A \cdot B$.

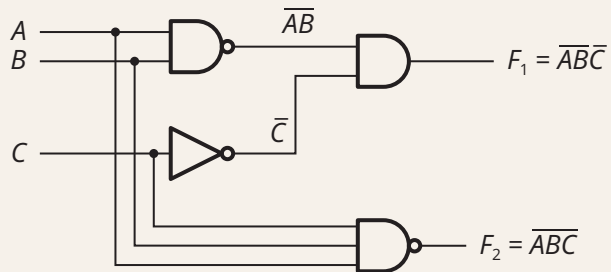
Rješenje:

- a) Logička mreža ima dva ulaza A i B , i dva izlaza F_1 i F_2 . Za realizaciju logičke mreže koristimo osnovna logička kola I, ILI i NE.



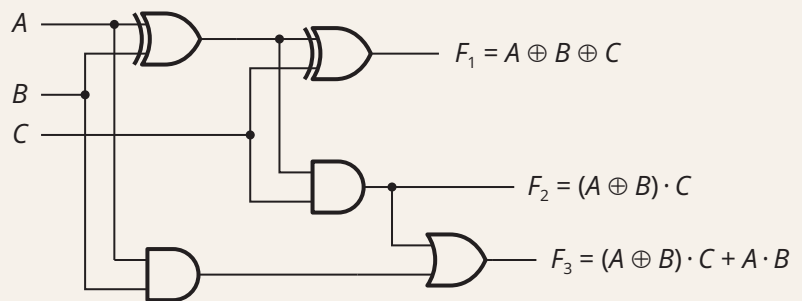
Slika uz rješenje zadatka 2a)

- b) Logička mreža ima tri ulaza A , B i C , i dva izlaza F_1 i F_2 . Za realizaciju logičke mreže koristimo logička kola I, NE i NI kola sa dva i tri ulaza.



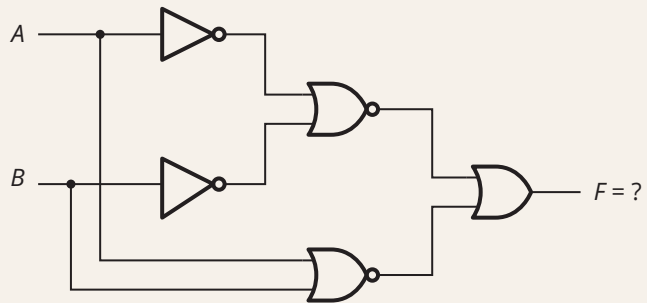
Slika uz rješenje zadatka 2b)

- c) Logička mreža ima tri ulaza A , B i C , i tri izlaza F_1 , F_2 i F_3 . Za realizaciju logičke mreže koristimo logička kola I, ILI i EXILI kola sa dva ulaza.



Slika uz rješenje zadatka 2c)

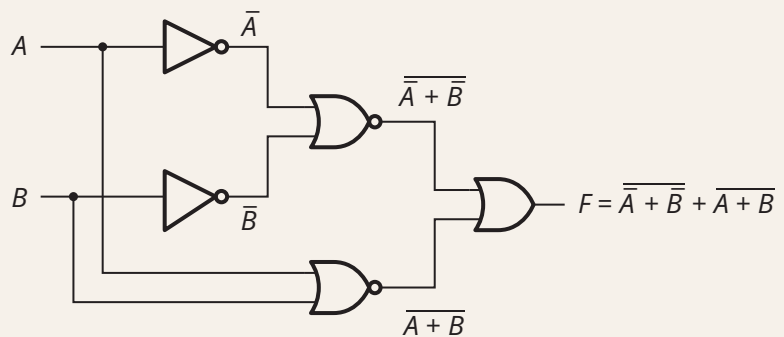
3. Dokaži da je složeno logičko kolo na sljedećoj slici ekvivalentno sa EXNILI kolom sa dva ulaza.



Slika uz zadatak 3

Rješenje:

Pisanjem izraza za prekidačke funkcije logičkih kola, prikazanim na sljedećoj slici:



Slika uz rješenje zadatka 3

dobijamo da je vrijednost prekidačke funkcije na izlazu date logičke mreže:

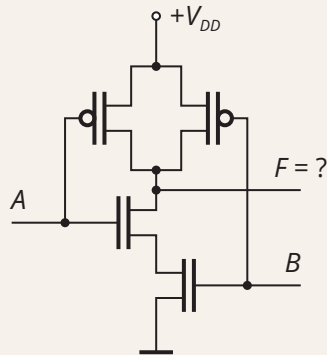
$$F = \overline{\overline{A} + \overline{B}} + \overline{A + B}.$$

Primjenom De Morganove teoreme, dobijeni izraz transformiše se u oblik:

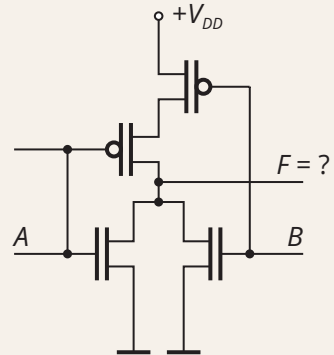
$$F = \overline{\overline{A} + \overline{B}} + \overline{A + B} = \overline{\overline{A}} \cdot \overline{\overline{B}} + \overline{A} \cdot \overline{B} = A \cdot B + \overline{A} \cdot \overline{B},$$

što predstavlja izlaz EXNILI kola sa dva ulaza.

4. Napiši logičke funkcije koje su date strukturom u CMOS tehnici, kao što je prikazano na slici a) i b).



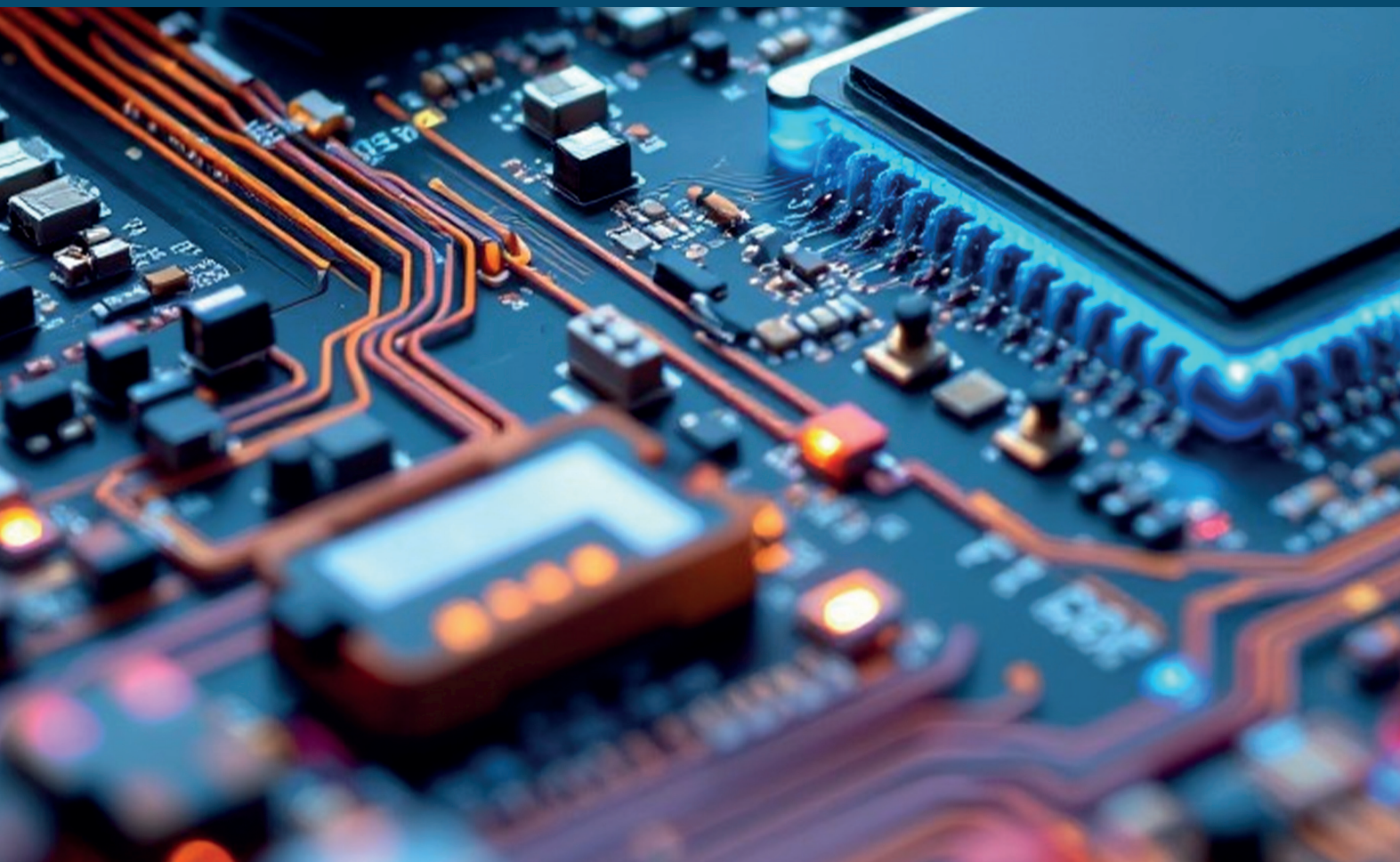
Slika uz zadatak 4a)



Slika uz zadatak 4b)

Rješenje:

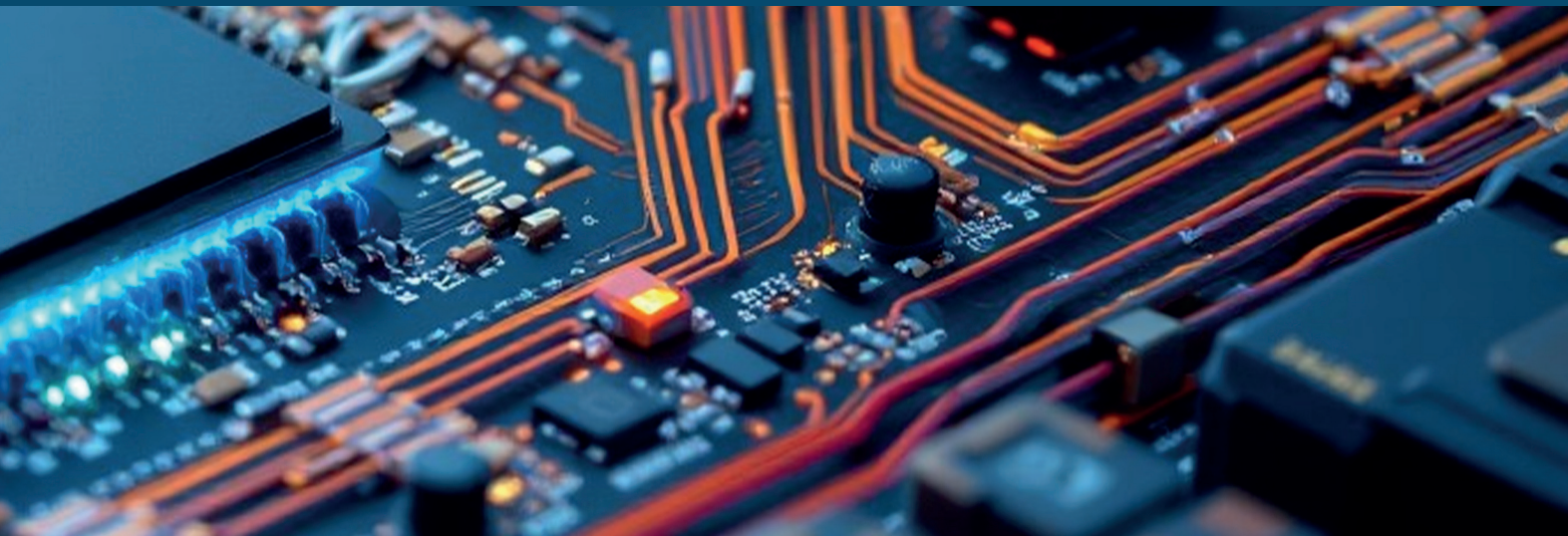
- a) Kolo na slici je NI logičko kolo, realizovano u CMOS tehnici. NMOS tranzistori su vezani redno (donji dio šeme), vezani su na masu i obavljaju NI logičku funkciju. PMOS tranzistori su vezani paralelno (gornji dio šeme) i njihova funkcija je ekvivalentna rednoj vezi NMOS tranzistora (PMOS tranzistori su vezani na napajanje). Znači, funkcija F na izlazu CMOS logičkog kola ima oblik $F = \overline{A \cdot B}$.
- b) Kolo na slici je NILI logičko kolo, realizovano u CMOS tehnici. NMOS tranzistori vezani su paralelno (donji dio šeme), vezani su na masu i obavljaju NILI logičku funkciju. PMOS tranzistori vezani su redno (gornji dio šeme) i njihova funkcija ekvivalentna je paralelnoj vezi NMOS tranzistora (PMOS tranzistori vezani su na napajanje). Znači, funkcija F na izlazu CMOS logičkog kola ima oblik $F = \overline{A + B}$.



III. Multivibratori i bistabilna kola

Usvajanjem novih znanja iz ovog poglavlja, moći ćeš da:

- objasniš princip rada i podjelu multivibratora
- objasniš princip rada flip-flopova: RS flip-flop, T flip-flop, D flip-flop, JK flip-flop
- objasniš princip rada monostabilnih i astabilnih multivibratora realizovanih pomoću logičkih kola
- grafički predstaviš vremenske dijagrame na izlazima bistabilnih kola, na osnovu prethodnog i zadatih vremenskih stanja na ulazima.



Uvod

U praktičnim primjenama digitalne elektronike često se sreće posebna klasa kola koja se nazivaju multivibratori. Multivibratori spadaju u grupu sekvencijalnih kola, kod kojih stanje na izlazu zavisi i od prethodnih stanja na ulazu u kola, odnosno zavisi od sekvence signala.

U jednom radnom ciklusu multivibratori mogu da posjeduju dva statička i jedno dinamičko, tj. prelazno stanje. Statička stanja mogu da budu stabilna, tj. mogu da traju neograničeno dugo, pa se takva kola nazivaju bistabilna. Klasičan primjer mehaničkog prekidača sa dva stabilna stanja jeste prekidač za električno osvjetljenje prostorija.

Pored bistabilnog, ova kola mogu da imaju i druge režime rada. Na primjer, da im je jedno ustaljeno stanje stabilno, dok je trajanje drugog ustaljenog stanja uslovljeno komponentama kola. Ovo stanje je ograničenog trajanja. Za ustaljeno stanje ograničenog trajanja kaže se da je kvazistabilno. Kako ovo kolo ima samo jedno stabilno stanje, ono se naziva monostabilno. Kada se izvedu iz stabilnog stanja, ova kola se sama vraćaju u stabilno stanje po isteku kvazistabilnog perioda. Klasičan primjer mehaničkog prekidača monostabilnog tipa jeste prekidač za električno osvjetljenje stepeništa u stambenim zgradama.

Postoje kola kod kojih su oba ustaljena stanja kvazistabilna. Ovakva kola se stalno i naizmjenično, po isteku određenog vremena, sama od sebe prebacuju iz jednog u drugo ustaljeno stanje. To znači da ova kola nemaju nijedno stabilno stanje, tj. stanje neograničenog trajanja, pa se nazivaju astabilna. Primjer astabilnog prekidača jesu trepćuća svjetla na semaforima ili žmigavci na automobilima.

Digitalna kola sa dva stanja nazivaju se multivibratori. Kako je najlakša mogućnost tehničke realizacije elektronskih elemenata sa dva različita stabilna stanja, pomoću kojih se mogu predstaviti binarne cifre 0 i 1, onda je bistabilni element postao najvažnija komponenta u savremenim digitalnim računarima. Najčešći naziv bistabilnih kola jeste flip-flop.

Bistabilna kola se koriste u računarskoj tehnici za memorisanje jedne ili više višebitnih binarnih riječi, kod mjerne opreme pri brojanju impulsa za dobijanje mjerene veličine, u proizvodnji bijele tehnike i medicinske opreme, za rad semafora itd.

U ovom poglavlju upoznaćeš se sa principom rada multivibratora, sa principima rada i vrstama flip-flopova, kao i načinima njihove realizacije pomoću logičkih kola.

3.1 Bistabilni multivibratori

Stanje na izlazu logičkih kola koja smo do sada analizirali, zavisilo je samo od kombinacije trenutnih stanja na ulazima kola. Zbog toga ova kola nemaju mogućnost pamćenja stanja koja su prethodno bila na njihovim ulazima, odnosno nemaju mogućnost memorisanja. Međutim, memorisanje logičkog stanja veoma je važno u obradi digitalnih signala. Na taj način se, na primjer, pamte podaci i programi u računaru. Bistabilni multivibratori omogućavaju memorisanje stanja sa ulaza na svom izlazu. Njihova struktura je kombinaciona, ali radi pamćenja ulaznih podataka imaju i memorijski dio.

Kola kod kojih stanje na izlazu zavisi od trenutnog stanja na ulazu i od prethodnih stanja na ulazu, ili od sekvence ulaznih signala, nazivaju se **sekvencijalna kola**. Često se ova grupa kola svrstava i u grupu impulsnih kola, pri čemu se nazivaju **multivibratorska kola** ili **multivibratori**. Multivibratori mogu biti: bistabilni, monostabilni i astabilni.

Bistabilna kola imaju dva **stabilna stanja** na izlazu u kojima mogu ostati neograničeno dugo. Prelaz iz jednog u drugo stabilno stanje dešava se samo pod dejstvom pobudnog signala koji se dovodi na ulaz kola. Najvažnija grupa bistabilnih kola jesu **flip-flopovi**. To su osnovna kola za projektovanje sekvencijalnih kola u digitalnoj elektronici – registara, memorija i brojača.

Monostabilna kola na izlazu imaju samo jedno stabilno stanje. Ona ostaju u stabilnom stanju sve dok pod dejstvom pobudnog signala ne pređu u drugo stanje. Po isteku određenog vremena, koje je definisano parametrima kola, monostabilno kolo vraća se u stabilno stanje. Monostabilno kolo naziva se i **monostabilni multivibrator**.

Astabilna kola imaju na izlazu dva **kvazistabilna stanja** tačno definisanog trajanja. Drugim riječima, ona nemaju na izlazu ni jedno stabilno stanje. Njihova trenutna stanja sukcesivno se smjenjuju bez ikakvog pobudnog signala, i kolo osciluje između ovih stanja. Astabilna kola nazivaju se **astabilni multivibratori**.

3.1.1 Vrste flip-flopova

Flip-flopovi su digitalna kola koja imaju dva stabilna stanja. Najčešće su ova kola projektovana tako da imaju dva izlaza, od kojih jedan predstavlja komplement drugog, pa se kaže da su izlazi flip-flopa komplementirani.

Tako, na primjer, ako je jedan izlaz u stanju logičke nule, drugi je u stanju logičke jedinice, i obrnuto. Flip-flop će ostati u jednom od dva stabilna stanja sve dok ga ulazni, pobudni ili **kontrolni signal** ne primora da pređe u drugo stabilno stanje. Flip-flop može ostati u bilo kojem od ovih stanja neograničeno dugo.

Kontrolni signal je obično pravougaonog oblika. Početak signala počinje prednjom ili usponskom, a završetak zadnjom ili silaznom ivicom. Do promjene stanja na izlazu flip-flopa može doći samo u trenutku uspostavljanja usponske ili silazne ivice odgovarajućeg kontrolnog signala. Na ovaj način flip-flopu se može definisati promjena stanja u tačno određenom trenutku. Kao kontrolni signal najčešće se koristi periodična povorka pravougaonih impulsa, pa se ovaj signal naziva i **taktni signal** (*clock signal*). Taktni signal dobija se iz generatora takta, i on je po pravilu pravougaonog talasnog oblika sa podjednakim trajanjem visokog i niskog nivoa. Na ovaj način u rad bistabilnih memorijskih kola unosi se nov parametar, a to je vrijeme. Zbog toga se ulazi, taktni signal i izlazi bistabilnih kola mogu predstaviti kao vremenski promjenjive veličine.

Flip-flopovi mogu biti **upravljivi – sinhroni** ili **neupravljivi – asinhroni**. Ova podjela napravljena je na osnovu postojanja taktnih signala na ulazu. Asinhroni flip-flop na svom ulazu nema taktni signal, tako da promjena stanja na njegovom izlazu zavisi od ulaza i prethodnog stanja u kome je bio flip-flop. Zato se sadašnje ili buduće stanje flip-flopa na izlazu označava sa Q^{n+1} , a prethodno stanje sa Q^n . Kod sinhronih flip-floпова usponska ili silazna ivica taktnog signala određuje tačno vrijeme rada kola i njegovu promjenu stanja na izlazu. Koje će stanje u tom trenutku biti na izlazu, zavisi od njegovih ostalih ulaza i prethodnog stanja Q^n .

Zbog čega su potrebni taktni signali?

Tablice istinitosti logičkih kola prikazuju odnose ulaznih i izlaznih stanja nezavisno od vremena. Međutim, kada se na ulaz kola dovedu električni impulsi, usljed postojanja vremenskog kašnjenja unutar sklopova potrebno je neko vrijeme dok izlaz postigne stabilno stanje. Kašnjenje u jednom logičkom kolu veoma je malo, reda veličine nekoliko nanosekundi. Ali, na primjer u računaru, binarni signal prolazi kroz velik broj sklopova, i kašnjenja mogu postati znatna. Pod ovim uslovima teško se mogu procijeniti trajanja pojedinih računarskih postupaka. Zbog toga se pojedinim koracima nekog postupka unaprijed dodjeljuju određeni trenuci vremena. Ako se postupak završi prije predviđenog vremena, računar mora čekati. Na taj način brzina rada računara donekle se usporava, ali se istovremeno postiže i velika pouzdanost, jer je osigurano vremensko usklađivanje pojedinih postupaka koje računar izvršava.

Flip-flop je jednomemorijsko kolo zato što pamti jedan bit – 0 ili 1, što odgovara logičkim stanjima 0 ili 1. Od ovih kola prave se složenija više-bitna memorijska kola, koja mogu da pamte više jedinica i nula u obliku jedne višebitne ili više višebitnih riječi, koja se zovu **registri i memorije**. Pri rješavanju problema iz prakse, često se nameće potreba da se stanje nekog uređaja ili višebitna binarna riječ sačuva određeno vrijeme do dalje obrade, za šta se koristi registar kao memorijsko kolo. Ako je potrebno sačuvati više višebitnih riječi, onda se koristi memorija koja se sastoji od više registara.

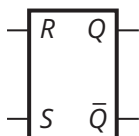
Osnova svih memorijskih kola jeste flip-flop.

Dakle, flip-flopovi se koriste za memorisanje binarnih informacija. Digitalna memorijska kola koja mogu memorisati podatke od suštinske su važnosti svakog računarskog sistema.

Bistabilna kola mogu se definisati blok-šemom, odnosno grafičkim simbolom, strukturom sa logičkim kolima, karakterističnom jednačinom, tablicom rada u kojoj se definišu režimi rada bistabilnih kola, kao i vremenskim dijagramima.

3.1.1.1 RS flip-flop

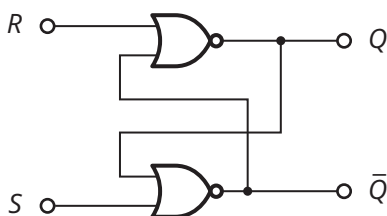
RS flip-flop je osnovno bistabilno kolo, jer se njegovom modifikacijom ili dodavanjem logičkih kola mogu dobiti svi ostali flip-flopovi. RS flip-flop sastoji se od dva ulaza, koja se obilježavaju sa R i S , i dva izlaza Q i njegova invertovana vrijednost $\bar{Q}$. Oznake ulaza su u skladu sa funkcijom flip-flopa: odgovarajućim signalom na ulazu S , flip-flop se setuje, odnosno izlaz Q postaje logička jedinica; signalom na ulazu R flip-flop se resetuje, odnosno izlaz Q postaje logička nula. Otuda i ovom flip-flopu naziv *Set-Reset flip-flop*.



Slika 3.1 Grafički simbol RS flip-flopa

Na slici 3.1 prikazan je simbol RS flip-flopa.

RS flip-flop realizuje se pomoću logičkih NILI ili pomoću logičkih NI kola. Šema RS flip-flopa pomoću logičkih NILI kola prikazana je na slici 3.2.



Slika 3.2 Način realizacije RS flip-flopa pomoću NILI kola

Da bismo analizirali rad ovoga flip-flopa, prisjetimo se logike NILI kola, na čijem je izlazu logička jedinica samo u slučaju kada su mu oba ulaza logičke nule, dok sve ostale kombinacije na ulazima, na izlazu daju logičku nulu.

Ako se na ulazu S flip-flopa zadrži logička nula, a na R ulaz flip-flopa dovede logička jedinica, flip-flop će se resetovati. U tom slučaju, na ulazima gornjeg NILI kola imamo kombinaciju nule i jedinice, što na izlazu ovoga kola, izlazu Q , daje logičku nulu. Logička nula sa izlaza Q prenosi se na ulaz donjeg NILI kola, pa se na njegovom ulazu dobija kombinacija od obje nule, što za posljedicu ima dobijanje logičke jedinice na njegovom izlazu. Pokazali smo da kombinacija $R = 1, S = 0$, daje na izlazu $Q = 0, \bar{Q} = 1$.

Promjena stanja na izlazu flip-flopa izvršila bi se ako bismo na ulaz S doveli logičku jedinicu, dok bi ulaz R bio na logičkoj nuli. U ovom slučaju ulogu gornjeg NILI kola preuzelo bi donje, i obratno, pa bi se na izlazu Q dobila logička jedinica, a na izlazu $\bar{Q}$ logička nula. Dakle, kombinacija $R = 0, S = 1$, na izlazu daje $Q = 1, \bar{Q} = 0$.

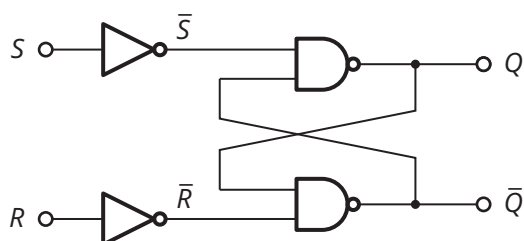
Razmotrimo šta se dešava ako oba ulaza imaju logičke jedinice. Ovo stanje flip-flopa je nedozvoljeno. Naime, kada su na oba ulaza flip-flopa logičke jedinice, onda su, u skladu sa logikom NILI kola, na oba izlaza logičke nule, što je suprotno tome da izlazi flip-flopa budu međusobno invertovani.

Na osnovu izložene analize, može se napraviti funkcionalna tabela RS flip-flopa (tabela istinitosti) koja je prikazana u tabeli 3.1.

Tabela 3.1 Funkcionalna tabela RS flip-flopa

R	S	Q	Komentar
0	0	Zadržava prethodno stanje	Nema promjene na izlazu
0	1	1	Setovano stanje
1	0	0	Resetovano stanje
1	1	?	Nedozvoljeno stanje

RS flip-flop može se realizovati i pomoću NI kola. Primjer takvog flip-flopa prikazan je na slici 3.3.



Slika 3.3 Način realizacije RS flip-flopa pomoću NI kola

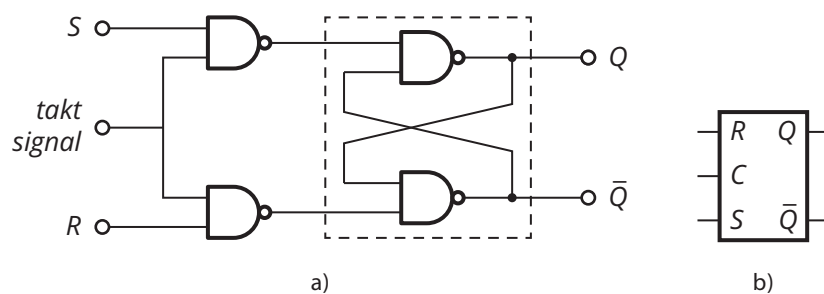
Analizu ovoga kola možemo izvršiti na sličan način kao za prethodno kolo. Pri analizi rada ovoga flip-flopa, prisjetimo se logike NI kola, na čijem je izlazu logička nula samo u slučaju kada su mu oba ulaza logičke jedinice, dok sve ostale kombinacije na ulazima, na izlazu daju logičku jedinicu.

NE kola na ulazu flip-flopa invertuju S i R signale. Pretpostavimo da je kolo resetovano, odnosno da mu je izlaz Q na logičkoj nuli. Tada su obje jedinice na ulazu gornjeg NI kola, pa je na njegovom izlazu logička jedinica. Setovanje ovog kola vrši se dovođenjem logičke jedinice na ulaz S (logičke nule na ulaz $\bar{S}$), dok ulaz R ostaje na nuli ($\bar{R}$ ostaje na jedinici). Tada na gornjem kolu imamo kombinaciju nule i jedinice, što na njegovom izlazu daje logičku jedinicu. Ta jedinica prenosi se na donje NI kolo, te sa jedinicom na $\bar{R}$ ulazu daje logičku nulu na izlazu $\bar{Q}$. Po prestanku djelovanja nule na $\bar{S}$ ulazu, na gornjem NI kolu i dalje je kombinacija nule i jedinice, pošto se nula sa $\bar{Q}$ prenosi na ulaz gornjeg NI kola. Na taj način kolo je setovano, odnosno na izlazu se dobija logička jedinica.

Na sličan način analizira se postupak resetovanja kola.

Često je u praksi neophodno kontrolisati setovanje i resetovanje flip-flopa. U tom cilju realizuju se RS flip-flopovi sa takt-signalima, koji kontrolišu kada kolo može biti setovano, odnosno resetovano. U odsustvu takt-signala (*clock*), bez obzira na to koja je kombinacija na R i S ulazima, stanje na izlazu flip-flopa ne može se promijeniti. Pošto takt-signali upravljaju radom flip-flopa, ovi flip-flopovi nazivaju se upravljivi.

Šema jednog ovakvog flip-flopa sa NI kolima prikazana je na slici. Uokvireni dio kola sa slike 3.4 predstavlja kolo koje smo prethodno analizirali.



Slika 3.4 RS flip-flop sa takt-signalom: a) šema, b) simbol

Sa slike se vidi da, ukoliko je takt-signal $C = 0$, tada, bez obzira na kombinaciju R i S ulaza, izlazi prva dva NI kola imaju logičke jedinice, pa se stanje na izlazima flip-flopa neće promijeniti. Međutim, za kombinaciju $C = 1$, $S = 1$ i $R = 0$, na izlazu gornjeg NI kola je logička nula, a taj signal

na prethodno objašnjen način setuje uokvireno kolo. Setovanje kola izvršeno je signalom logičke jedinice.

Analogno se može analizirati kolo kada je $C = 1$, $R = 1$ i $S = 0$.

Zaključujemo da ovo kolo, uz prisustvo takt-signala, radi kao RS flip-flop, dok u odsustvu takt-signala ne reaguje na promjene signala na ulazima.

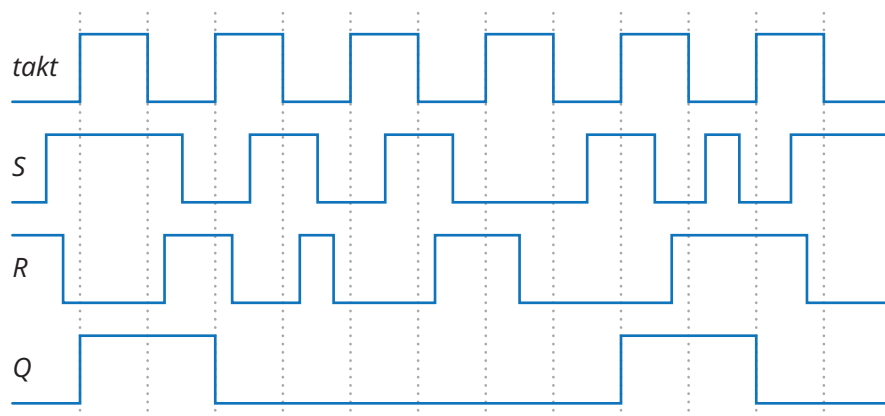
Na osnovu funkcionalnih tabela flip-flopa, može se nacrtati i vremenski dijagram na izlazima RS flip-flopa na osnovu vremenskih stanja na njegovim ulazima. Šta je vremenski dijagram?

Vremenski dijagram je vremenski prikaz koji pokazuje kako se vrijednost električnih signala mijenja tokom vremena. Kod RS flip-flopa ovaj dijagram prikazuje kako se ulazi S i R i izlazi Q i $\bar{Q}$ mijenjaju u odnosu jedan prema drugom. Na dijagramu se prikazuju sljedeće linije:

- vremenska – horizontalna osa, koja predstavlja protok vremena
- ulazi S i R – ove linije pokazuju kada su ulazi na logičkoj jedinici ili nuli
- izlazi Q i $\bar{Q}$ – ove linije pokazuju kako se izlazi mijenjaju u zavisnosti od ulaza.

Promjena stanja na izlazima RS flip-flopa vrši se u trenutku nailaska uzlazne ili silazne ivice takt-signala. Takt-signal je periodični pravougaoni impuls, koji ima svoju amplitudu logičke nule i jedinice, kao i svoju frekvenciju – periodu.

Na slici 3.5 prikazan je vremenski dijagram upravljivog RS flip-flopa. RS flip-flop se okida nailaskom uzlazne ivice takt-impulsa.



Slika 3.5 Vremenski dijagram upravljivog RS flip-flopa

PRIMJER 3.1

Koristeći tabelu istinitosti RS flip-flopa, pronađi jednačinu njegovog rada koristeći Karnoovu mapu.

Rješenje: Koristeći tabelu istinitosti RS flip-flopa iz tabele, može se dobiti Karnoova tablica prikazana u tabeli 3.2.

Tabela 3.2 Karnoova tablica za RS flip-flop

		RQ^n			
		00	01	11	10
S	0	0	1	0	0
	1	1	1	*	*

Minimizacijom pomoću logičkih jedinica (jedna četvorka jedinica i jedna dvojka) dobijamo jednačinu rada RS flip-flopa:

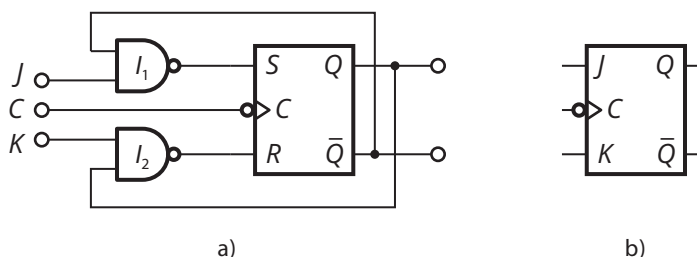
$$Q = S + \bar{R} \cdot Q^n.$$

Q^n predstavlja prethodno stanje flip-flopa. Za minimizaciju su korišćena nedozvoljena stanja flip-flopa da bi se dobila jednostavnija jednačina rada.

3.1.1.2 JK flip-flop

Vidjeli smo da je nedostatak RS flip-flopa u tome što se za kombinaciju obje logičke jedinice na ulazu dobija nedozvoljeno stanje na njegovim izlazima. Ova nepoželjna osobina RS flip-flopa prevaziđena je kod JK flip-flopa.

JK flip-flop realizuje se pomoću RS flip-flopa kome se na ulaze dodaju dva I kola. Po jedan od ulaza u I kolo predstavlja J i K ulaze JK flip-flopa, dok se drugi ulazi u I kolo povratnom spregom povezuju sa izlazima RS flip-flopa, kao što je prikazano na slici 3.6. Ulazi J i K odgovaraju ulazima S i R kod RS flip-flopa.



Slika 3.6 Realizacija JK flip-flopa pomoću RS flip-flopa: a) logička šema kola, b) grafički simbol za JK flip-flop

Sa slike se vidi da je J ulaz doveden na I kolo zajedno sa signalom sa izlaza $\bar{Q}$. Na taj način omogućeno je da se preko I kola signal sa J ulaza dalje proslijedi samo u slučaju da je $\bar{Q} = 1$, odnosno kada je flip-flop resetovan. U tom slučaju, ako se na J ulaz dovede logička jedinica, na S ulazu će biti logička jedinica, pa se flip-flop setuje.

Analogno važi i za K ulaz. Signal sa K ulaza može se proslijediti samo kada je flip-flop setovan (kada je $Q = 1$). Ukoliko se tada na K ulaz dovede logička jedinica, na ulazu R će biti logička jedinica, i flip-flop će se resetovati.

Analizirajmo sada slučaj kad su na oba ulaza, J i K , dovedene logičke jedinice. Prisjetimo se da bi kod RS flip-flopa ovo stanje bilo zabranjeno. Pokazaćemo da kod JK flip-flopa to nije slučaj.

Pretpostavimo da je flip-flop bio resetovan. Tada jedan ulaz gornjeg I kola ima logičku jedinicu sa izlaza $\bar{Q}$, pa se signal sa J ulaza proslijeđuje na S ulaz. Istovremeno, na donjem I kolu signal logičke nule se sa izlaza Q dovodi na njegov ulaz, onemogućavajući time da se logička jedinica sa K ulaza proslijedi ka R ulazu. Dakle, u slučaju da je $J = 1$ i $K = 1$, tada je $S = 1$ i $R = 0$, flip-flop se setuje i mijenja svoje pređašnje stanje.

Ako je flip-flop bio setovan, tada bi donje I kolo prenijelo signal sa K ulaza, dok bi gornje kolo blokiralo prolaz J signala. U ovom slučaju je, dakle, $R = 1$ i $S = 0$, pa je flip-flop resetovan, odnosno opet se mijenja njegovo pređašnje stanje.

Ovim smo pokazali da se i za kombinaciju od obje jedinice na ulazu flip-flopa dobija definisano stanje.

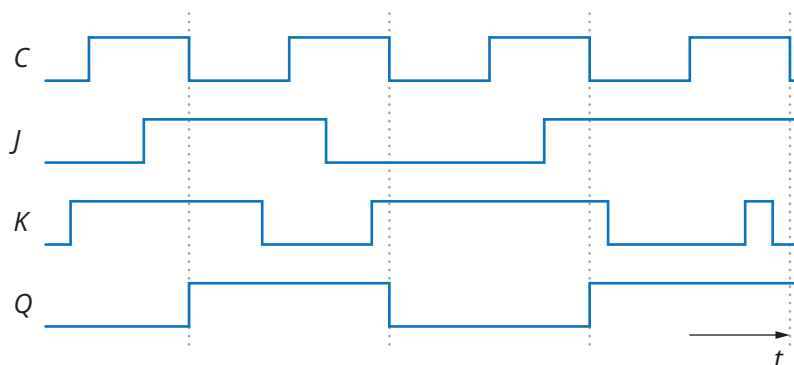
Promjenama stanja JK flip-flopa, kao i kod RS flip-flopa, upravlja takt-signal C (clock). Kao i kod RS flip-flopa, promjene stanja JK flip-flopa mijenjaju se samo uz prisustvo takt-signala, dok u njegovom odsustvu flip-flop ne reaguje na promjene signala na ulazima.

Na osnovu navedene analize, može se predstaviti funkcionalna tabela JK flip-flopa (tabela 3.3).

Tabela 3.3 Funkcionalna tabela JK flip-flopa, $C = 1$

J	K	Q_n (tekuće stanje)	Q_{n+1} (sljedeće stanje)	Opis
0	0	Q_n	Q_n	nema promjene
0	1	Q_n	0	resetovanje
1	0	Q_n	1	setovanje
1	1	Q_n	$\bar{Q}_n$	komplementiranje

Vremenski dijagram rada JK flip-flopa sa promjenom stanja (okidanjem) izlaza na zadnjoj ivici takt-impulsa prikazan je na slici 3.7.



Slika 3.7 Vremenski dijagram rada JK flip-flopa sa okidanjem na zadnju ivicu takt-impulsa

PRIMJER 3.2

Koristeći tabelu istinitosti JK flip-flopa, pronađi jednačinu njegovog rada koristeći Karnoovu tablicu.

Rješenje: Koristeći funkcionalnu tabelu JK flip-flopa iz tabele 3.3, unošenjem izlaznih vrijednosti u Karnoovu tablicu dobiće se tabela 3.4.

Tabela 3.4 Karnoova tablica za JK flip-flop

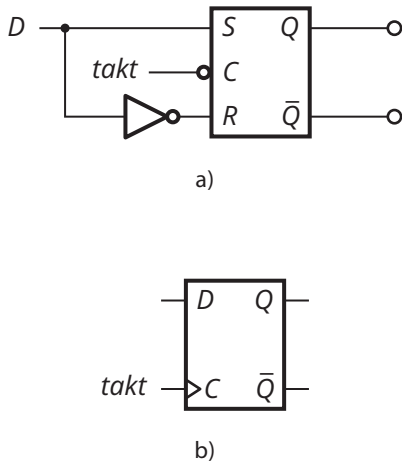
		KQ^n			
		00	01	11	10
S	0	0	1	0	0
	1	1	1	0	1

Minimizacijom pomoću logičkih jedinica (dvije dvojke), dobijamo jednačinu rada JK flip-flopa:

$$Q = Q^n \cdot \bar{K} + J \cdot \bar{Q}^n,$$

gdje je Q stanje flip-flopa u $n + 1$ trenutku a Q^n je prethodno stanje flip-flopa.

3.1.1.3 D flip-flop



Slika 3.8 D flip-flop: a) logička šema, b) grafički simbol

Za razliku od RS i JK flip-flopa, koji imaju dva ulaza, postoje flip-flopi sa samo jednim ulazom. Primjer ovakvog flip-flopa jeste D flip-flop. Pored ulaza za takt-signal, on ima samo jedan ulaz, koji se označava sa D .

D flip-flop najčešće se realizuje pomoću RS flip-flopa tako što se ulaz za podatak D direktno poveže na S ulaz a njegova invertovana vrijednost na R ulaz, kao što je prikazano na slici 3.8a). Na slici 3.8b) prikazan je simbol D flip-flopa. Ulaz C (clock) jeste priključak za takt-impulse.

Princip rada D flip-flopa je jednostavan. Ukoliko je na ulazu logička jedinica, na ulazu S takođe će biti logička jedinica, dok će na ulazu R biti logička nula, te se okidanjem flip-flopa (dovođenjem takt-impulsa) flip-flop setuje, odnosno na izlazu Q dobija se logička jedinica. Kada je na ulazu D logička nula, dovođenjem takt-impulsa flip-flop će biti resetovan, odnosno na izlazu Q će biti logička nula.

U odsustvu takt-signala, na izlazu se neće promijeniti vrijednost signala, bez obzira na to kakav se signal dovodi na D ulaz flip-flopa.

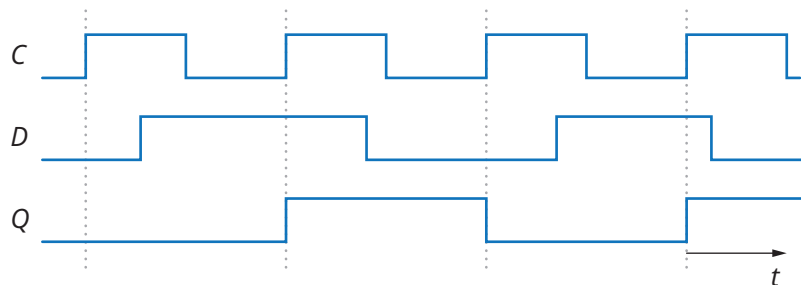
Tabela 3.5 Funkcionalna tabela D flip-flopa

takt	D	Q
0	0	Q
0	1	Q
1	0	0
1	1	1

Funkcionalna tabela D flip-flopa data je tabelom 3.5.

Iz prethodne analize možemo uočiti da D flip-flop ima takvu funkciju da, u trenutku nailaska uzlazne ivice takta, signal sa ulaza D prosljeđuje na izlaz Q . To znači da izlaz Q D flip-flopa prati signal sa njegovog ulaza D , ali sa kašnjenjem od jedne periode takt-impulsa. Zbog kašnjenja ovaj flip-flop je i dobio ime D (delay – kašnjenje). Ova osobina D flip-flopa definiše i njegovu osnovnu ulogu, a to je da se koristi kao memorijski element sposoban da podatak sa ulaza smjesti na svoj izlaz. Drugim riječima, D flip-flop pamti jedan bit.

Vremenski dijagram rada D flip-flopa sa okidanjem na prednju (uzlaznu) ivicu takt-impulsa prikazan je na slici 3.9.



Slika 3.9 Vremenski dijagram rada D flip-flopa sa okidanjem na zadnju ivicu takt-impulsa

PRIMJER 3.3

Koristeći tabelu istinitosti D flip-flopa, pronađi jednačinu njegovog rada, uz upotrebu Karnoove tablice.

Rješenje: Korišćenjem funkcionalne tabele D flip-flopa (tabela 3.5) dobiće se tabela 3.6.

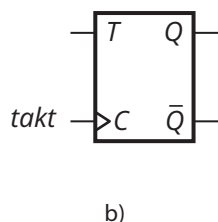
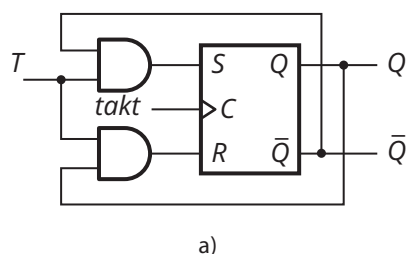
Minimizacijom pomoću logičkih jedinica (jedna dvojka), dobijamo jednačinu rada D flip-flopa:

$$Q = D,$$

gdje je Q stanje flip-flopa u trenutku $n + 1$, a D je ulaz flip-flopa u istom trenutku.

Tabela 3.6 Karnoova tablica za D flip-flop

$D \backslash Q^n$	0	1
0	0	0
1	1	1



Slika 3.10 Realizacija T flip-flopa pomoću RS flip-flopa: a) logička šema, b) grafički simbol

3.1.1.4 T flip-flop

Kao i D, i T flip-flop ima jedan ulaz na koji se dovode signali za njegovo setovanje, odnosno resetovanje. Realizacija T flip-flopa pomoću RS flip-flopa prikazana je na slici 3.10a), dok je njegov simbol prikazan na slici 3.10b).

Sa slike se vidi da se ulaz T dovodi na dva I kola, koja su povezana sa izlazima flip-flopa Q i $\bar{Q}$. Ukoliko je flip-flop bio resetovan, izlaz $\bar{Q}$ je na logičkoj jedinici, a Q na logičkoj nuli. U tom slučaju, gornje I kolo prosljeđuje ulaz T na S ulaz RS flip-flopa i – za slučaj jedinice na T ulazu – setuje flip-flop, odnosno postavlja logičku jedinicu na Q izlazu. Za slučaj kada je flip-flop bio setovan, izlaz Q mu je na logičkoj jedinici, pa će donje I kolo proslijediti signal T na ulaz R RS flip-flopa. Ako je on logička jedinica, flip-flop će se resetovati, odnosno izlaz Q će biti postavljen u stanje logičke nule.

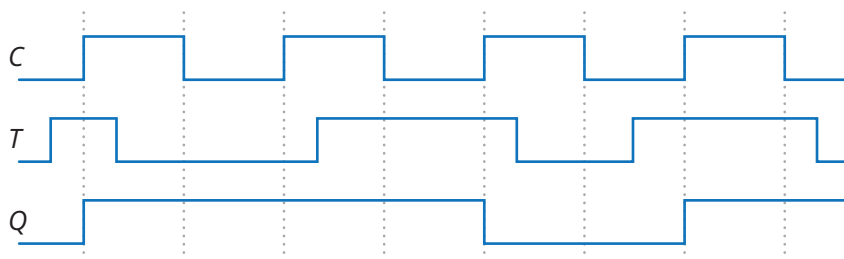
U tabeli 3.7 prikazana je funkcionalna tabela T flip-flopa.

Tabela 3.7 Funkcionalna tabela istinitosti T flip-flopa

T	Prethodno stanje		Naredno stanje	
	Q	$\bar{Q}$	Q	$\bar{Q}$
0	0	1	0	1
0	1	0	1	0
1	0	1	1	0
1	1	0	0	1

Primijetimo jednu važnu osobinu T flip-flopa. Pri svakoj novoj logičkoj jedinici na ulazu T , svaki taktni impuls mijenjaće stanje na njegovom izlazu. Na ovaj način T impuls okida flip-flop, ili – kako se to kaže – trigeruje. Zbog osobine trigerovanja, ovaj flip-flop dobio je naziv T (*trigger*) ili brojački flip-flop. Ukoliko je na ulazu T logička nula, stanje na izlazu se ne mijenja, jer su tada oba I kola zatvorena.

Na slici 3.11 prikazan je vremenski dijagram rada T flip-flopa.

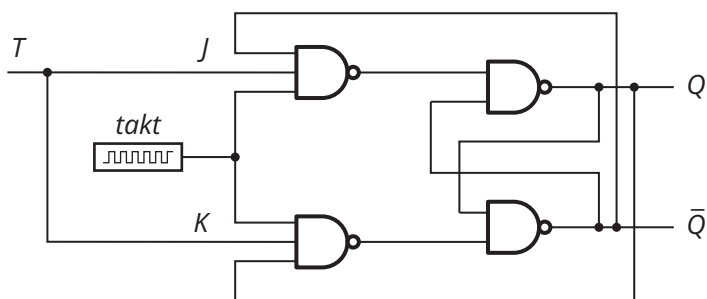


Slika 3.11 Vremenski dijagram rada T flip-flopa

PRIMJER 3.4

Skiciraj logičku šemu sinhronog T flip-flopa sa logičkim kolima.

Rješenje: Logička šema sinhronog T flip-flopa najčešće se realizuje od JK flip-flopa tako što se ulazi J i K kratko spoje i čine T ulaz flip-flopa. Logička šema sinhronog T flip-flopa sa četiri NI kola data je na slici 3.12.



Slika 3.12 Slika uz rješenje primjera 3.6

PRIMJER 3.5

Koristeći tabelu istinitosti T flip-flopa, pronadi jednačinu njegovog rada, uz upotrebu Karnoove tablice.

Rješenje: Korišćenjem funkcionalne tabele T flip-flopa (tabela 3.7) dobiće se tabela 3.8.

Tabela 3.8 Karnoova tablica za T flip-flop

		Q^n	
		0	1
T	0	0	1
	1	1	0

Minimizacijom pomoću logičkih jedinica (dvije jedinice), dobijamo jednačinu rada D flip-flopa:

$$Q = T \cdot \overline{Q^n} + Q^n \cdot \bar{T} = T \oplus Q^n,$$

gdje je Q stanje flip-flopa u $n + 1$ trenutku, Q^n prethodno stanje flip-flopa ili stanje u n -tom trenutku i T je ulaz flip-flopa. ■

Provjera usvojenih znanja

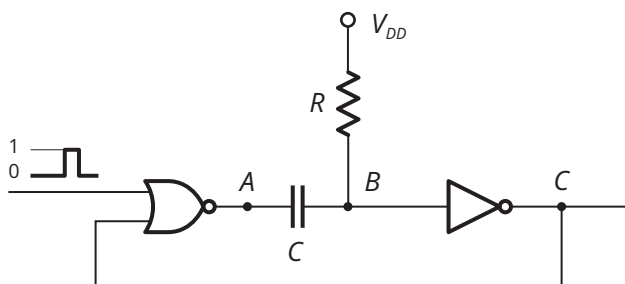
1. Definiši multivibratore i sekvencijalna kola digitalne elektronike.
2. Objasni stanja multivibratora u ciklusu njihovog rada.
3. Objasni razliku između stabilnih i nestabilnih – kvazistabilnih stanja multivibratora.
4. Navedi podjelu multivibratora i njihovu primjenu u praksi.
5. Definiši značaj bistabilnih multivibratora u digitalnoj elektronici.
6. Objasni značaj vremena u radu bistabilnih kola.
7. Objasni razliku između kombinacionih i bistabilnih kola u odnosu na način memorisanja podataka.
8. Objasni kako radi RS flip-flop. Nacrtaj varijante RS flip-flopa sa logičkim kolima.
9. Analiziraj kada će RS flip-flop biti u zabranjenom stanju i kako se to manifestuje u praksi.
10. Dizajniraj JK flip-flop sa RS flip-flopom u strukturi logičkih kola i opiši režime njegovog rada.
11. Dizajniraj D flip-flop sa RS flip-flopom u strukturi logičkih kola i opiši režime njegovog rada.
12. Dizajniraj T flip-flop sa RS flip-flopom u strukturi logičkih kola i opiši režime njegovog rada.

3.2 Monostabilni i astabilni multivibratori sa logičkim kolima

3.2.1 Monostabilni multivibrator sa logičkim kolima

Za razliku od astabilnih multivibratora, kod kojih se, nezavisno od bilo kakvog pobudnog signala, stanja na izlazu kola stalno mijenjaju, kod monostabilnih kola za izmjenu stanja na izlazu neophodno je dovesti pobudni (okidni) signal. Tek pri nailasku okidnog impulsa na ulazu monostabilnog multivibratora, na njegovom izlazu dolazi do izmjene stanja, na primjer prelazak sa nivoa logičke nule na nivo logičke jedinice. Ovo novo stanje je tačno određenog trajanja, i definisano je vrijednostima pojedinih komponenti u kolu, najčešće njihovim otpornostima i kapacitivnošću.

Monostabilni multivibratori najčešće se realizuju pomoću logičkih kola. Kao primjer, na slici 3.13 prikazana je šema monostabilnog multivibratora realizovanog pomoću NILI i NE kola u CMOS tehnici.



Slika 3.13 Šema monostabilnog multivibratora realizovanog pomoću CMOS NILI i NE kola

Prije analize kola, podsjetimo se logičke funkcije koju obavlja NILI kolo: na izlazu NILI kola je logička jedinica samo u slučaju kada su na oba njegova ulaza logičke nule. NE kolo invertuje ulaz, logičku jedinicu sa ulaza pretvara u logičku nulu na izlazu, i obrnuto. Usvojicemo da je u CMOS kolima napon logičke jedinice približno jednak naponu napajanja logičkih kola, a da je napon logičke nule približno 0 V.

Počnimo analizu kola pretpostavljajući da je na izlazu (tačka C) monostabilnog kola nivo logičke nule. Očigledno da je u tom slučaju na ulazu invertora, u tački B, napon na nivou logičke jedinice. S druge strane, kako

se napon sa tačke C prenosi na ulaz NILI kola, to je, u odsustvu okidnog impulsa, na oba ulaza NILI kola napon nivoa logičke nule, te je na njegovom izlazu, u tački A, napon nivoa logičke jedinice.

Kako se između tačaka A i B nalazi kondenzator, i kako su i na jednom i na drugom kraju kondenzatora (tačke A i B) naponi nivoa logičke jedinice, to je napon na kondenzatoru (jednak razlici napona u ovim tačkama) jednak nuli. Tačka B je preko otpornika R vezana sa naponom napajanja V_{DD} , pa je i razlika napona na krajevima otpornika jednaka nuli, što znači da kroz njega ne protiče struja. Dakle, monostabilni multivibrator nalazi se u stabilnom stanju.

Da bi se multivibrator izveo iz ovog stanja, neophodno je na njegov ulaz dovesti okidni impuls, tj. neophodno je dovesti na slobodni kraj NILI kola logičku jedinicu. Kako je na drugom ulazu NILI kola logička nula, to se na izlazu NILI kola dobija logička nula, odnosno mijenja se nivo napona u tački A.

S obzirom na to da se napon na kondenzatoru C ne može promijeniti trenutno, promjena naponskog nivoa iz tačke A prenijeće se na ulaz NE kola, te će se u trenutku promjene logičkog stanja u tački A sa 1 na 0 promijeniti napon V_B sa V_{DD} na 0 V. U isto vreme izlaz kola (tačka C) preći će u stanje logičke jedinice.

Dok je izlaz monostabilnog multivibratora u stanju logičke jedinice, izlaz NILI kola biće u stanju logičke nule čak i po prestanku djelovanja okidnog impulsa. Uspostavljeno stanje $C = 1$ nije stabilno. Kroz otpornost R teći će struja koja će puniti kondenzator C, i na njemu će se napon povećavati eksponencijalno, brzinom koja je definisana **vremenskom konstantom** RC kola:

$$V_B(t) = V_{DD}(1 - e^{-\frac{t}{RC}}).$$

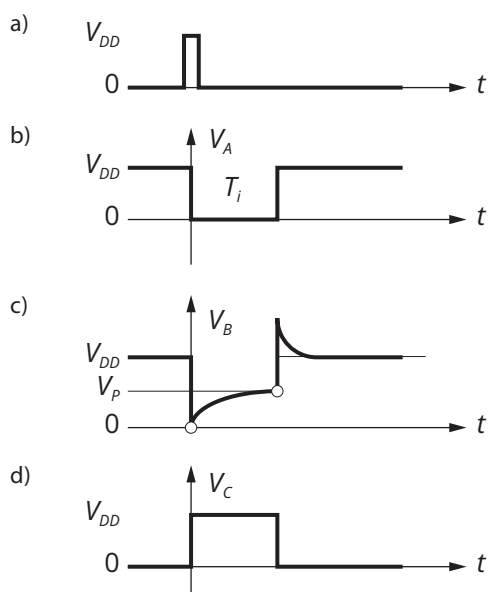
Kada napon V_B dostigne napon praga provođenja, odnosno kada bude $V_B = V_p$, izlaz NE kola preći će u stanje logičke nule, zbog čega izlaz A NILI kola prelazi sa niskog u visok naponski nivo. Ovim se završava kvazistabilno stanje i kolo ponovo prelazi u stabilno stanje.

Trajanje kvazistabilnog stanja $t = T$ određuje se iz gornje jednačine, kada se u njoj zamijeni $V_B(T) = V_p$, odakle se dobija:

$$T = RC \ln \frac{V_{DD}}{V_{DD} - V_p}.$$

Ako se pretpostavi da do promjene stanja logičkog kola dolazi onda kada napon na ulazu postane jednak polovini vrijednosti napona napajanja $V_p = V_{DD} / 2$, dobija se da je $T = RC \cdot \ln 2 \approx 0,69 \cdot RC$, odakle se vidi da je, uz uslov $V_p = V_{DD} / 2$, trajanje impulsa V_C (koji je generisan na izlazu NE kola) određeno vrijednostima otpornika i kondenzatora.

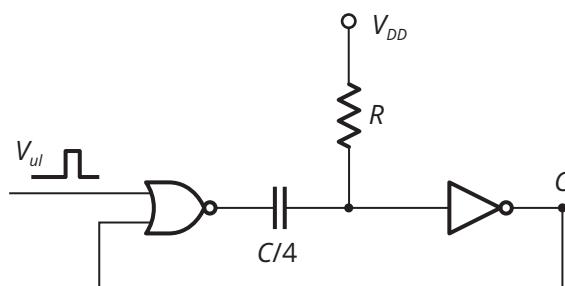
Na slici 3.14 prikazan je rad monostabilnog multivibratora pomoću vremenskih dijagrama karakterističnih signala.



Slika 3.14 Monostabilni multivibratori – vremenski dijagrami signala: (a) pobudni signal, (b) na izlazu NII kola, tačka A, (c) na ulazu NE kola, tačka B, (d) na izlazu multivibratora, tačka C

PRIMJER 3.6

Nacrtaj vremenski oblik napona u tački C monostabilnog multivibratora sa logičkim kolima, koji je dat na slici 3.15, ako je $C = 1 \mu\text{F}$ i $R = 2 \text{ k}\Omega$.

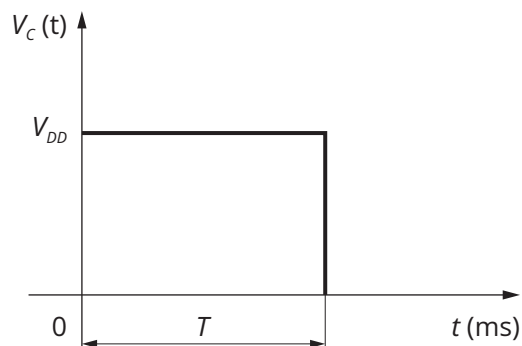


Slika 3.15 Monostabilni multivibrator sa logičkim kolima

Rješenje: Trajanje impulsa u tački C na izlazu NE kola zavisi od vremenske konstante, koja je jednaka proizvodu otpornosti otpornika R i kapacitivnosti kondenzatora C (koji je u našem slučaju $C/4$) i konstante $\ln 2$ (za uslov da je napon na ulazu NE kola jednak polovini vrijednosti napona napajanja $V_p = V_{DD}/2$):

$$T = \frac{R \cdot C}{4} \cdot \ln 2 = \frac{2 \text{ k}\Omega \cdot 1 \mu\text{F}}{4} \cdot 0,69 = 0,345 \text{ ms.}$$

Vremenski oblik napona u tački C, označen sa V_C , dat je na slici 3.16.



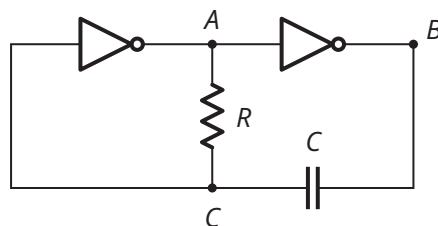
Slika 3.16 Vremenski oblik napona u tački V_C

Monostabilni multivibrator omogućava kašnjenje signala. Okidni impuls sa ulaza pojavljuje se na izlazu poslije isteka stabilnog stanja. Njegova perioda ponavljanja može se podešavati po želji, pa se ovo kolo koristi za vremensku sinhronizaciju rada složenih digitalnih kola koja se prave od kola koja rade sa različitim brzinama.

3.2.2 Astabilni multivibratori sa logičkim kolima

Astabilni multivibratori imaju dva kvazistabilna stanja, koja se na izlazu naizmjenično mijenjaju. Za rad astabilnog multivibratora nije potrebno dovoditi okidne signale, te se ova kola često svrstavaju u klasu oscilatornih kola. Kao izlaz iz astabilnog multivibratora dobija se povorka pravougaonih impulsa, zbog čega se astabilni multivibrator koristi kao: generator takt-signala, impulsni generator, ton-generator, sigurnosni alarm, frekvencijski modulator i slično.

Astabilni multivibratori najčešće se realizuju pomoću logičkih kola. Kao primjer, na slici 3.17 prikazana je šema astabilnog multivibratora realizovanog pomoću dva invertora i položajem otpornika i kondenzatora.



Slika 3.17 Astabilni multivibrator sa dva NE kola, otpornikom i kondenzatorom

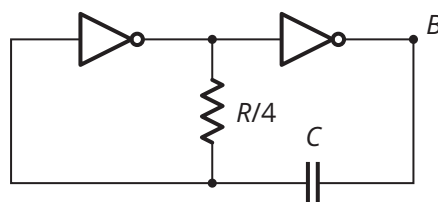
Ako pretpostavimo da je napon u tački B jednak 0, onda je tačka A na nivou logičke jedinice, kao i tačka C . To znači da je napon na kondenzatoru jednak 0 V. Pošto je napon u tački A napon logičke jedinice, kondenzator se puni preko otpornika R , pa napon u tački C raste. Ovaj proces odvija se do trenutka kada napon na kondenzatoru ne dostigne napon praga V_p (za napon praga uzima se polovina napona napajanja V_{DD}). Kada je napon u tački A nula, tada se kondenzator prazni, preko otpornika R , čime se smanjuje napon u tački C . Ovaj proces odvija se do trenutka kada napon u tački C dostigne vrijednost praga. Vrijeme trajanja impulsa i pauze kod astabilnog multivibratora zavisi od vremena pražnjenja i vremena punjenja kondenzatora, koji se označavaju sa T_i – trajanje impulsa i T_p – trajanje pauze. Sličnim izvođenjem, kao kod monostabilnog multivibratora, dobijaju se izrazi za trajanje impulsa i trajanje pauze:

$$T_i = T_p = RC \cdot \ln 3.$$

Trajanje impulsa i trajanje pauze kod astabilnog multivibratora je isto, i zavisi od vremenske konstante RC , kao i od konstante $\ln 3$. Perioda ponavljanja impulsa (T) dobija se sabiranjem trajanja impulsa i trajanja pauze: $T = T_i + T_p$.

PRIMJER 3.7

Nacrtaj vremenski oblik napona u tački B astabilnog multivibratora sa logičkim kolima, koji je dat na slici 3.18, ako je $C = 1 \mu\text{F}$ i $R = 2 \text{ k}\Omega$.



Slika 3.18 Astabilni multivibrator sa logičkim kolima

Rješenje: Trajanje impulsa i pauze u tački B , na izlazu NE kola, zavisi od vremenske konstante, koja je jednaka proizvodu otpornosti

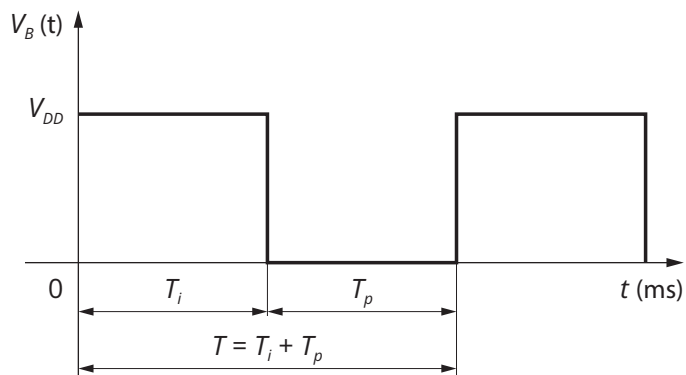
otpornika R (koji je u našem slučaju $R/4$), kapacitivnosti kondenzatora C i konstante $\ln 3$:

$$T = \frac{R \cdot C}{4} \cdot \ln 3 = \frac{2 \text{ k}\Omega \cdot 1 \text{ }\mu\text{F}}{4} \cdot 0,11 = 0,55 \text{ ms.}$$

Perioda ponavljanja napona u tački B , u oznaci T , jednaka je zbiru trajanja impulsa i trajanja pauze:

$$T = T_i + T_p = 0,55 \text{ ms} + 0,55 \text{ ms} = 1,1 \text{ ms.}$$

Vremenski oblik napona u tački B , označen sa V_B , dat je na slici 3.19.



Slika 3.19 Vremenski oblik napona u tački V_B

Provjera usvojenih znanja

1. Objasni razliku između monostabilnog i astabilnog multivibratora u pogledu broja stabilnih i kvazistabilnih stanja i u dijelu ulaznog pobudnog napona.
2. Skiciraj oblik napona na ulazu i izlazu monostabilnog multivibratora i objasni od čega zavisi kašnjenje signala na njegovom izlazu.
3. Izračunaj vrijednost vremenske konstante monostabilnog multivibratora sa logičkim kolima ako je $R = 1 \text{ k}\Omega$ i $C = 10 \text{ pF}$.
4. Skiciraj oblik napona na izlazu astabilnog multivibratora i objasni od čega zavisi trajanje njegove logičke 1 i 0.
5. Skiciraj napone u karakterističnim tačkama astabilnog multivibratora sa dva NE kola i sa jednim otpornikom i kondenzatorom.
6. Objasni polja praktične primjene monostabilnog i astabilnog multivibratora.
7. Nacrtaj šemu astabilnog multivibratora sa NE logičkim kolima i objasni način punjenja i pražnjenja kondenzatora C_1 i C_2 .

Rezime

- Multivibratori su sekvencijalna kola digitalne elektronike čija stanja na izlazu zavise od prethodnog stanja na izlazima kola.
- Multivibratori se dijele na monostabilna, bistabilna i astabilna kola u zavisnosti od broja stabilnih i nestabilnih stanja. Monostabilna kola imaju jedno stabilno i jedno nestabilno stanje. Astabilna kola imaju dva nestabilna stanja. Bistabilna kola imaju dva stabilna stanja.
- Bistabilna kola imaju dva stabilna stanja 1 i 0, u kojima mogu ostati neograničeno dugo, gdje se prelazak iz jednog stabilnog stanja u drugo stabilno stanje može desiti dovođenjem pobudnog signala na njegov ulaz.
- Flip-flopovi su bistabilna kola koja imaju jedan ili dva ulaza i dva komplementarna izlaza. Oni omogućavaju pamćenje jedne 1 ili 0, što znači da predstavljaju osnovno jednomemorijsko kolo. Opisuju se pomoću blok-šeme, tablice rada, režimima rada, strukture sa logičkim kolima, karakteristične jednačine i vremenskih dijagrama.
- Flip-flopovi mogu biti upravljivi i neupravljivi – sa takt-impulsom i bez njega. Ako flip-flop nema takt-impulsa, onda se promjena stanja na izlazu vrši promjenom stanja na osnovnim ulazima flip-flopa. Flip-flopovi koji su taktovani omogućavaju promjenu stanja na izlazu kao prethodni, ali samo u trenutku kada se na upravljački ulaz dovede uzlazna ili silazna ivica takt-signal, što zavisi od strukture sa logičkim kolima.
- Osnovni flip-flop je RS (*R* – reset, *S* – set), jer se od njega projektuju svi ostali flip-flopovi i pored toga što ima jedan zabranjeni režim rada, kada se na ulaz *S* i *R* dovedu dvije logičke 1. Aktivni Set znači pamćenje logičke 1, a aktivni Reset znači pamćenje logičke 0.
- Flip-flopovi koji se realizuju kao modifikacija RS flip-flopa jesu JK, D i T flip-flopovi.
- Monostabilni multivibratori prave se sa logičkim kolima i u integrisanoj tehnici, i služe za kašnjenje signala u složenim digitalnim kolima. Pored logičkih kola, u strukturi monostabilnog multivibratora koriste se pasivna kola – otpornici i kondenzatori, pomoću kojih se definiše vremenska konstanta, od koje zavisi oblik signala na izlazu kola.
- Astabilni multivibrator najčešće se koristi kao generator takt-impulsa.

Manje poznate riječi

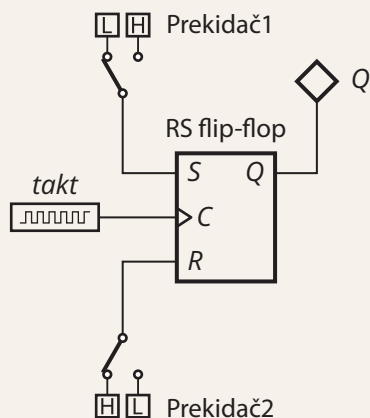
modifikacija – preinačavanje, izmjena, prilagođavanje

kvazi – u sastavljenim riječima obično u značenju: tobožnji

Korisni veb-sajtovi za dodatno proučavanje sadržaja poglavlja

1. https://www.electronics-tutorials.ws/waveforms/555_oscillator.html
2. <https://i.pinimg.com/originals/fd/5a/95/fd5a95f9316bd314fef5e11c9fda6668.gif>
3. <https://www.ti.com/lit/ds/symlink/nc555.pdf>
4. <https://docs.rs-online.com/bebf/0900766b816dec6b.pdf>
5. <https://www.new-wave-concepts.com/ed/circuit.html>

Zadaci za samostalan rad



Slika 3.25 uz zadatak 1

1. U kom režimu rada radi RS flip-flop u šemi kao na slici 3.25? Da li svijetli logički indikator na izlazu Q flip-flopa?

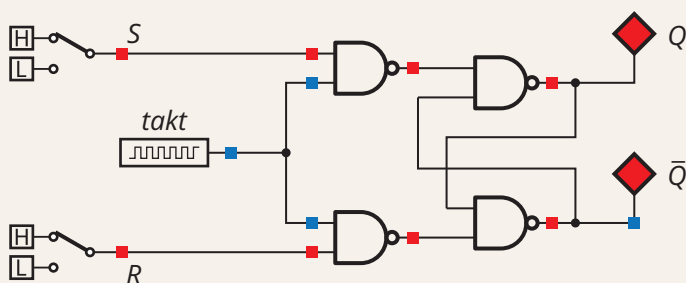
Rješenje:

Na slici je prikazan RS upravljivi flip-flop jer ima ulaz za takt. Prekidač 1 dovodi logičko stanje L (logička nula) na S ulaz flip-flopa. Prekidač 2 dovodi stanje H (logičku jedinicu) na ulaz R. Iz tabele rada RS flip-flopa, ovaj režim rada zove se resetovanje, što znači da će se na izlazu Q pojaviti logička nula bez obzira na to u kom je stanju flip-flop bio prije resetovanja. Logički indikator na izlazu ne svijetli, jer je izlaz u stanju logičke nule. Promjena stanja flip-flopa na izlazu desiće se nailaskom uzlazne ivice takt-signala.

2. Za koju će ulaznu kombinaciju RS flip-flopa, flip-flop otići u nedozvoljeno – zabranjeno stanje? Kako se to stanje manifestuje na izlazima RS flip-flopa? Analizu raditi na logičkoj strukturi RS flip-flopa sa četiri NI logička kola.

Rješenje:

RS flip-flop otići će u zabranjeno stanje dovođenjem dvije logičke jedinice istovremeno na S i R ulaz flip-flopa. Na slici 3.26 data je struktura RS flip-flopa u realizaciji sa četiri NI logička kola i sa dva logička indikatora na izlazima flip-flopa.



Slika 3.26 uz zadatak 2

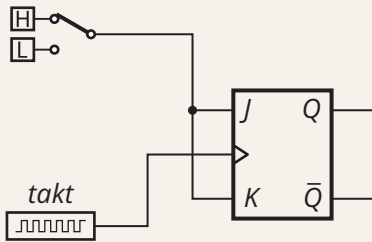
Ako je takt na visokom naponskom nivou, oba izlaza prva dva NI kola imaju nizak naponski nivo – logičku nulu. Izlazi sa prva dva NI kola vode se zatim na druga dva NI kola, koja imaju po jedan ulaz povezan povratnom spregom sa izlazom susjednog kola. Pošto je jedan njihov ulaz logička nula, njihovi izlazi su u stanju jedan, pa indikatori svijetle na izlazima Q i $\bar{Q}$, što je nedozvoljeno stanje flip-flopa.

Ako je takt na niskom naponskom nivou, oba izlaza prva dva NI kola u stanju su logičke jedinice. Drugi ulazi druga dva NI kola nose prethodno stanje sa izlaza flip-flopa i daju na izlazu nestabilne napone, koji su ili 0 ili 1; znači, isti su. To je takođe nedozvoljeno stanje flip-flopa, koji mora imati komplementirane izlaze.

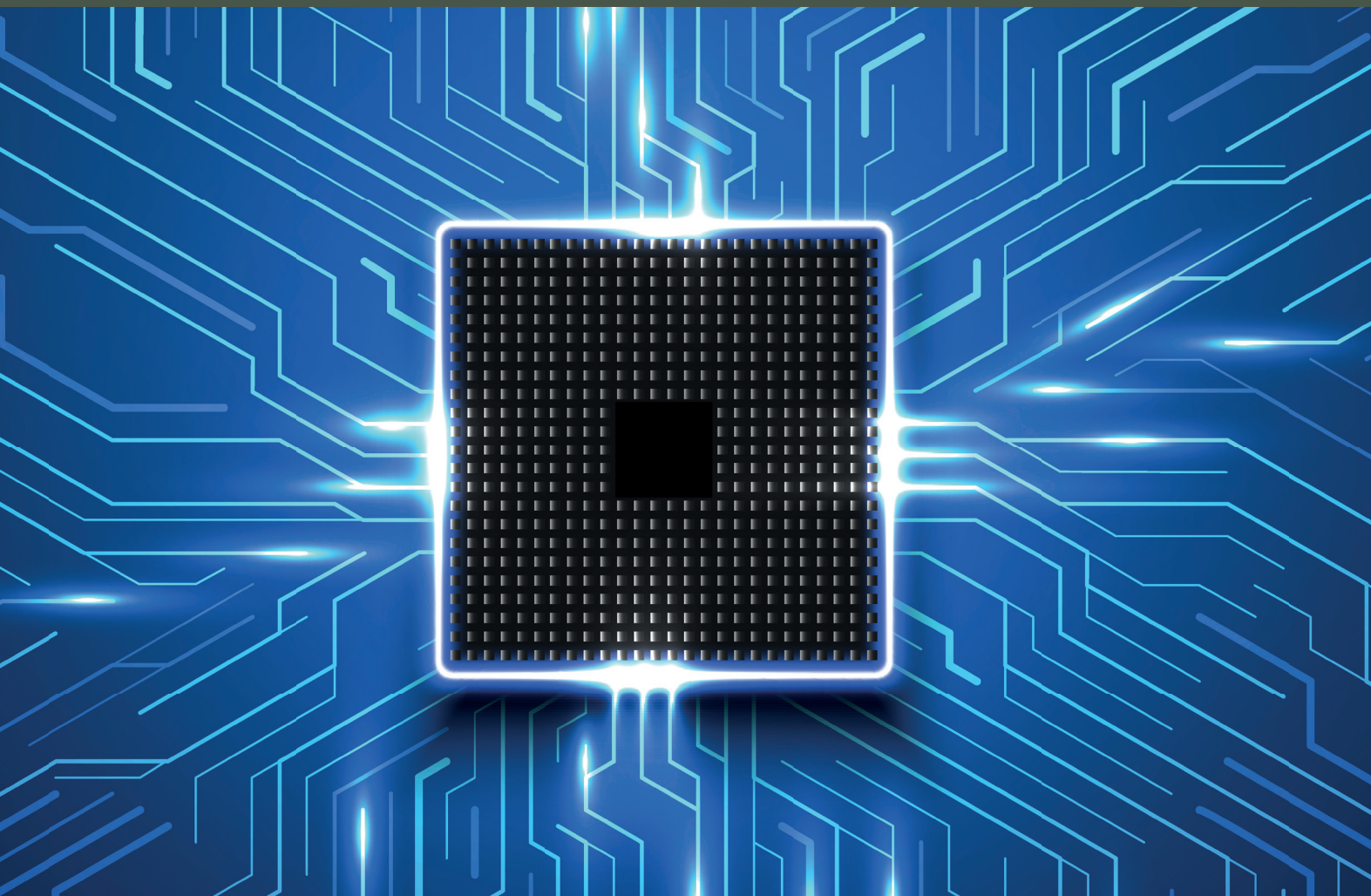
3. Nađi stanje na izlazu Q, JK flip-flopa koji je dat logičkom šemom na slici 3.27 ako je prethodno stanje u kojem je bio flip-flop $Q^n = 0$.

Rješenje:

Na slici 3.27 prikazan je JK upravljivi flip-flop sa kratko spojenim ulazima J i K. Na ulaze je doveden visok naponski nivo H – logička jedinica. To znači da je flip-flop brojački T flip-flop i da se nalazi u režimu brojanja. Koje će stanja biti na izlazu Q brojačkog flip-flopa, zavisi od prethodnog stanja Q^n . Pošto je prethodno stanje bilo 0, flip-flop će biti, poslije brojanja, u stanju $Q = 1$. Brojanje će da se desi nailaskom uzlazne ivice takt-signal.



Slika 3.27 uz zadatak 3



IV. Kombinacione mreže

Usvajanjem novih znanja iz ovog poglavlja, moći ćeš da:

- objasniš postupak kodiranja i dekodiranja
- objasniš ulogu i značaj kombinacionih mreža
- objasniš princip rada kodaera i dekodeera, da nacrtáš mrežu kodaera i dekodeera za zadati primjer
- objasniš princip rada multipleksera i demultipleksera, da nacrtáš mrežu multipleksera i demultipleksera za zadati primjer



Uvod

Velik broj složenih operacija u digitalnoj elektronici može da se izvede pogodnim vezivanjem odgovarajućeg broja logičkih kola. Logička kola, koja vrše obradu digitalnih signala po zadatim logičkim funkcijama, predstavljaju kombinacione mreže. Signal na izlazu kombinacione mreže zavisi samo od trenutnih vrijednosti signala na ulazu mreže, odnosno od trenutne kombinacije stanja na ulazu. Kombinacione mreže nazivaju se i kombinacione matrice, jer su prekidački elementi vezani u obliku matrice, u više redova i kolona. Kao prekidački elementi koriste se logička kola, najčešće u CMOS tehnici, zbog svojih prednosti u odnosu na ostale tehnologije. U integrisanoj tehnici proizvode se kombinacione mreže koje realizuju složene logičke funkcije.

U praktičnoj primjeni najčešće se sreću kombinacione mreže za obavljanje različitih standardizovanih operacija kao što su kodiranje i dekodiranje digitalnih podataka, multipleksiranje i demultipleksiranje podataka. Zbog toga se kombinacione mreže često nazivaju po funkciji koju obavljaju: koder, dekodek, multiplekser, demultiplekser itd. Pored navedenih, u praksi se koriste i kombinacione mreže: konvertor koda, komparator, generator parnosti i neparnosti itd. Sve navedene kombinacione mreže imaju svoju primjenu u projektovanju složenih digitalnih

sklopova i sistema. Kombinacione mreže koriste se u praksi kod digitalnih računara (npr. tastatura je koderska mreža, a grafička kartica i monitor imaju ulogu dekoderske mreže), u telekomunikacijama za prenos podataka na daljinu (npr. KODEK je uređaj koji vrši kodovanje i dekodovanje podataka), kod digitalnih memorija (npr. dekodek memorije vrši dekodovanje memorijske lokacije za upis ili čitanje podataka), kod računarskih mreža, kada se kroz jednu liniju veze želi prenijeti više nezavisnih poruka (multiplekser i demultiplekser), kod zaštite podataka pri prenosu i pronalaženju eventualne greške (generatori parnosti ili neparnosti), kao i kod računskih mašina kojima se obavljaju osnovne računске operacije (npr. komparatori kao vrsta aritmetičkih kombinacionih kola).

Za svaku kombinacionu mrežu definiše se: grafički simbol – blok-šema, kombinaciona tabela (tabela istinitosti) iz koje se može zaključiti logika rada mreže, karakteristične jednačine na izlazu mreže, struktura sa logičkim kolima i vremenski dijagrami na izlazu mreže, u kojima se može vidjeti stanje na svim izlazima kombinacione mreže u bilo kom trenutku.

U ovom poglavlju upoznaćeš se sa primjerima kombinacionih mreža prema funkcijama koje najčešće obavljaju. Saznaćeš o koderima, dekodekima, multiplekserima i demultiplekserima.

4.1 Koderi i dekoderi

Koderi su kombinacione mreže koje se koriste za prevođenje podataka iz jednog oblika u niz bitova. Najčešće se prevode dekadne cifre i alfanumerički simboli u binarne oblike. Ovaj proces prevođenja jednog oblika podataka u niz bitova naziva se **kodiranje**. U današnjim modernim telekomunikacijama primjenjuje se višestruko kodiranje, koje se sprovodi radi zaštite tajnosti informacije koja se prenosi.

Primjer postupka kodiranja imamo pri radu na računaru. Naime, pritiskom bilo koje tipke na tastaturi računara, posredstvom odgovarajuće koderske mreže, generiše se kombinacija nula i jedinica koja odgovara pritisnutom tasteru.

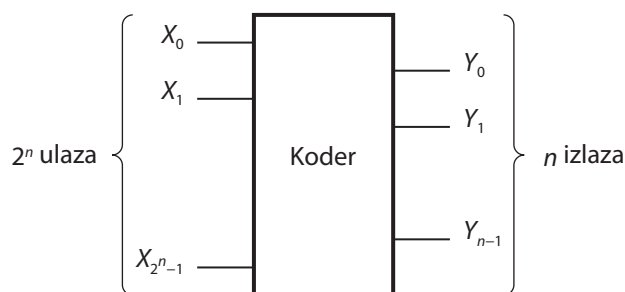
Dekoderi vrše obrnuti proces, odnosno vrše pretvaranje niza binarnih cifara u informaciju razumljivu za korisnika. Ovaj postupak naziva se **dekodiranje**. Na primjer, na monitoru računara se, primjenom odgovarajućih dekoderskih mreža, kombinacije nula i jedinica pretvaraju u alfanumeričke simbole vidljive korisniku.

4.1.1 Koderi

U digitalnoj obradi podataka svi slovni simboli, zatim simboli decimalnog brojnog sistema, kao i mnoge druge oznake, ispisuju se logičkim nulama i jedinicama. Ovaj postupak prevođenja poznatih simbola u njihove binarne ekvivalente obavlja se u koderima. Funkcija koderu jeste da jednoznačno preslika neki ulaz u izlazni kôd koji je potreban, npr. računaru i njegovom binarnom jeziku, za dalju obradu.

Koderi imaju više ulaza nego izlaza. Kada koder ima n izlaza, što znači da se kodiranje vrši sa n bita, onda je maksimalan broj ulaza koderu 2^n . Tako se, na primjer, kodiranje 26 slova latinice (engleski *alfabet*) može izvesti kodnim riječima od 5 bita, jer je $2^5 = 32 > 26$. Ako je broj ulaza koderu stepen broja 2 od broja izlaza koderu (2^n ulaza od n izlaza), onda se takav koder zove **potpuna koderska mreža**. Zbog toga se koderi označavaju sa $2^n / n$, i oni predstavljaju specijalne slučajeve koderu. Kada nije ispunjen taj uslov, radi se o **nepotpunom koderu**. Ovo važi i za neke druge kombinacione mreže (dekodere).

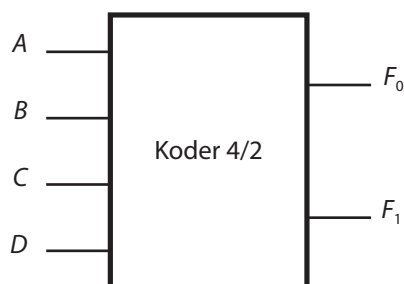
Jedan ovakav koder predstavljen je blok-šemom na slici 4.1.



Slika 4.1 Blok-šema kodera sa n izlaza i 2^n ulaza.

4.1.1.1 Koder 4/2

Koder 4/2 ima četiri ulaza i dva izlaza, i čini potpunu kodersku mrežu ($2^2 = 4$). Ako su ulazi prva četiri slova engleskog alfabeta, A , B , C i D , onda se za njihovo kodiranje koriste binarne riječi od dva bita F_0 i F_1 . Blok-šema kodera 4/2 data je na slici 4.2.



Slika 4.2 Blok-šema kodera 4/2

Tabela 4.1 Kombinaciona tabela kodera prva četiri slova engleskog alfabeta u dvobitni binarni kod

Ulazi kodera:				Izlazi kodera:	
A	B	C	D	F_1	F_0
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

U tabeli 4.1 prikazana je kombinaciona tabela kodera prva četiri slova engleskog alfabeta u dvobitni binarni kod.

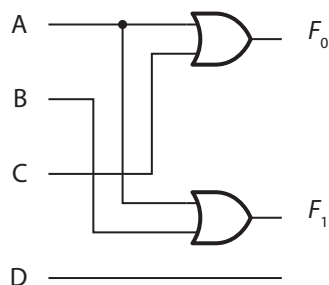
Na ulaz kodera dovodi se slovo A , B , C ili D . Na izlazu kodera pojavi se njegova binarna kombinacija u NBCD kodu prema prethodnoj tabeli. Iz tabele se može zaključiti da izlaz F_1 ima najveću (2) a izlaz F_0 najmanju težinu (1). Izlaz F_0 aktivan je samo kada se na ulazu pojavi (ili pritisne na tastaturi računara) slovo A ili C . Izlaz F_1 aktivan je samo kada se na ulazu pojavi (ili pritisne na tastaturi računara) slovo A ili B . Izlazne funkcije kodera su:

$$F_0 = A + C$$

$$F_1 = A + B$$

Posmatrajući dobijene izraze možemo zaključiti da su za realizaciju koderske mreže potrebna ILI kola.

Na slici 4.3 prikazana je logička šema dekodera 4/2 realizovanog na osnovu prikazanih izlaznih funkcija.



Slika 4.3 Logička šema dekodera 4/2

NAPOMENA

Ulazi koda realizuju se kao tasteri, što će biti odrađeno u laboratorijskoj vježbi kojom se projektuju koderske mreže.

4.1.1.2 Koder DC/BCD

Kodiranje dekadnih cifara u binarno kodirane decimalne riječi vrši se pomoću DC/BCD koda. Kako dekadnih cifara ima 10 (0,1,2, ..., 9), i kako binarno kodirana dekadna riječ ima dužinu od 4 bita, zaključujemo da DC/BCD koder ima 10 ulaza i četiri izlaza. Ovaj koder označava se sa koder 10/4.

U tabeli 4.2 prikazana je kombinaciona tabela koda dekadnih u binarno kodirane dekadne cifre. Izlazne binarno kodirane dekadne cifre date su prirodnom binarnom težinskom kodu (NBCD kod), sa svojim težinama 8421.

Tabela 4.2 Kombinaciona tabela koda decimalnih u binarno kodirane decimalne cifre

Ulaz (decimalni broj)										Izlaz (binarni kôd)			
X_9	X_8	X_7	X_6	X_5	X_4	X_3	X_2	X_1	X_0	D	C	B	A
0	0	0	0	0	0	0	0	0	1	0	0	0	0
0	0	0	0	0	0	0	0	1	0	0	0	0	1
0	0	0	0	0	0	0	1	0	0	0	0	1	0
0	0	0	0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	0	1	0	0	0	0	0	1	0	0
0	0	0	0	1	0	0	0	0	0	0	1	0	1
0	0	0	1	0	0	0	0	0	0	0	1	1	0
0	0	1	0	0	0	0	0	0	0	0	1	1	1
0	1	0	0	0	0	0	0	0	0	1	0	0	0
1	0	0	0	0	0	0	0	0	0	1	0	0	1

NAPOMENA

U nekim integrisanim strukturama koda, funkcija komplementiranja ulaza i izlaza označava se kružnicom, što znači da rade po tabeli koja je invertovana u odnosu na prethodnu, ali sklop radi na istom principu po kojem rade i standardne kombinacione koderske mreže. U tom slučaju za tehničku realizaciju koderske mreže koriste se NILI kola, ili postojeća ILI kola u kombinaciji sa invertorima. Ovakva invertovana struktura koristi se i kod nekih drugih kombinacionih mreža.

Na ulaz koda dovodi se dekadni broj od 0 do 9. Na izlazu koda pojavi se njegova binarna kombinacija u NBCD kodu prema prethodnoj tabeli. Iz tabele se može zaključiti da izlaz D ima najveću (8) a izlaz A najmanju težinu (1). Izlaz D aktivan je samo kada se na ulazu pojavi (ili pritisne na tastaturi kod računara) dekadni broj 8 ili 9. Slično se može zaključiti i za ostale izlaze, C , B i A , pa su izlazne funkcije koda:

$$A = X_1 + X_3 + X_5 + X_7 + X_9$$

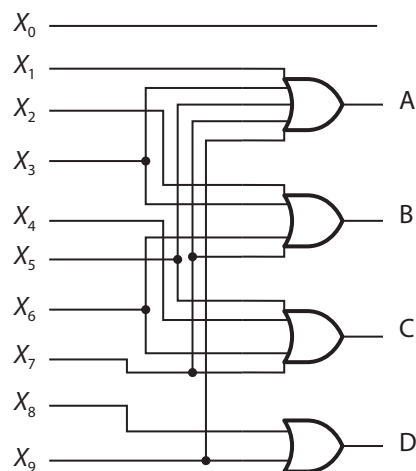
$$B = X_2 + X_3 + X_6 + X_7$$

$$C = X_4 + X_5 + X_6 + X_7$$

$$D = X_8 + X_9$$

Posmatrajući dobijene izraze možemo zaključiti da su za realizaciju koderske mreže potrebna ILI kola.

Na slici 4.4 prikazana je logička šema DC/BCD koda realizovanog na osnovu prikazanih izlaznih funkcija.



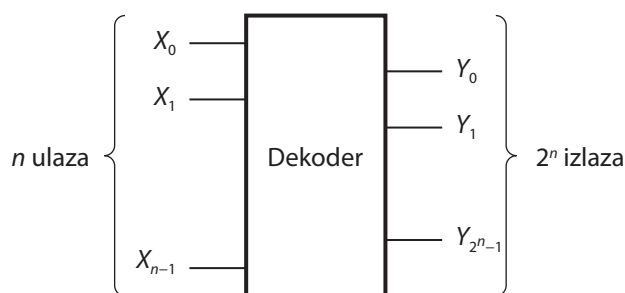
Slika 4.4 Koder dekadnih cifara u binarno kodirane dekadne cifre

4.1.2 Dekoderi

U digitalnoj obradi podataka koriste se kodirani sistemi koji su pogodni za tehničko izvođenje postupka obrade, ali ne i za prikazivanje dobijenih rezultata. Zbog toga se kodirani alfanumerički znakovi, slova i cifre moraju prevesti u uobičajene simbole za slova, odnosno za cifre u dekadnom brojnom sistemu. Postupak prevođenja binarno kodirane informacije u oblik pogodan za opštu upotrebu naziva se dekodiranje. Logička mreža koja obavlja funkciju dekodiranja naziva se dekodeer.

Dekoder je kombinaciona mreža sa više ulaza i sa više izlaza. Na ulaze dekodera dovode se kodirani podaci koji sadrže n bita. Ovakvih podataka može biti najviše 2^n . Zbog toga se dekoderi označavaju sa $n / 2^n$, i predstavljaju specijalne slučajeve dekodera. Na dekoderu se predviđa poseban izlaz za svaki ulazni podatak; prema tome, dekoder može da ima najviše 2^n izlaza. Iz navedenog se može zaključiti da dekoder obavlja obrnutu operaciju od kodera. Za jednu ulaznu kombinaciju samo je jedan izlaz u stanju logičke jedinice, a ostali izlazi su u stanju logičke nule. Zato se dekoder zove i „1 od 2^n dekoder“ (ako su izlazi dekodera komplementirani, onda je samo jedan izlaz dekodera u stanju 0, a ostali izlazi su u stanju 1). Koji izlaz će biti aktivan, zavisi od ulazne kombinacije koja se dovede na X ulaze.

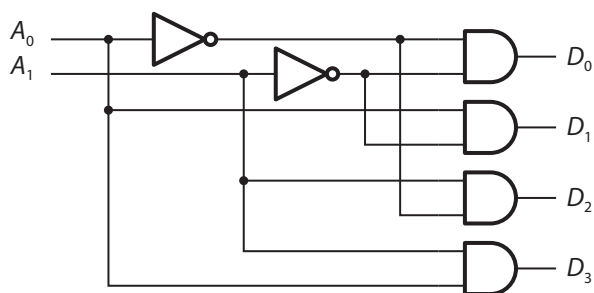
Na slici 4.5 prikazana je blok-šema dekodera sa n ulaza i 2^n izlaza.



Slika 4.5 Blok-šema dekodera sa n ulaza i 2^n izlaza

4.1.2.1 Dekoder 2/4

Na slici 4.6 prikazana je šema dekodera sa dva ulaza ($n = 2$) i četiri izlaza. Ovaj dekoder označava se sa 2/4.



Slika 4.6 Šema dekodera sa dva ulaza i 4 izlaza

Sa logičke šeme lako se uočavaju izlazne funkcije 2/4 dekodera:

$$D_0 = \bar{A}_1 \cdot \bar{A}_0$$

$$D_1 = \bar{A}_1 \cdot A_0$$

$$D_2 = A_1 \cdot \bar{A}_0$$

$$D_3 = A_1 \cdot A_0$$

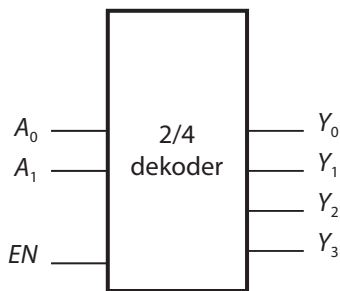
Na osnovu izraza za izlazne funkcije dobija se tabela istinitosti 2/4 dekodera koja je prikazana tabelom 4.3.

Tabela 4.3 Tabela istinitosti 2/4 dekodera

A_1	A_0	D_3	D_2	D_1	D_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

Izlazi dekodera mogu biti komplementirani, što se često koristi u praksi. U tom slučaju izlazi dekodera D_0 , D_1 , D_2 i D_3 imaju suprotne vrijednosti od onih iz tabele 4.7.

Na kraju ovog odjeljka napomenimo da dekodер, pored ulaza za podatke, može imati i ulaz za signal dozvole EN (engl. *enable* – dozvoliti). Ulazom dozvole omogućeno je da se odobrava ili ne odobrava normalna funkcija dekodera. Kada je $EN = 0$, svi izlazi dekodera su u stanju logičke nule. Kada je aktivan signal dozvole $EN = 1$, aktivan je samo izlaz Y_i , gdje i odgovara binarno kodiranom broju dovedenom na ulaz dekodera, dok su ostali izlazi neaktivni. Ovaj upravljački ulaz dovodi se paralelno na svaki ulaz I kola ili NI kola ako su izlazi dekodera (od kojih se projektuju dekoderske mreže) komplementirani, pri čemu signal na izlazu dekodera, kad je dozvoljen ($EN = 1$), zavisi samo od kombinacije na ulazu dekodera. Ulaz dozvole može biti komplementiran, pa je tada za dozvolu rada dekodera potrebno da se dovede upravljački signal $EN = 0$.



Slika 4.7 Grafički simbol dekodera 2/4 sa ulazom dozvole EN

Na slici 4.7 prikazan je grafički simbol dekodera 2/4 sa ulazom dozvole.

PROŠIRI ZNANJE

Dekoderi se u praktičnoj primjeni koriste uvijek u paru sa koderom. Sve što se u telekomunikacionom sistemu kodira u predajniku, mora se dekodirati u prijemniku. Ponekad se oba sklopa realizuju u jednom sklopu sa nazivom KoDek, što je sinonim za obradu audio i video sadržaja. Na ulaz dekodera obično se dovode izlazi sa brojača ili registara, koji spadaju u grupu sekvencijalnih memorijskih kola. Dekoderi imaju primjenu kod digitalnih memorija računara, gdje se pomoću njih dekodira adresa kojom se selektuje jedna od više memorijskih lokacija u koju treba upisati višebitni broj, ili iz koje treba pročitati određeni broj.

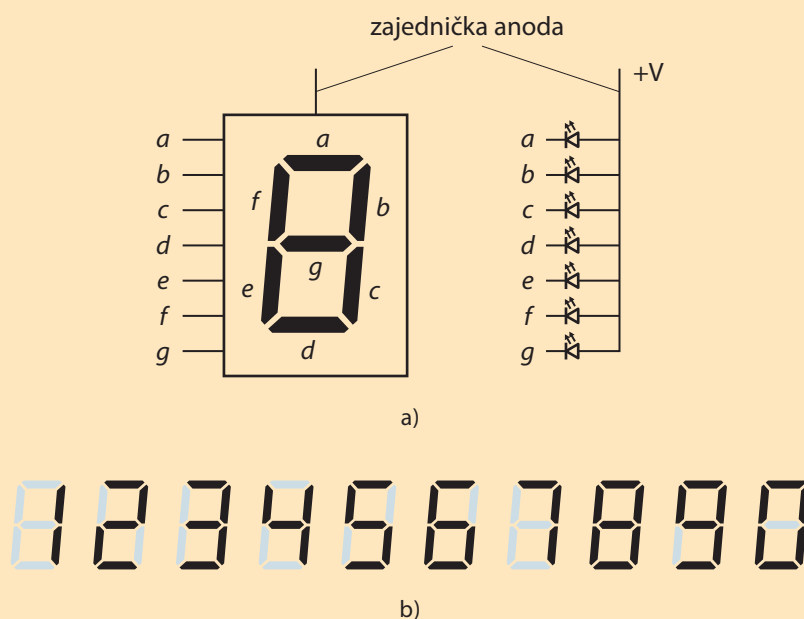
Konvertori koda

Konvertori koda su kombinacione mreže koje se koriste za konverziju jednog koda u drugi. Primjer konvertora koda koji se često primjenjuje imamo kod segmentnih indikatora. Segmentni indikatori koriste se za vizuelno predstavljanje numeričkih simbola.

U kalkulatorima, digitalnim časovnicima, na digitalnim displejima, za prikaz cifara koriste se sedmosegmentni indikatori. Ovaj indikator sadrži sedam svjetlosnih segmenata sa kojima mogu da se prikažu cifre decimalnog sistema. Formiranje pojedine cifre ostvaruje se aktiviranjem odgovarajućih svjetlosnih segmenata.

Da bi binarno kodirane decimalne cifre mogle da se prikažu pomoću ovakvih indikatora, potrebno je BCD kôd pretvoriti u kôd od sedam segmenata. Kolo koje obavlja ovu funkciju predstavlja konvertor koda.

Segmenti sedmosegmentne cifre označavaju se slovima *a*, *b*, *c*, *d*, *e*, *f* i *g*, kao što je prikazano na slikama 4.8a) i 4.8b). Segmenti sedmosegmentnog displeja najčešće se realizuju upotrebom LED dioda (engl. *light-emitting diode*). Kod sedmosegmentnog displeja sa zajedničkom katodom (slika 4.8a) katode LED segmenata spojene su u jednu tačku koja se povezuje sa masom. Aktiviranje odgovarajuće LED diode vrši se dovođenjem visokog naponskog nivoa na anodu te diode, pri čemu se na red sa diodom povezuje otpornik koji služi da ograniči struju koja teče kroz uključenu diodu.



Slika 4.8 a) Sedmosegmentni displej sa zajedničkom katodom, b) Izgled cifara na displeju

Kod sedmosegmentnog displeja sa zajedničkom anodom, prikazanog na slici 4.8, anode LED segmenata spojene su u jednu tačku koja se povezuje na visok naponski nivo. Aktiviranje odgovarajuće LED diode vrši se dovođenjem niskog naponskog nivoa na katodu te diode. Na slici su, radi jednostavnijeg prikaza, izostavljeni otpornici, redno vezani na diode, koji služe za ograničavanje struja kroz diode.

Za prikaz određene decimalne cifre potrebno je aktivirati odgovarajuće segmente kako bi se dobio njen izgled na displeju (slika 4.8 b).

Na osnovu podataka sa slike 4.8 može se sačiniti kombinaciona tabela konvertora koda BCD u kod 7 segmenata, koja je prikazana tabelom 4.4. Da bi se na displeju prikazala nula, svi segmenti, osim segmenta *g*, treba da svijetle, to jest da se na njima dovedu logičke 1, a na segment *g* treba dovesti logičku 0.

Tabela 4.4 Kombinaciona tabela konvertora BCD koda u kod od 7 segmenata

Cifra	BCD kod				Kôd 7 segmenata						
n_i	<i>D</i>	<i>C</i>	<i>B</i>	<i>A</i>	<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>e</i>	<i>f</i>	<i>g</i>
0	0	0	0	0	1	1	1	1	1	1	0
1	1	0	0	0	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1

Do konvertorske mreže koja obavlja funkciju definisanu tabelom 4.7 dolazi se postupkom tabelarne metode minimizacije, što je najjednostavnije uraditi primjenom Karnoovih tablica.

Da bi se izveo postupak minimizacije, potrebno je za svaki izlaz, koji aktivira segment cifre sačinjene od sedam segmenata, formirati odgovarajuću

Karnoovu tablicu. Na taj način se definiše segment cifre na izlazu u funkciji kodnih ulaznih promjenljivih, koji su zadati u prirodnom binarnom kodu sa 4 cifre (sa 3 cifre bi se moglo predstaviti samo prvih 8 dekadnih cifara (0–7) u ovom kodu. Kao primjer, prikazaćemo Karnoovu tablicu za minimizaciju funkcije a (tabela 4.5).

Tabela 4.5 Karnoova mapa koja odgovara izlaznoj funkciji a konvertora BCD u kôd 7 segmenata

a DC \ BA					
		00	01	11	10
00	1	0	1	1	
01	0	1	1	1	
11	x	x	x	x	
10	1	1	x	x	

U mapi se koriste i kombinacije ulaza koje nemaju efekta na izlaz. Ova polja u mapi su označena sa x , što je korišćeno u Karnoovoj tablici da bi se dobila jednostavnija kombinaciona funkcija, a samim tim i logička prekidačka mreža. Uočavanjem grupa polja koja sadrže logičke jedinice, dolazi se do minimizirane forme logičke funkcije za izlaz a :

$$a = B + D + AC + \bar{A}\bar{C}.$$

Minimizacijom preostalih logičkih funkcija dolazi se do sljedećih izraza:

$$b = \bar{C} + AB + \bar{A}\bar{B}$$

$$c = A + \bar{B} + C$$

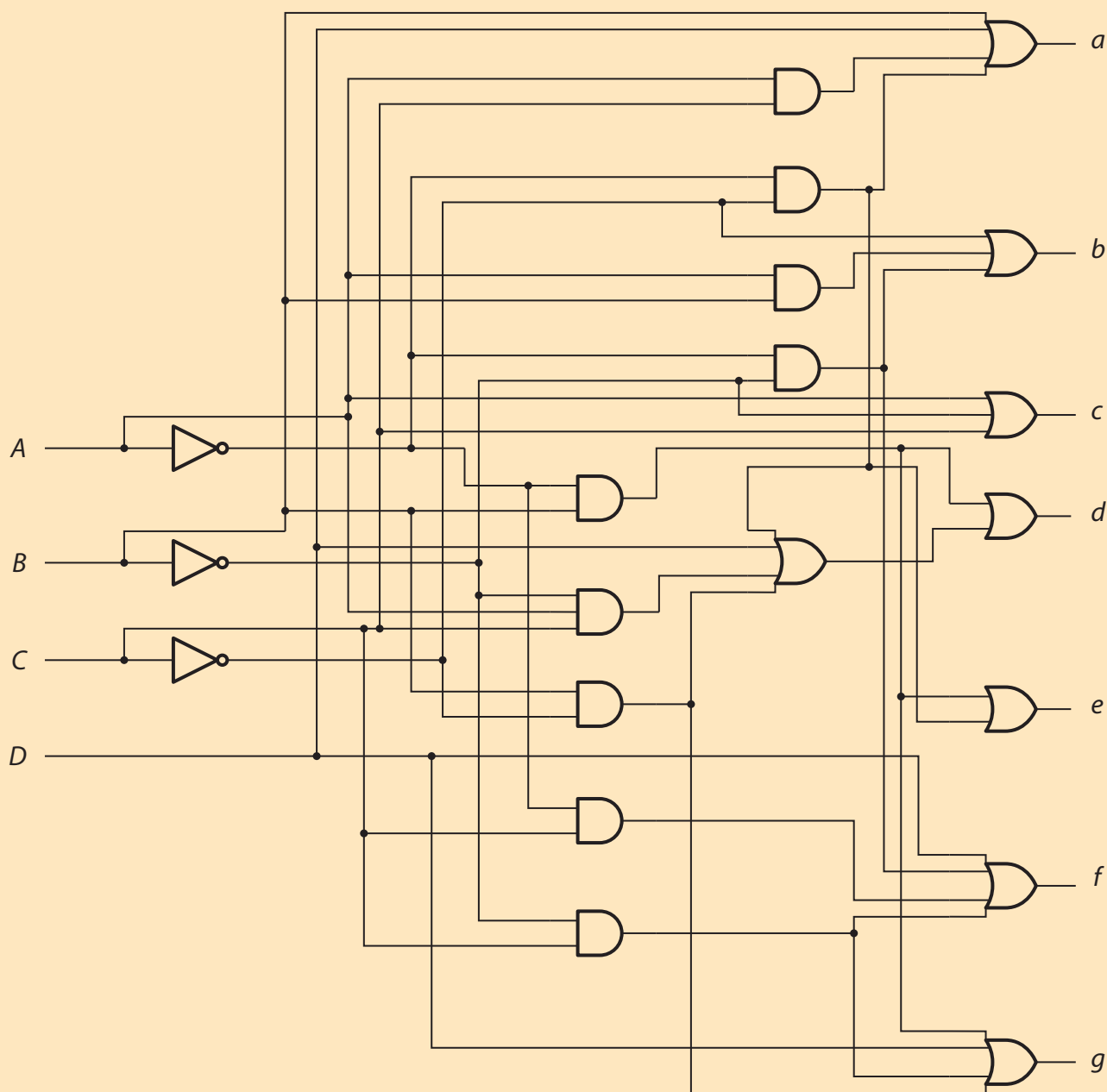
$$d = D + \bar{A}B + \bar{A}\bar{B}C + \bar{A}\bar{C} + B\bar{C}$$

$$e = \bar{A}B + \bar{A}\bar{C}$$

$$f = D + \bar{A}\bar{B} + \bar{A}C + \bar{B}C$$

$$g = D + \bar{A}B + \bar{B}C + B\bar{A}$$

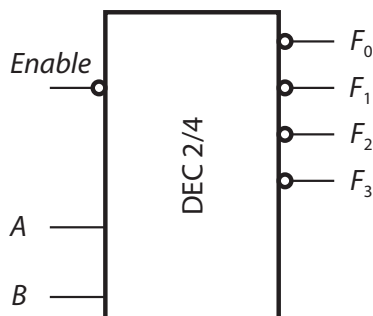
Na osnovu dobijenih logičkih funkcija koje opisuju izlaze konvertora, dobija se šema konvertora BCD u kôd od sedam segmenata, koja je prikazana na slici 4.9.



Slika 4.9 Logička šema konvertora BCD koda u kôd od 7 segmenata

Na sličan način mogu se projektovati pretvarači jednog binarnog koda u drugi. Prvo se nacrtava blok-šema pretvarača kodova i definiše broj ulaznih i izlaznih promjenjivih. Zatim se u tablici istinitosti povežu njihove kodne kombinacije. Izlazne promjenjive predstavljaju se preko Bulovih minimalnih formi, u funkciji ulaznih promjenjivih, upotrebom Karnoovih tablica. Na kraju se crta logička mreža sa raspoloživim logičkim kolima. Iz iste tablice može se projektovati i pretvarač ulaznog u funkciji izlaznog koda. U tom slučaju pišu se minimalne ulazne promjenjive u funkciji izlaznih promjenjivih, i postupak se ponavlja.

PRIMJER 4.1



Slika 4.10 Dekoder 2/4 sa *Enable* ulazom

Koristeći osnovna logička kola, projektuj dekodera 2/4 sa *Enable* upravljačkim ulazom, koji je dat grafičkim simbolom na slici 4.10 (kružnici na ulazu *Enable* i na izlazima F_0 do F_3 , predstavljaju njihove komplementirane vrijednosti).

Rješenje: Dekoder ima dva ulaza A i B i četiri komplementirana izlaza F_0 , F_1 , F_2 i F_3 . Dekoder ima upravljački ulaz *Enable*, koji je komplementiran. Tabela rada dekodera data je tabelom 4.6. Ulazni bit B je LSB – najmanje težine, a bit A je MSB – najveće težine.

Tabela rada koderske mreže data je tabelom 4.7.

Tabela 4.6 Tabela rada dekodera 2/4 sa *Enable* ulazom

Ulazne promjenjive		Upravljački ulaz	Izlazne promjenjive			
A	B	$\overline{Enable}$	$\overline{F_0}$	$\overline{F_1}$	$\overline{F_2}$	$\overline{F_3}$
0	0	1	0	1	1	1
0	1	1	1	0	1	1
1	0	1	1	1	0	1
1	1	1	1	1	1	0

Da bi dekodera radio, *Enable* ulaz mora da bude na logičkoj 0, pa je tada $\overline{Enable} = 1$. Pošto su i izlazi komplementirani, za projektovanje dekodera koriste se NI logička kola. Samo je jedna izlazna promjenjiva u stanju 0, ona koja je aktivna na odgovarajućem izlazu, što odgovara jednoj kombinaciji na ulazu A i B iz tabele istinitosti. Izlazi dekodera imaju oblik:

$$F_0 = \overline{\overline{A} \cdot \overline{B} \cdot \overline{Enable}}$$

$$F_1 = \overline{\overline{A} \cdot B \cdot \overline{Enable}}$$

$$F_2 = \overline{A \cdot \overline{B} \cdot \overline{Enable}}$$

$$F_3 = \overline{A \cdot B \cdot \overline{Enable}}$$

Ako se na ulazima dekodera A i B pojavi kombinacija 00, i ako je $\overline{Enable} = 1$, tada je

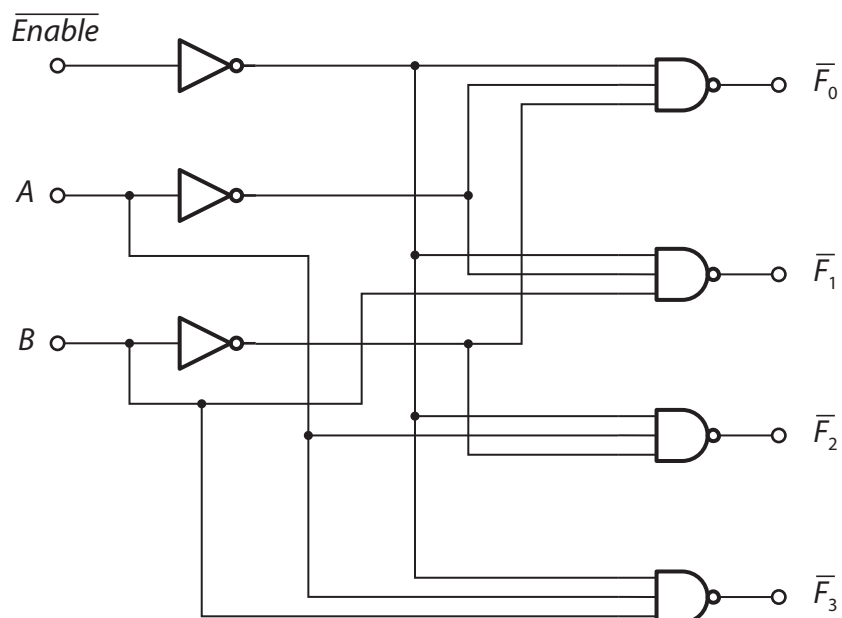
$$F_0 = \overline{\overline{A} \cdot \overline{B} \cdot \overline{Enable}} = \overline{0 \cdot 0 \cdot 1} = \overline{1 \cdot 1 \cdot 1} = \overline{1} = 0,$$

a sve ostale izlazne promjenjive imaju vrijednost 1. Ako se na ulazima dekodera A i B pojavi kombinacija 11, i ako je $\overline{Enable} = 1$, tada je

$$F_3 = \overline{A \cdot B \cdot \overline{Enable}} = \overline{1 \cdot 1 \cdot 1} = \overline{1} = 0,$$

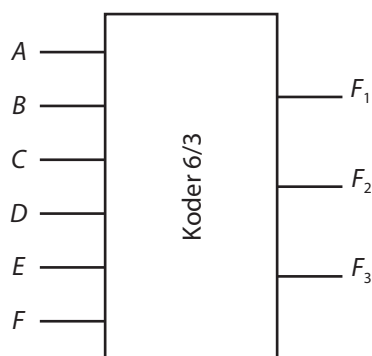
a sve ostale izlazne promjenjive imaju vrijednost 1.

Na slici 4.11 data je struktura dekodera 2/4 sa logičkim kolima.



Slika 4.11 Struktura dekodera 2/4 sa logičkim kolima

PRIMJER 4.2



Slika 4.12 Blok-šema kodera 6/3

Projektuj kodersku mrežu kojom se šest slovnih oznaka heksadecimalnog brojnog sistema (A, B, C, D, E i F) pretvara u binarni NBCD kod.

Rješenje: Koderska mreža ima na svom ulazu šest promjenljivih, koje odgovaraju slovnim oznakama heksadecimalnog brojnog sistema. Broj izlaza računa se kao stepen broja 2 da se dobije broj ulaza. Pošto 6 nije stepen broja 2, uzima se da izlaz ima tri promjenjive (F_1, F_2 , i F_3), jer je ukupan broj kombinacija u tom slučaju $2^3 = 8$, što znači da se dvije kombinacije ne koriste. Blok-šema koderske mreže data je na slici 4.12.

Tabela rada koderske mreže data je tabelom 4.7.

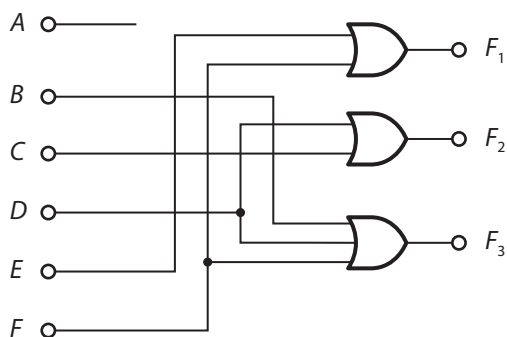
Tabela 4.7 Tabela rada koda 6/3

Ulazi Koda						Izlazi Koda		
A	B	C	D	E	F	F_1	F_2	F_3
1	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1
0	0	1	0	0	0	0	1	0
0	0	0	1	0	0	0	1	1
0	0	0	0	1	0	1	0	0
0	0	0	0	0	1	1	0	1

Iz tabele se mogu naći jednačine izlaza koda u funkciji njegovih ulaza:

$$F_1 = E + F, \quad F_2 = C + D, \quad F_3 = B + D + F.$$

Na slici 4.13 prikazana je struktura koderske mreže sa logičkim kolima.



Slika 4.13 Struktura koderske mreže sa logičkim kolima

Provjera
usvojenih znanja

1. Definiši pojam kombinacionih mreža u digitalnoj elektronici i objasni razliku u odnosu na kombinacione funkcije.
2. Nabroj vrste kombinacionih mreža i pojasni njihovu primjenu u praksi.
3. Objasni parametre kojima se opisuju sve kombinacione mreže.
4. Izračunaj broj izlaza koda ako je on potpun i ako je broj njegovih ulaza 16.
5. Objasni kako radi koder iz prethodnog zadatka i kako se crta njegova tabela istinitosti.
6. Definiši logička kola koja se koriste za tehničku realizaciju koda i dekoda ako izlazi mogu biti i komplementirani.
7. Objasni ulogu upravljačkog ulaza *Enable* kod rada kombinacionih mreža.
8. Objasni koliko je ukupno kašnjenje kombinacione mreže na konkretnom primjeru.

4.2 Multiplekseri i demultiplekseri

U računarskim mrežama, kao i u telefoniji, potrebno je prenositi podatke na velike udaljenosti preko telefonskih linija, koaksijalnih i optičkih kablova. Kada bi se svi podaci prenosili istovremeno paralelnim komunikacijskim linijama, ukupna dužina takvih provodnika bila bi predugačka i preskupa. Umjesto toga, podaci se prenose jednim vodom u serijskom obliku, i razdvajaju se u paralelne podatke koji se usmjeravaju ka različitim prijemnicima na kraju veze. Na primjer, distributer telekomunikacionih usluga omogućava korišćenje više usluga (telefonija, internet, televizija) samo sa jednim kablom. To znači da se kroz jednu liniju može prenijeti istovremeno više nezavisnih poruka. Povezivanje jednog od izvora podataka s datim brojem (adresom) na komunikacijsku liniju vrše multiplekseri, dok povezivanje komunikacione linije sa jednim od prijemnika podataka vrše demultiplekseri.

Svaka proizvoljna Bulova funkcija može se realizovati koristeći kombinacione mreže i osnovna logička kola, na osnovu tablica njihovog rada. Dekoderi sa većim brojem ulaza i izlaza mogu se predstaviti sa više dekodera koji imaju manji broj ulaza i izlaza, što važi i za multipleksere. Dekoderske mreže mogu se realizovati pomoću demultipleksera, i obrnuto.

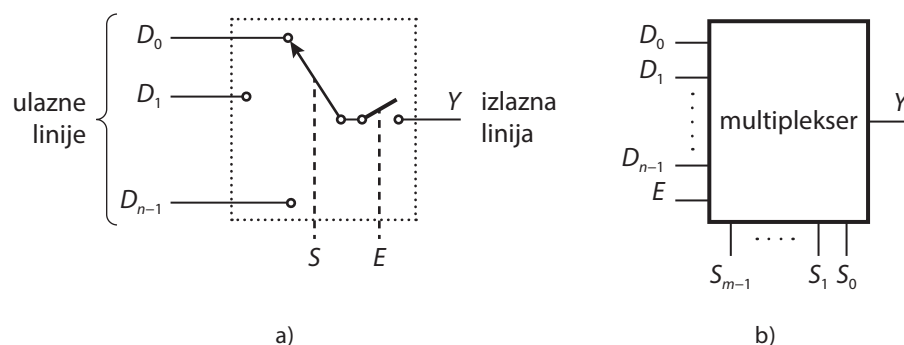
4.2.1 Multiplekseri

Multiplekser je kombinaciona mreža sa više ulaza i jednim izlazom. U svakom stanju mreže ostvaruje se veza između izlaza i samo jednog, odabranog ulaza. Kako se preko ovih ulaza dovode podaci koje treba prenijeti na izlaz, onda se ulazi multipleksera često nazivaju i kanali. Izlaz multipleksera predstavlja zajednički kanal. Multiplekserom se željeni ulaz prespaja na zajednički kanal. Prema tome, multiplekser je digitalni višekanalni prekidač. Odabiranje ili selekcija kanala vrši se tako što se svakom ulazu pridružuje odgovarajuća kodna riječ kao adresa. Često se ulazi multipleksera zovu **informacioni ulazi** jer se na njih dovodi višebitna binarna kombinacija. Adresni ulazi zovu se **selektorski ulazi**, jer od njihove kombinacije zavisi koji će se, samo jedan, informacioni ulaz proslijediti na izlaz. Zbog toga se multiplekser često zove i selektor jednog signala sa ulaza na izlaz.

Multiplekseri i demultiplekseri imaju veliku primjenu u informaciono-komunikacionim tehnologijama. Kada je o načinu prenosa podataka u računarskim sistemima riječ, digitalni podaci se kroz medijum prenosa (žicu, optičko vlakno), u zavisnosti od broja puteva, prenose serijski ili paralelno.

Kod serijskog prenosa bitovi se prenose preko jednog provodnika, jedan po jedan. Kod paralelnog prenosa prenosi se više bitova u isto vrijeme, ali pomoću većeg broja provodnika. Paralelni prenos podataka brži je od serijskog, ali je skuplji, jer zahtijeva veći broj veza. Velik broj provodnika – jer ih ima koliko ima podatak bitova – ne dozvoljava primjenu paralelnog prenosa na dužim rastojanjima. Serijski prenos je daleko pouzdaniji, pošto se greška ili prekid u prenosu jednostavno otkrivaju. Paralelni prenos podataka češće se koristi pri prenosu podataka na kraćim rastojanjima; npr. u slučajevima komunikacije između mikroprocesora i memorije u okviru istog računarskog uređaja, ili pri komunikaciji između računara i štampača. Kada su veća rastojanja u pitanju, serijski prenos podataka praktično je jedini izbor. Pretvaranje paralelnih podataka u serijske vrši se u multiplekserima, dok se obrnuti postupak, pretvaranje serijskih podataka u paralelne, vrši u demultiplekserima.

Na slici 4.14a) prikazana je funkcionalna šema, a na slici 4.14b) grafički simbol multipleksera.



Slika 4.14 Multiplekser sa n ulaza: a) funkcionalna šema; b) grafički simbol

Na ulaze multipleksera dovode se podaci. Multiplekser sa slike 4.19b) ima n ulaza, $D_0, D_1, \dots, D_{n-1}$. Izbor ulaza koji će biti povezan sa izlazom multipleksera Y vrši se preko selekcionog ili kontrolnog ulaza. Na ulaz E dovodi se signal dozvole. Ako je signal dozvole neaktivan, izlaz će biti u stanju logičke nule bez obzira na stanje selektovanog ulaza. Selekcija ulaza vrši se dovođenjem odgovarajućeg binarnog koda na ulaze $S_0, S_1, \dots, S_{m-1}$. Skraćenica za ovaj multiplekser, kako se uobičajeno piše u literaturi, jeste $\text{MUX } 2^m - 1$, gdje je prvi broj (2^m) broj ulaza multipleksera, drugi broj (1) broj je izlaza, a broj m predstavlja broj adresnih ulaza.

Multiplekser ima m selektorskih ulaza koji omogućuju izbor jednog od $n = 2^m$ ulaza. Na primjer, ako imamo multiplekser sa osam selektorskih – informacionih ulaza, tada su potrebna tri adresna ulaza, jer se sa tri bita mogu napraviti sve moguće kombinacije, a njih ima ukupno $2^3 = 8$. Selektovani ulaz povezuje se sa izlazom posredstvom logičkih elemenata,

najčešće sa I logičkim kolima, kojima se povezuju informacioni i adresni ulazi, dok se za generisanje jednog izlaza multipleksera koristi ILI logičko kolo. Ono na svom izlazu ima informaciju za samo jedan informacioni ulaz, dok su svi ostali ulazi zaključeni i u stanju logičke 0 (zbog odgovarajuće adrese).

Postupak realizacije logičke mreže multipleksera biće sproveden na primjeru multipleksera sa četiri informaciona ulaza. Radi jednostavnije analize, izostavljen je signal dozvole.

Tabela 4.10 Kombinatorna tabela multipleksera sa četiri ulaza

S_1	S_0	Y
0	0	D_0
0	1	D_1
1	0	D_2
1	1	D_3

Izbor jedne od četiri ulaznih linija D_0 do D_3 ovog multipleksera vrši se preko upravljačkih linija S_0 i S_1 . Logičko stanje izlaza multipleksera odgovara logičkom stanju na selektovanoj ulaznoj liniji. Rad multipleksera sa četiri ulaza može se opisati kombinacionom tabelom koja je prikazana tabelom 4.10.

Logička funkcija multipleksera sa četiri ulaza ima oblik:

$$Y = D_0 \cdot \overline{S_1} \cdot \overline{S_0} + D_1 \cdot \overline{S_1} \cdot S_0 + D_2 \cdot S_1 \cdot \overline{S_0} + D_3 \cdot S_1 \cdot S_0.$$

Radi realizacije logičke mreže koja obavlja funkciju multipleksera, podijelićemo mrežu na dva dijela: upravljačku (sa signalima S_0 i S_1) i prekidačku (sa podacima D_0 , D_1 , D_2 i D_3).

Dvoulazno I kolo ima osobinu da ako mu se na jedan od ulaza dovede logička jedinica, signal na izlazu ovoga kola biće identičan drugom ulazu, što se definiše Bulovom jednakošću $1 \cdot X = X$. Ovu osobinu I kola iskoristićemo za realizaciju prekidačke mreže multipleksera.

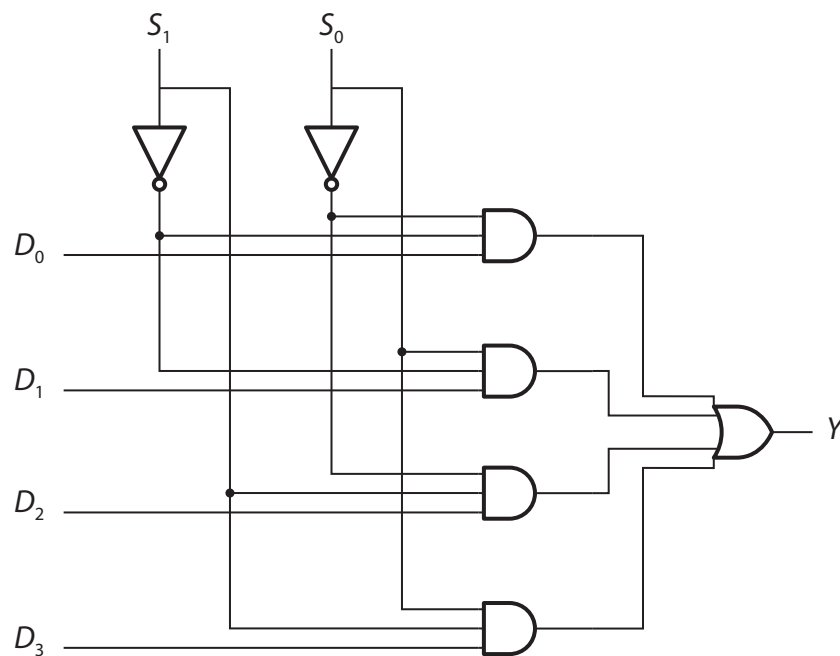
Upravljačku mrežu multipleksera možemo realizovati na osnovu kombinacione tabele 4.9, odnosno logičke funkcije multipleksera.

Ulaz D_0 biće selektovan ako su na kontrolnim linijama S_1 i S_0 logičke nule. Dakle, linija D_0 biće selektovana ako se na ulaz I kola pored linije D_0 dovedu i invertovani kontrolni signali $\overline{S_1}$ i $\overline{S_0}$. Na sličan način, selektovanje linije D_1 može se postići ako se na ulaz I kola, pored ulazne linije D_1 , dovedu kontrolni signali $\overline{S_1}$ i S_0 . Koristeći sličnu analizu i za ostale linije podataka, i uz pomoć tabele 4.9 mogu se lako odrediti i kombinacije kontrolnih signala preko kojih se selektuju ostale ulazne linije.

Na slici 4.15 prikazana je odgovarajuća logička šema multipleksera sa četiri informaciona ulaza.

NAPOMENA

Multiplekseri se često skraćeno označavaju sa $MX 2^m - 1$ (čita se: 1 od 2^m), što i odgovara funkciji rada multipleksera.

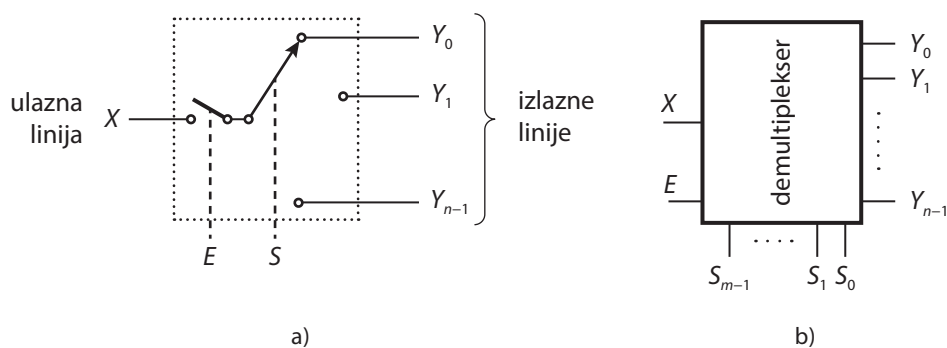


Slika 4.15 Logička šema multipleksera sa četiri ulaza

4.2.2 Demultiplekseri

Kombinaciona mreža koja obavlja funkciju suprotnu od multipleksera naziva se **demultiplekser**.

Demultiplekser je kombinaciona mreža pomoću koje se podatak sa jednog ulaza može proslijediti na jedan od više izlaza. Na slici 4.16a) prikazana je funkcionalna šema, a na slici 4.16b) simbol demultipleksera sa n izlaza.



Slika 4.16 Demultiplekser sa n izlaza: (a) funkcionalna šema; (b) grafički simbol

Da bi se signal sa ulaza prenio na izabrani izlaz, koriste se signali za selektovanje, koji su na slici 4.16 označeni slovom S . Selekcija izlaza vrši se dovođenjem odgovarajućeg binarnog koda na ulaze $S_0, S_1, \dots, S_{m-1}$. Na ulaz E dovodi se signal dozvole. Ako je signal dozvole neaktivan, signal

sa ulaza ne može se prenijeti na neku izlaznu liniju bez obzira na stanje selektovanog izlaza.

Za selektovanje jednog od n izlaza demultipleksera potrebno je koristiti m selekcionih signala, pri čemu je $n = 2^m$. Skraćenica za ovaj demultiplekser, kako se uobičajeno piše u literaturi, jeste DMUX $1-2^m$, gdje je prvi broj ulaza demultipleksera (1), drugi je broj izlaza (2^m), a broj m predstavlja broj adresnih ulaza.

Ilustriramo rad ove mreže na primjeru demultipleksera sa četiri izlaza.

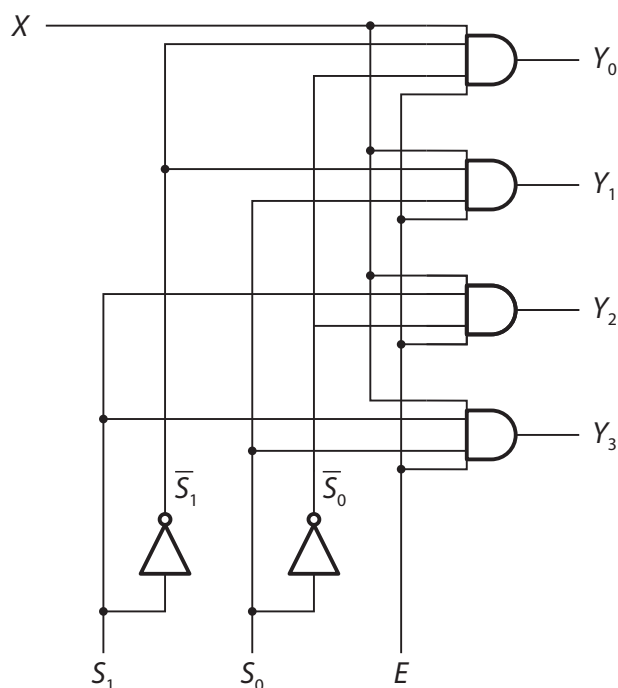
Tabela 4.11 Kombinatorna tabela demultipleksera sa četiri izlaza

E	S_0	S_1	Y_3	Y_2	Y_1	Y_0
1	0	0	0	0	0	X
1	0	1	0	0	X	0
1	1	0	0	X	0	0
1	1	1	X	0	0	0
0	–	–	0	0	0	0

Podatak sa ulaza X treba prenijeti na jedan od četiri izlaza. Željeni izlaz definiše se kombinacijom stanja na ulazima linija za selektovanje. Na primjer, kombinaciji ulaza za selektovanje $S_0 = 0$ i $S_1 = 0$ odgovara izlazna linija Y_0 , pa će se u tom slučaju signal sa ulaza X prenijeti na izlaznu liniju Y_0 . Na sličan način definišu se i ostali željeni izlazi.

Rad demultipleksera sa četiri izlaza može se opisati kombinacionom tabelom koja je prikazana tabelom 4.11.

Na osnovu date kombinacione tabele, uz korišćenje postupka za realizaciju multipleksera sa osam ulaza iz prethodnog odjeljka, može se nacrtati logička mreža demultipleksera sa četiri izlaza. Na slici 4.17 prikazan je izgled te mreže.

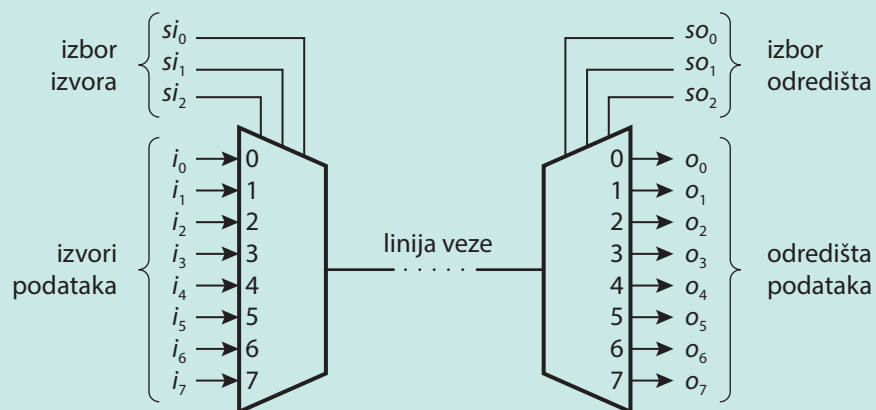


Slika 4.17 Logička mreža demultipleksera sa četiri izlaza

Sa slike se vidi da se kombinaciona mreža demultipleksera sastoji samo od 1 kola, čiji izlazi su u isto vrijeme i izlazi demultipleksera. Ulaz X dovodi se paralelno na sva četiri 1 logička kola da bi se omogućio prenos (distribucija) informacije sa tog ulaza na jedan od četiri izlaza. Koji će izlaz biti jednak ulazu X , zavisi od postavljene adrese. Zbog toga se demultiplekser često zove i **distributor**, sa skraćenom oznakom DMUX $1-2^m$.

PROŠIRI ZNANJE

Par uređaja multiplekser – demultiplekser može se koristiti za prenos informacije od n izvora do n odredišta preko jedinstvene komunikacione linije. Na slici 4.18 prikazan je takav slučaj za $n = 8$ ulaza i $n = 8$ izlaza.

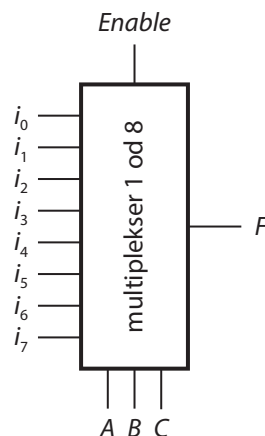


Slika 4.18 Princip vremenskog multipleksa

Multiplekser bira jedan od n izvora i prenosi podatak tog izvora na komunikacionu liniju ili liniju veze. Na drugom kraju linije, demultiplekser usmjerava primljeni podatak ka jednom od n odredišta. Izbor para izvor – odredište obavlja se preko selekcionih ulaza multipleksa i demultipleksa. Ovakav način prenosa informacija naziva se vremenski multipleks. Multiplekser i demultiplekser dijele jednu zajedničku liniju veze.

PRIMJER 4.3

Koristeći osnovna logička kola sa dva i više ulaza, projektuj multiplexer koji je dat funkcionalnom šemom na slici 4.19.



Slika 4.19 Funkcionalna šema MUX $2^3 - 1$

Rješenje: Zadati multiplexer ima osam informacionih ulaza (I_0 do I_7), tri adresna ulaza (A , B i C) i upravljački ulaz *Enable* koji omogućava rad kola. Prema prethodnom tekstu i uputstvima za projektovanje multipleksera, može se nacrtati njegova tablica rada i napisati logička jednačina za izlaz F . Multiplexer će jedan ulaz proslijediti na svoj izlaz ako je $Enable = 1$ i ako se na adresne ulaze dovede binarna kombinacija koja u dekadskom sistemu odgovara indeksu informacionog ulaza. Tabela 4.12 jeste tablica rada zadatog multipleksera.

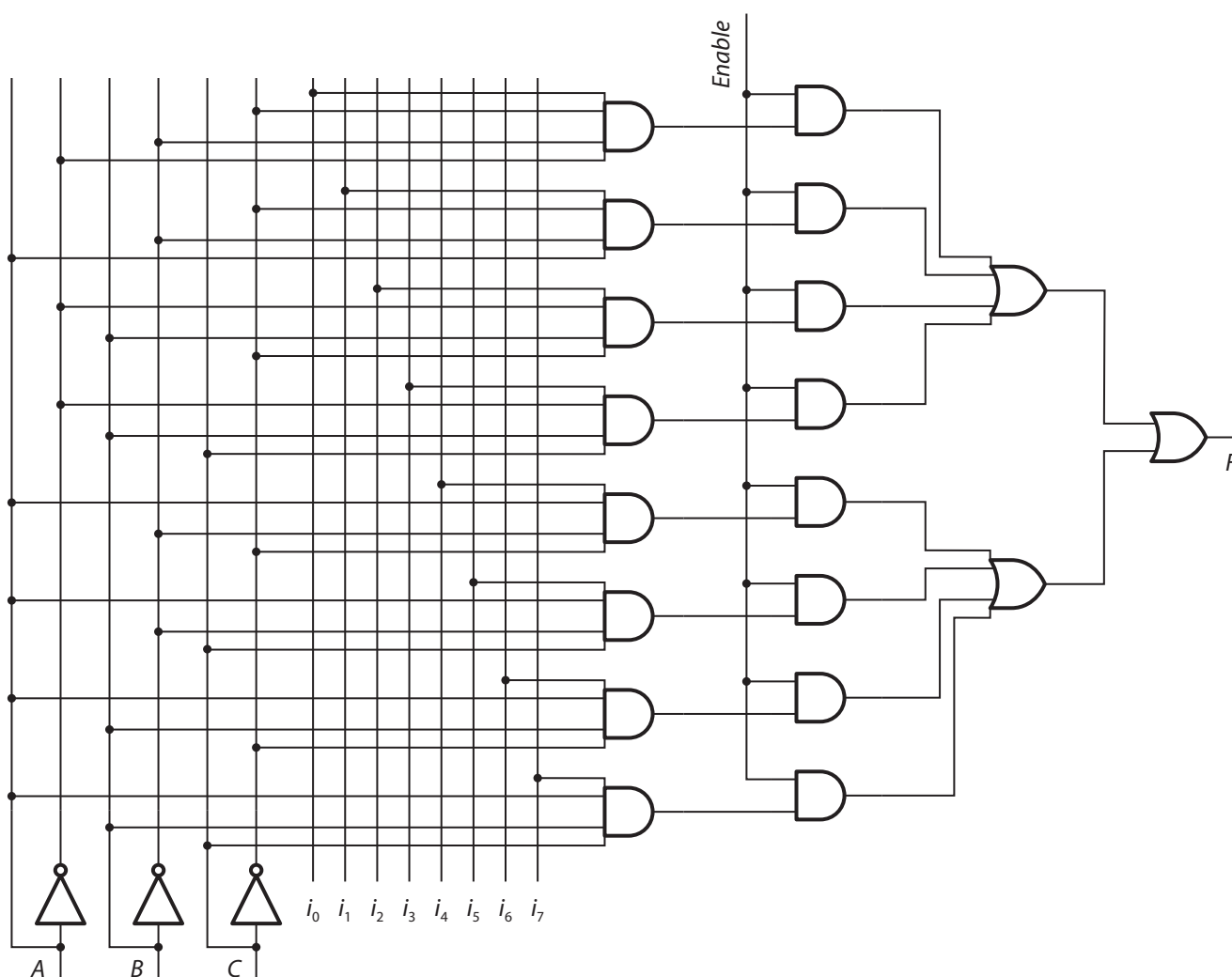
Tabela 4.12 Tablica rada multipleksera MUX $2^3 - 1$ sa *Enable* ulazom

Adresni ulazi			Upravljački ulaz	Izlaz
A	B	C	<i>Enable</i>	F
0	0	0	1	I_0
0	0	1	1	I_1
0	1	0	1	I_2
0	1	1	1	I_3
1	0	0	1	I_4
1	0	1	1	I_5
1	1	0	1	I_6
1	1	1	1	I_7

Izlaz multipleksera može se definisati Bulovom funkcijom:

$$\begin{aligned}
 F = & I_0 \cdot \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot Enable \\
 & + I_1 \cdot \bar{A} \cdot \bar{B} \cdot C \cdot Enable \\
 & + I_2 \cdot \bar{A} \cdot B \cdot \bar{C} \cdot Enable \\
 & + I_3 \cdot \bar{A} \cdot B \cdot C \cdot Enable \\
 & + I_4 \cdot A \cdot \bar{B} \cdot \bar{C} \cdot Enable \\
 & + I_5 \cdot A \cdot \bar{B} \cdot C \cdot Enable \\
 & + I_6 \cdot A \cdot B \cdot \bar{C} \cdot Enable \\
 & + I_7 \cdot A \cdot B \cdot C \cdot Enable
 \end{aligned}$$

Na osnovu definisane jednačine može se projektovati multiplekser sa logičkim kolima, kao na slici 4.20.



Slika 4.20 Logička šema multipleksera MUX $2^3 - 1$ sa *Enable* upravljačkim ulazom

PRIMJER 4.4

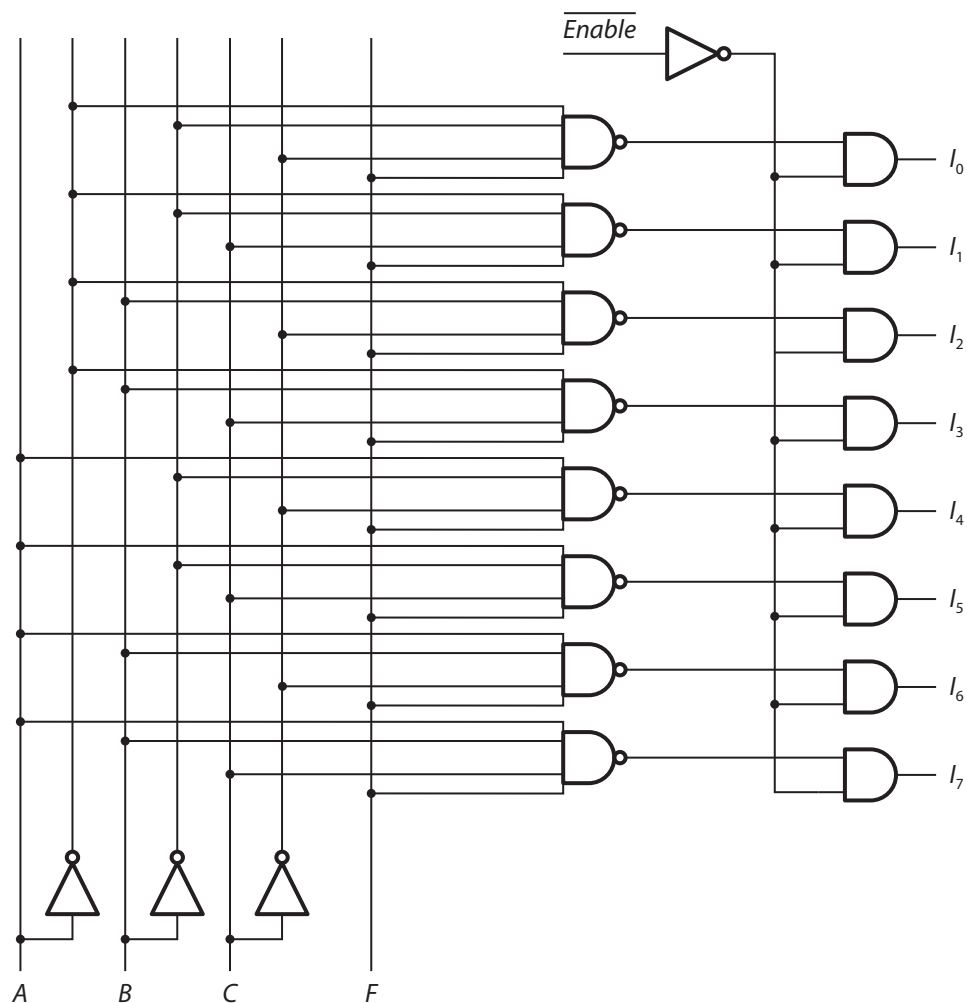
Koristeći osnovna logička kola, projektuj demultiplekser DMUX 1–2³ koji ima jedan ulaz, osam izlaza koji su komplementirani, kao i *Enable* ulaz.

Rješenje: Zadati demultiplekser obavlja obrnutu operaciju od multipleksera iz prethodnog zadatka. Demultiplekser ima jedan ulaz *F*, osam izlaza (*I*₀ do *I*₇) i adresne ulaze *A*, *B* i *C*. Razlika je u logičkoj šemi i tablici rada. Izlazi demultipleksera su komplementirani, pa za njegov ispravan rad treba komplementirati izlaze. Isto važi i za upravljački ulaz *Enable* koji treba komplementirati da bi sklop tačno radio (isti slučaj bio bi kada bi se na *Enable* ulaz dovela logička 0). Za realizaciju demultipleksera sa logičkim kolima koriste se NI logička kola kojim se komplementiraju izlazi demultipleksera. Izlazi se komplementiraju da bi se mogli povezati sa drugim sklopovima koji zahtijevaju takvu kompatibilnost ili da bi sklop imao aktivne izlaze obrnute od uobičajenih. Tablica rada DMUX 1–2³ data je tabelom 4.13, sa Bulovim izrazima za pojedine izlaze demultipleksera (oznaka *x* u tabeli za ulaz *F* znači bilo šta – 1 ili 0).

Tabela 4.13 Tablica rada DMUX 1–2³ sa *Enable* komplementiranim ulazom

Adresni ulazi			Ulaz	Upravljački ulaz	Izlaz
<i>A</i>	<i>B</i>	<i>C</i>	<i>F</i>	$\overline{Enable}$	<i>F</i>
0	0	0	<i>x</i>	1	$I_0 = \overline{A} \cdot \overline{B} \cdot \overline{C} \cdot F \cdot \overline{Enable}$
0	0	1	<i>x</i>	1	$I_1 = \overline{A} \cdot \overline{B} \cdot C \cdot F \cdot \overline{Enable}$
0	1	0	<i>x</i>	1	$I_2 = \overline{A} \cdot B \cdot \overline{C} \cdot F \cdot \overline{Enable}$
0	1	1	<i>x</i>	1	$I_3 = \overline{A} \cdot B \cdot C \cdot F \cdot \overline{Enable}$
1	0	0	<i>x</i>	1	$I_4 = A \cdot \overline{B} \cdot \overline{C} \cdot F \cdot \overline{Enable}$
1	0	1	<i>x</i>	1	$I_5 = A \cdot \overline{B} \cdot C \cdot F \cdot \overline{Enable}$
1	1	0	<i>x</i>	1	$I_6 = A \cdot B \cdot \overline{C} \cdot F \cdot \overline{Enable}$
1	1	1	<i>x</i>	1	$I_7 = A \cdot B \cdot C \cdot F \cdot \overline{Enable}$

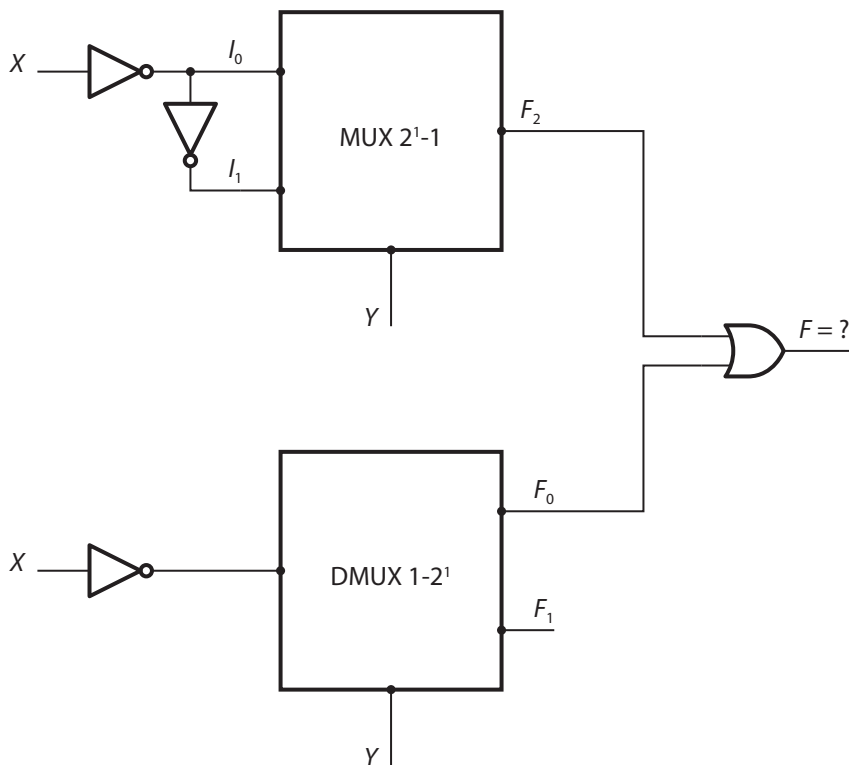
Na slici 4.21 data je logička šema demultipleksera DMUX 1–2³ sa komplementiranim izlazima i *Enable* komplementiranim upravljačkim ulazom.



Slika 4.21 DMUX 1–2³ sa komplementiranim izlazima i *Enable* komplementiranim upravljačkim ulazom

PRIMJER 4.5

Pronađi koju Bulovu funkciju na svom izlazu realizuje sklop na slici 4.22.



Slika 4.22 Složeni sklop sa MX, DMX i logičkim kolima

Rješenje: Prema definiciji rada potrebno je napisati izlaze multipleksera i demultipleksera po slici 4.22, koristeći tablicu rada tih kombinacionih mreža. MUX 2¹-1 ima dva informaciona ulaza I_0 i I_1 koji se selektuju adresnim ulazom Y , koji može biti 0 ili 1 ($\bar{Y}$ ili Y). Na informacioni ulaz I_0 dovodi se informacija $\bar{X}$ a na I_1 ulaz informacija $\bar{X} = X$, pa izlaz MUX 2¹-1 ima oblik:

$$F_2 = \bar{X} \cdot \bar{Y} + X \cdot Y.$$

DMUX 1-2¹ ima jedan informacioni ulaz na koji se dovodi informacija $\bar{X}$ i ima dva izlaza F_0 i F_1 , dok se na ulaz za selekciju dovodi informacija Y . Funkcija F_0 selektuje ulaz $\bar{X}$ sa selektorskim ulazom $\bar{Y}$, pa izlaz F_0 DMUX 1-2¹ ima oblik:

$$F_0 = \bar{X} \cdot \bar{Y}.$$

Izlazna funkcija F ima oblik:

$$F = F_2 + F_0 = \bar{X} \cdot \bar{Y} + X \cdot Y + \bar{X} \cdot \bar{Y} = \bar{X} \cdot \bar{Y} + X \cdot Y = \bar{X} \oplus Y.$$

Znači, složeno kolo realizuje EX NILI logičko kolo informacionog ulaza X i adresnog ulaza Y . 

Provjera
usvojenih znanja

1. Definiši princip rada multipleksera (MUX) i demultipleksera (DMUX).
2. Klasifikuj vrste MUX i DMUX po broju ulaza i postojanju *Enable* ulaza, kao i pojavu komplementiranih izlaza.
3. Uporedi rad kombinacionih mreža MUX i DMUX.
4. Nacrtaj grafički simbol – blok-šemu MUX 2^4-1 i definiši način njegovog rada sa upravljačkim ulazom i bez njega.
5. Nacrtaj tablicu rada DMUX $1-2^3$ sa upravljačkim ulazom *Enable*.
6. Projektuj logičku šemu MUX 2^2-1 pomoću osnovnih logičkih kola.
7. Skiciraj blokovsku strukturu dekodera $4/10$ i DMUX $1-2^3$ i pokaži da se za njegovu realizaciju može upotrijebiti pomenuti dekodер.
8. Izvedi zaključak o primjeni MUX i DMUX u telekomunikacijama i računarskoj tehnici.

Rezime

- Kombinacione mreže ili matrice imaju jedan ili više ulaza i jedan ili više izlaza. Kombinacione mreže kombinuju ulazne vrijednosti prema određenim pravilima, i na taj način formiraju kombinacije na izlazu kola. Kombinacione mreže opisuju se pomoću: blok-šeme, tablice istinitosti, karakterističnih jednačina izlaznih promjenjivih u funkciji ulaznih promjenjivih, strukture sa logičkim kolima i vremenskih dijagrama.
- Osnovne kombinacione mreže su: koderi, dekoderi, multiplekseri i demultiplekseri, a u praksi se koriste još: pretvarači kodova, komparatori, generatori parnosti jedinica i nula itd.
- Koderi imaju veći broj ulaza nego izlaza i kodiraju neki znak ili slovo u binarni kôd.
- Dekoderi rade obrnutu operaciju od koderu.
- Ulazi koderu najčešće se definišu pomoću tastera, i tako se aktivirani znak pretvara u binarni kod.
- Na izlazu dekoderu aktivna je samo jedna linija, ona koja je definisana kodnom kombinacijom na ulazu, što odgovara dekadskoj vrijednosti ulaza i indeksa izlazne promjenjive. Na primjer, za deko-der 3/8 vrijedi: $000_2 = 0_{10} \Leftrightarrow F_0$, $001_2 = 1_{10} \Leftrightarrow F_1$, $010_2 = 2_{10} \Leftrightarrow F_2$, $011_2 = 3_{10} \Leftrightarrow F_3$, $100_2 = 4_{10} \Leftrightarrow F_4$, $101_2 = 5_{10} \Leftrightarrow F_5$, $110_2 = 6_{10} \Leftrightarrow F_6$ i $111_2 = 7_{10} \Leftrightarrow F_7$.
- Sedmosegmentni indikator veže se na izlaz de-ko-dera ili brojača, što omogućava vizualizaciju alfanumeričkih podataka.
- Kombinacione mreže najčešće se prave u CMOS integrisanoj tehnici zbog niza njenih prednosti.
- Kombinacione mreže mogu se projektovati sa sljedećim grupama logičkih kola: I, ILI i NE, NI i NILI kolima.
- Multiplekseri i demultiplekseri imaju informacio-ne i adresne ulaze ili izlaze, kojima se omogućava selekcija ili distribucija signala.
- Multiplekser omogućava selekciju jednog od više ulaza, na kome se nalazi proizvoljna infor-macija, na jedan njegov izlaz. Koji će ulaz biti selektovan, zavisi od postavljene adrese. Broj informacionih ulaza uvijek je jednak stepenu broja dva od broja adresnih ulaza, što važi i za demultiplekser, kada je broj informacionih izlaza jednak stepenu broja 2 od broja adresnih ulaza.
- Demultiplekser ima samo jedan ulaz sa koga se proizvoljna informacija distribuira na jedan od više izlaza. Na kom će se izlazu pojaviti ulazna informacija, zavisi od postavljene adrese.
- Multiplekseri i demultiplekseri obavljaju obrnute operacije, pa se koriste u praksi gdje je potreb-no preko jedne linije prenijeti istovremeno više različitih poruka. Signali se mogu multipleksirati po vremenu i po frekvenciji.
- Multiplekseri i demultiplekseri projektuju se ra-zličitom grupom logičkih kola u zavisnosti od postojanja upravljačkog ulaza *Enable*.
- Multiplekseri i demultiplekseri, kao i ostale kom-binacione mreže, prave se u integrisanoj tehnici.

Manje poznate riječi:

selektovati – izabrati

distribuirati – raspodijeliti

Korisni veb-sajtovi za dodatno proučavanje sadržaja poglavlja

1. <https://www.youtube.com/watch?v=HleQhZ9Gq5s>
2. <https://www.ti.com/lit/pdf/scls569>
3. <https://www.onsemi.com/pdf/datasheet/mc14028b-d.pdf>
4. <https://new.siemens.com/global/en/products/automation/systems/industrial/plc/logo/logo-software.html>
5. <https://www.ti.com/lit/gpn/cd4051b>

Zadaci za samostalan rad

1. Projektuj kodersku mrežu kojom se prvih osam funkcijskih tipki $F_1, F_2, F_3, F_4, F_5, F_6, F_7$ i F_8 pretvara u NBCD kod od tri bita.

Rješenje:

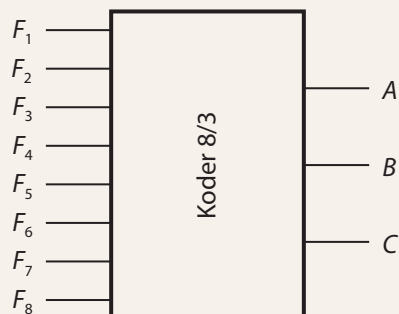
Koderska mreža ima na svom ulazu osam promjenljivih (od F_1 do F_8) i tri izlaza A, B i C , pa je koderska mreža potpuna. Na slici lijevo prikazana je blok-šema koderske mreže 8/3.

Tabela rada koderske mreže data je sljedećom tabelom:

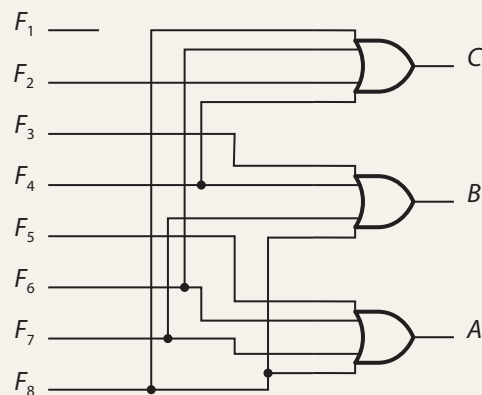
Tabela rada koderske mreže uz rješenje zadatka 1

Ulazi Kodera								Izlazi Kodera		
F_1	F_2	F_3	F_4	F_5	F_6	F_7	F_8	A	B	C
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

Na ulaz kodera dovode se promjenjive od F_1 do F_8 (u laboratorijskoj vježbi ulazi kodera biće realizovani kao tasteri) a na izlazu kodera pojavi se njegova binarna kombinacija u NBCD kodu, prema prethodnoj tabeli. Iz tabele se mogu naći jednačine izlaza kodera u funkciji njegovih ulaza: $A = F_5 + F_6 + F_7 + F_8$, $B = F_3 + F_4 + F_7 + F_8$ i $C = F_2 + F_4 + F_6 + F_8$. Na sljedećoj slici prikazana je logička šema kodera 8/3 realizovanog na osnovu prikazanih izlaznih funkcija.



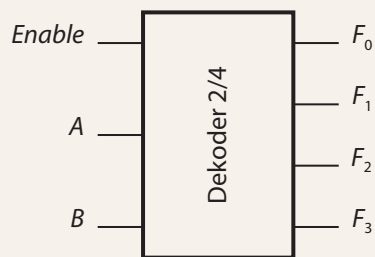
Slika uz rješenje zadatka 1



Logička šema uz rješenje zadatka 1

2. Projektuj dekodler 2/4 sa *Enable* ulazom.

Rješenje:



Blok-šema uz rješenje zadatka 2

Dekoder 2/4 ima dva ulaza *A* i *B*, četiri izlaza F_0 , F_1 , F_2 i F_3 i *Enable* ulaz. Blok-šema dekodera 2/4 sa *Enable* ulazom data je na slici.

U sljedećoj tabeli prikazana je tabela rada dekoderske mreže. Ulazni bit *B* je LSB – najmanje težine, a bit *A* je MSB – najveće težine.

Tabela rada uz zadatak 2

Ulazne promjenjive		Upravljački ulaz	Izlazne promjenjive			
<i>A</i>	<i>B</i>	<i>Enable</i>	F_0	F_1	F_2	F_3
0	0	1	1	0	0	0
0	1	1	0	1	0	0
1	0	1	0	0	1	0
1	1	1	0	0	0	1

Da bi dekodler radio, *Enable* ulaz mora da bude na logičkoj 1. Za projektovanje dekodera koriste se 1 logička kola. Samo je jedna izlazna promjenjiva u stanju 1, ona koja je aktivna na odgovarajućem izlazu, što odgovara jednoj kombinaciji na ulazu *A* i *B* iz tabele istinitosti. Izlazi dekodera imaju oblik:

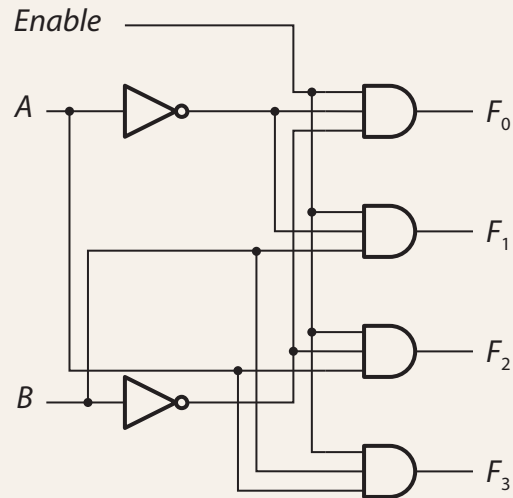
$$F_0 = \bar{A} \cdot \bar{B} \cdot \text{Enable}$$

$$F_1 = \bar{A} \cdot B \cdot \text{Enable}$$

$$F_2 = A \cdot \bar{B} \cdot \text{Enable}$$

$$F_3 = A \cdot B \cdot \text{Enable}$$

Na sljedećoj slici prikazana je logička šema dekodera 2/4 sa *Enable* ulazom realizovanog na osnovu prikazanih izlaznih funkcija.



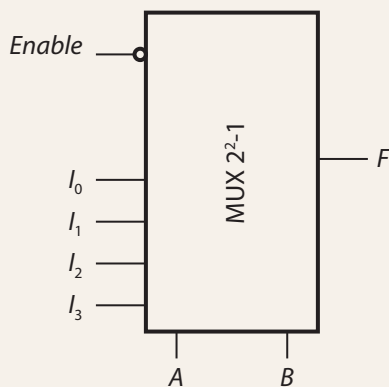
Logička šema uz zadatak 2

3. Projektuj MUX 2^2-1 koristeći logička kola sa više ulaza ako sklop ima upravljački *Enable* ulaz koji je komplementiran.

Rješenje:

Zadati multiplexer ima **četiri** informaciona ulaza (I_0 do I_3), dva adresna ulaza (A i B) i upravljački ulaz *Enable* koji omogućava rad kola, koji je komplementiran. Blok-šema zadanog multiplexera data je na slici lijevo.

Multiplexer će jedan ulaz proslijediti na svoj izlaz ako je $Enable = 0$ ($\overline{Enable} = 1$), i ako se na adresne ulaze A i B dovede binarna kombinacija koja u dekadskom brojnem sistemu odgovara indeksu informacionog ulaza. Slijedi tabela rada multiplexera MUX 2^2-1 sa komplementiranim *Enable* ulazom.



Blok-šema uz rješenje zadatka 3

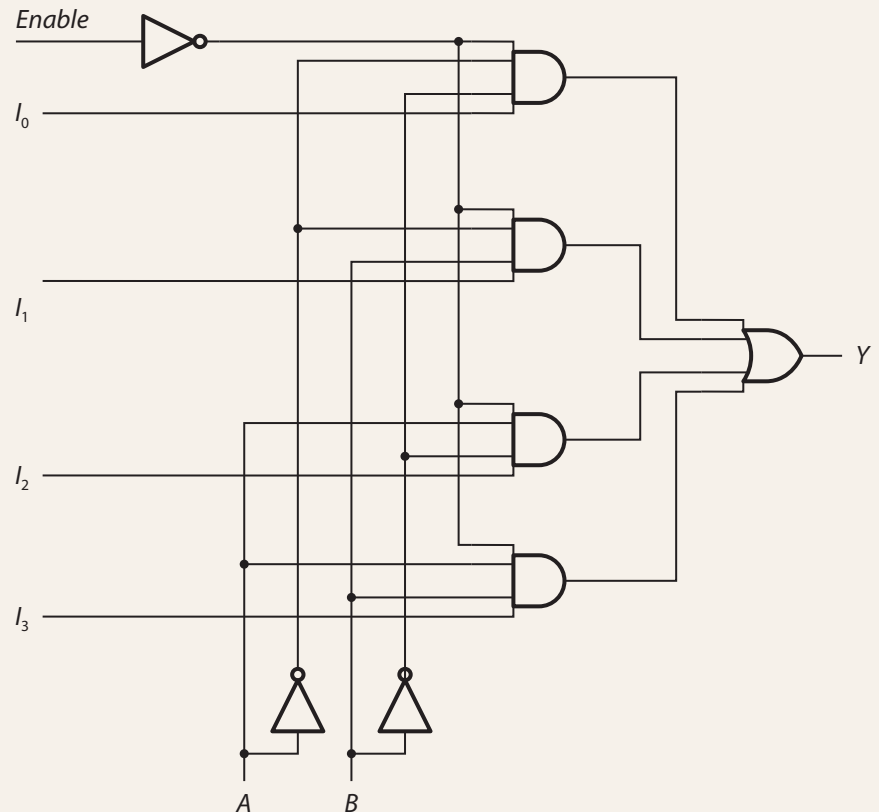
Tabela rada uz rješenje zadatka 3

Adresni ulazi		Upravljački ulaz	Izlaz
A	B	$\overline{Enable}$	F
0	0	1	I_0
0	1	1	I_1
1	0	1	I_2
1	1	1	I_3

Izlaz multipleksera F može se definisati Bulovom funkcijom:

$$F = I_0 \cdot \bar{A} \cdot \bar{B} \cdot \overline{Enable} + I_1 \cdot \bar{A} \cdot B \cdot \overline{Enable} + I_2 \cdot A \cdot \bar{B} \cdot \overline{Enable} + I_3 \cdot A \cdot B \cdot \overline{Enable}.$$

Na osnovu definisane jednačine može se projektovati multiplekser sa logičkim kolima, kao na sljedećoj šemi:

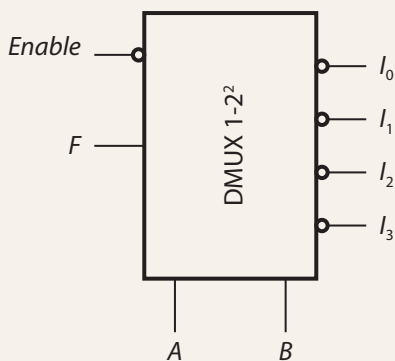


Logička šema uz rješenje zadatka 3

4. Koristeći osnovna logička kola, projektuj demultiplekser DMUX 1-2² koji ima jedan ulaz, **četiri** izlaza koji su komplementirani, kao i *Enable* komplementirani ulaz.

Rješenje:

Zadati demultiplekser ima jedan ulaz F , **četiri** informaciona izlaza (I_0 do I_3) i adresne ulaze A i B . Izlazi demultipleksera su komplementirani. Isto važi i za upravljački ulaz *Enable* koji treba komplementirati. Blok-šema DMUX 1-2² data je na slici lijevo.



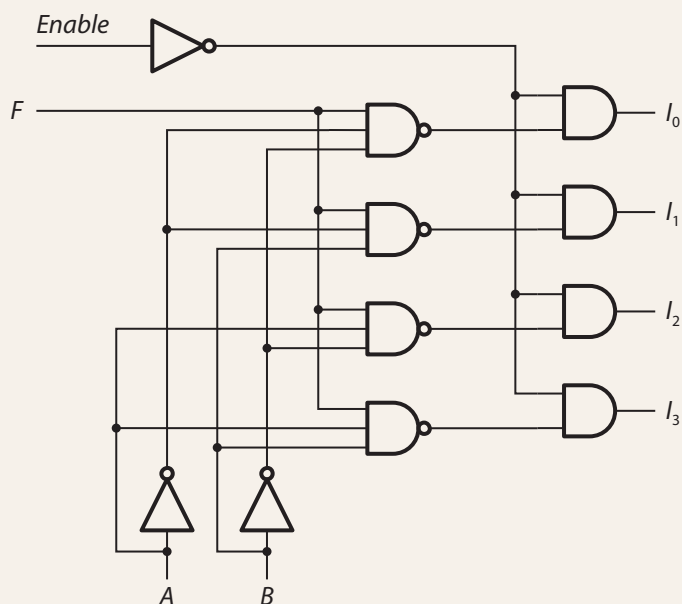
Blok-šema uz rješenje zadatka 4

Tablica rada DMUX 1-2² data je sljedećom tabelom, sa Bulovim izrazima za pojedine izlaze demultipleksera (oznaka x u tabeli za ulaz F znači „bilo šta“: 1 ili 0):

Tablica rada uz rješenje zadatka 4

Adresni ulazi		Ulaz	Upravljački ulaz	Izlaz
A	B	F	$\overline{Enable}$	F
0	0	x	1	$I_0 = \overline{A} \cdot \overline{B} \cdot F \cdot \overline{Enable}$
0	1	x	1	$I_1 = \overline{A} \cdot B \cdot F \cdot \overline{Enable}$
1	0	x	1	$I_2 = A \cdot \overline{B} \cdot F \cdot \overline{Enable}$
1	1	x	1	$I_3 = A \cdot B \cdot F \cdot \overline{Enable}$

Za realizaciju demultipleksera sa logičkim kolima koriste se NI logička kola kojima se komplementiraju izlazi demultipleksera. Pošto je *Enable* ulaz komplementiran, on se veže preko invertora a zatim se preko I kola povezuje upravljački ulaz sa adresnim ulazima i ulazom *F* mreže. Na sljedećoj slici prikazana je logička šema demultipleksera DMUX 1–2² sa komplementiranim izlazima i *Enable* ulazom.



Logička šema uz rješenje zadatka 4



V. Sekvencijalne mreže

Usvajanjem sadržaja iz ovog poglavlja, moći ćeš da:

- objasniš ulogu i značaj sekvencijalnih kola – registara i brojača
- objasniš princip rada različitih vrsta registara – stacionarnih i pomjeračkih
- riješiš jednostavne zadatke projektovanja višebitnih registara sa flip-flopovima i logičkim kolima
- objasniš princip rada različitih vrsta brojača – redni, paralelni i kružni brojač
- riješiš jednostavne zadatke projektovanja višebitnih brojača sa flip-flopovima i logičkim kolima.



Uvod

Do sada smo analizirali kombinacione digitalne mreže, kod kojih uspostavljanje stanja na izlazu mreže zavisi samo od trenutne kombinacije signala na ulazu mreže. Trajanje nastalog stanja kod ovih mreža uslovljeno je postojanjem određene kombinacije signala na ulaznim kolima.

Prema načinu uspostavljanja definisanih logičkih stanja – osim kombinacionih – postoje i sekvencijalne digitalne mreže. Sekvencijalne mreže karakteristične su po tome što uspostavljanje jednog stanja u mreži ne zavisi samo od trenutnih stanja,

već i od prethodnog stanja u kome se nalazilo svako pojedinačno kolo. To znači da sekvencijalne mreže sadrže memorijske elemente. Zbog ove činjenice, pri analizi sekvencijalnih mreža uvijek se mora uračunavati i parametar koji definiše vrijeme, odnosno redosljed ili sekvencu vremenskih intervala vezanih za pojedina stanja u mreži.

U ovom poglavlju analiziraćemo registre i brojače kao najvažnije predstavnike sekvencijalnih mreža. Osim njihove analize, pokazaćemo i načine na koji se te mreže realizuju, kao i načine njihove primjene u digitalnoj elektronici.

5.1 Uvod u registre

U trećem poglavlju rekli smo da se flip-flopovi mogu upotrijebiti kao memorijski elementi, jer se kod njih podatak sa ulaza smješta na njihov izlaz. Jedan flip-flop može se koristiti za smještaj samo jednog bita. Zbog toga oni predstavljaju jednomemorijske sklopove. Budući da se informacije u digitalnim mrežama sastoje od više bitova, odnosno višebitnih binarnih riječi, neophodno je imati mreže koje mogu vršiti zapis ili pamćenje ovakvih informacija. U ovu svrhu koriste se **registri**.

S obzirom na namjenu registara, slijedi da se oni sastoje od onoliko flip-floпова koliko ima bitova informacija koja se želi memorisati. Registar sastavljen od n flip-floпова može memorisati informaciju od najviše n bitova. Tu vrijednost, preko svojih izlaza, registar po potrebi prosljeđuje drugim elementima koji sačinjavaju digitalni sistem. Registri se izrađuju u integrisanoj tehnici.

NAPOMENA

Zavisno od dužine registara, procesori mogu biti 8, 16, 32, 64 ili 128-bitni.

Registri se u računarima koriste kao brze memorijske jedinice malog kapaciteta za privremeno smještanje ulaznih i izlaznih podataka, kao i za smještanje međurezultata odgovarajućih operacija. Ovi registri nalaze se u procesoru, i čine najbrže memorije u računaru. Broj flip-floпова u registru je stepen broja 2, pa se registri realizuju kao 8, 16, 32, 64, 128-bitni.

Registri se mogu koristiti za povezivanje blokova u sistemu koji rade sa različitim brzinama, pri pretvaranju serijskog u paralelni kod; i obrnuto, mogu imati ulogu statusnih uređaja u kojima se nalaze podaci o trenutnom stanju odgovarajućih uređaja (zauzet, slobodan i sl.)...

Više registara u strukturi čini memoriju. Memorija čuva više višebitnih binarnih riječi. Proizvod broja registara u memoriji i dužine registra predstavlja kapacitet memorije.

Višebitni binarni broj koji je memorisan u registru zove se **sadržaj registra**. Unošenje sadržaja u registar zove se **upis** ili **upisivanje** sadržaja. Preuzimanje sadržaja iz registra zove se čitanje (učitavanje) sadržaja, ili kraće: **ispis**. Prije bilo kakve operacije registar se mora dovesti u stanje logičke nule, što predstavlja **resetovanje** registra. Podaci se mogu upisivati u registar ili čitati iz registra na dva načina: paralelno ili serijski (redno). Kod memorijskih elemenata (memorija) veoma važan podatak jeste i **adresa memorijske lokacije**, koja predstavlja višebitni binarni broj koji definiše tačno određen registar kako bi se u njega upisao ili iz njega pročitao podatak.

5.1.1 Vrste registara

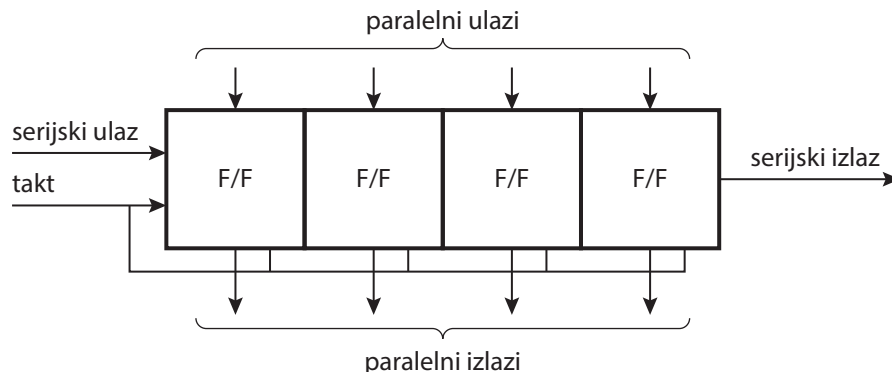
U zavisnosti od namjene, postoji više vrsta registara. Postoje registri kod kojih se binarni podatak dovodi paralelno na sve flip-flopove, te se upis takvog višebitnog podatka vrši u toku jednog taktnog impulsa. Ovakvi registri nazivaju se **stacionarni registri**. Na primjer, da bi se jedan osmo-bitni binarni broj upisao u stacionarni registar i iz njega pročitao, potrebna su dva takt-impulsa – jedan za upis a drugi za čitanje. Ovakvi registri su procesorski registri, i imaju veliku brzinu rada. Stacionarni registri drugačije se zovu i paralelno-paralelni registri, jer imaju paralelne ulaze i paralelne izlaze, odnosno upis u registar je paralelan i ispis iz registra je paralelan, istovremen za sve bitove koji se upisuju ili čitaju.

Drugu vrstu registara čine **pomjerački (shift) registri**. Kod pomjeračkih registara podaci se serijski prenose iz jednog u drugi flip-flop, i kod njih je za upis informacije potrebno onoliko takt-impulsa koliko registar ima flip-floпова. Pomjerački registri sporiji su od stacionarnih registara onoliko puta koliko u sebi sadrže flip-floпова. Pomjerački registri mogu biti: serijsko-paralelni (serijski ulaz i paralelni izlaz), paralelno-serijski (paralelni ulaz i serijski izlaz) i serijsko-serijski registri (serijski ulaz i serijski izlaz). Znači, kod pomjeračkih registara ulaz i/ili izlaz registra mora biti serijski.

Pomjerački registri imaju primjenu kod hardverskih realizacija aritmetičkih operacija – množenja i dijeljenja, kao i kod realizacije drugih složenih operacija.

Višebitni registri imaju: serijski ili paralelni ulaz, serijski ili paralelni izlaz, takt-ulaz (često se takt-ulaz – takt označava sa CLK ili CLOCK) i niz upravljačkih signala za upis i čitanje: *Write*, *Read*, *Write/Read*, *Clear* ili *Reset*, *Set* itd., kojima se upravlja vrijeme upisa u registar ili čitanja iz registra, kao i postavljanje registra u stanje 0 (resetovanje) ili u stanje 1 (setovanje).

Na slici 5.1 prikazana je blok-šema univerzalnog 4-bitnog registra sa paralelnim i serijskim ulazima i izlazima i takt-ulazom. F/F je skraćenica za jednomemorijski flip-flop.

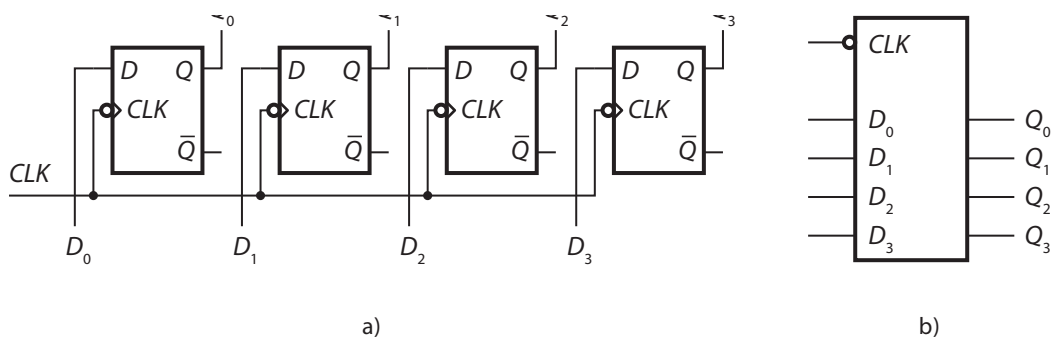


Slika 5.1 Blok-šema univerzalnog 4-bitnog registra

5.1.1.1 Stacionarni registri

Stacionarni registri koriste se za privremeno memorisanje digitalnih informacija. Podatak zapamćen u stacionarnom registru ostaje u njemu u neizmijenjenom obliku. Po tom svojstvu registar je i dobio naziv stacionarni. Najčešće se koriste registri kapaciteta 8 bita ili više, koji memorišu podatak dužine jednog ili više bajta.

Za realizaciju stacionarnog registra mogu se koristiti D flip-flopovi. Na slici 5.2a) prikazana je logička šema četvorobitnog stacionarnog registra realizovanog pomoću D flip-flopova, a na slici 5.2b) njegova blok-šema.



Slika 5.2 a) Logička šema 4-bitnog stacionarnog registra sa D flip-flopovima i b) blok-šema stacionarnog registra

Upis podataka u registar vrši se pod dejstvom taktnog signala, istovremeno u sve flip-flopove. Flip-flopovi mijenjaju stanje na svom izlazu nailaskom silazne ivice takt-signala, jer je ulaz za takt komplementiran. Taktni impulsi usklađuju odnosno sinhronizuju rad registra. Ulaz CLK predstavlja ulaz za takt-signal.

Važno je napomenuti da se upisivanjem novog podatka nepovratno gubi sadržaj koji je u registru prethodno zapisan.

5.1.1.2 Pomjerački registri

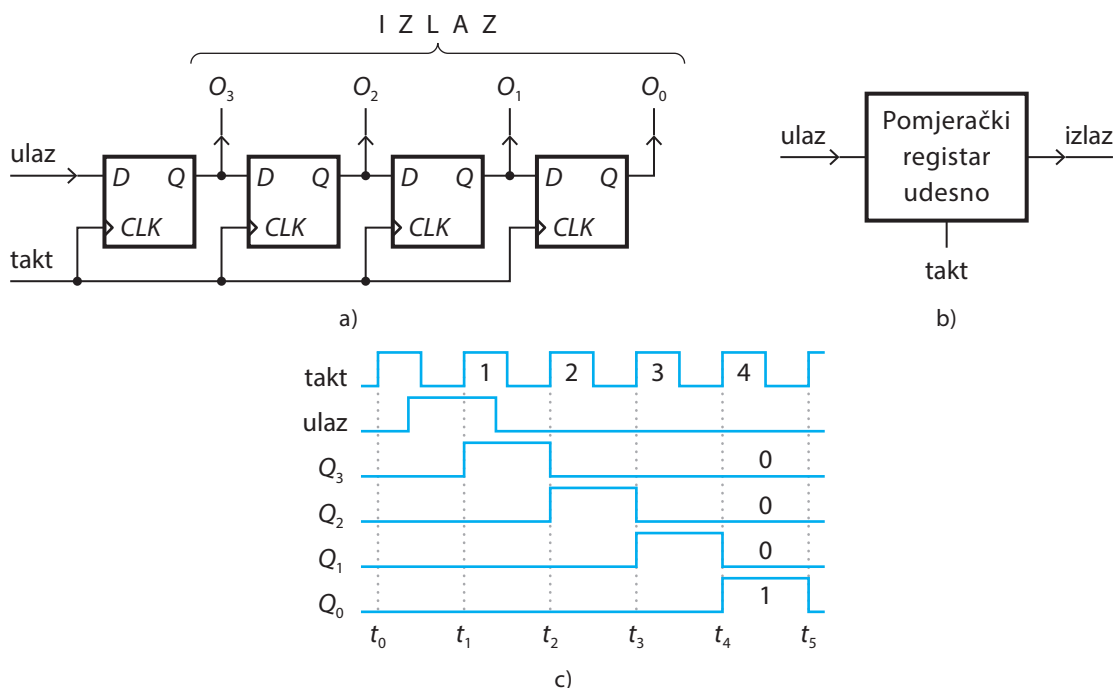
Pomjeranje binarnih cifara (bitova) jedan je od osnovnih postupaka u računarima. Sklop koji omogućava pomjeranje svog sadržaja unutar samog sebe, ne mijenjajući redosljed bitova, naziva se **pomjerački registar** (engl. *shift register*).

Pomjerački registar sadrži skup međusobno povezanih flip-flopova sa zajedničkim taktom. U ovom slučaju flip-flopovi su povezani redno, tako da je izlaz Q svakog flip-flopa u nizu spojen na ulaz sljedećeg. Pri tome se u svakoj periodi takta cjelokupan sadržaj registra pomjera za po jedan bit, od ulaza ka izlazu posljednjeg flip-flopa u nizu. Na taj način memorisani podatak, pod dejstvom zajedničkog taktnog signala, pomjera se bit po bit od jednog do drugog flip-flopa.

Da bi se u registar smjestio podatak koji se sastoji od n bitova, potrebno je n taktnih impulsa. Potrebno je isto toliko taktnih impulsa i da bi se taj serijski broj pročitao iz istog registra.

Pomjeranje može da bude udesno ili ulijevo. Realizuju se i **obostrani pomjerački registri** kod kojih se, u zavisnosti od nivoa kontrolnog signala, pomjeranje vrši ulijevo ili udesno. Postoje i kružni registri, gdje se pročitani bit sa izlaza registra vraća na njegov ulaz.

Na slici 5.3a) prikazana je logička šema 4-bitnog pomjeračkog registra udesno, sa serijskim ulazom i serijskim izlazom, u realizaciji sa D flip-flopovima.



Slika 5.3 a) Logička šema 4-bitnog pomjeračkog registra sa serijskim ulazom i serijskim izlazom sa D flip-flopovima, b) blok-šema pomjeračkog registra udesno, c) vremenski dijagrami signala na izlazu registra

Digitalni podatak dovodi se na prvi u nizu flip-flopora, i poslije prvog takt-impulsa smješta u prvi flip-flop. Po nailasku drugog takt-impulsa, ovaj bit se prosljeđuje sa izlaza prvog na izlaz drugog flip-flopa, dok se istovremeno na izlaz prvog prosljeđuje nailazeći bit. Sljedećim takt-impulsom vrši se dalje prosljeđivanje bitova na sljedeći flip-flop, odnosno vrši se njihovo pomjeranje udesno.

Blok-šema pomjeračkog registra udesno data je na slici 5.3b).

Vremenski dijagrami izlaza pomjeračkog registra udesno dati su na slici 5.3c).

Ilustrujmo princip rada pomjeračkog registra na primjeru smještanja informacije od 4 bita 1011, podrazumijevajući da je stanje u registru prije nailaska informacije bilo stanje – 0000.

PRIMJER 5.1

Ako je 0000 početno stanje 4-bitnog pomjeračkog registra udesno i ako se na njegov ulaz dovodi podatak 1011, odredi sadržaj registra poslije prvog, drugog, trećeg i četvrtog taktnog impulsa.

Rješenje:

Početno stanje: 0000

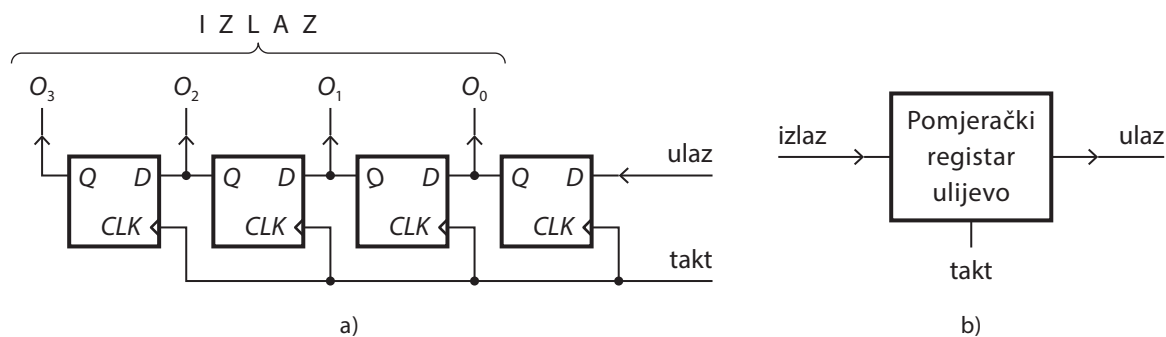
Stanje nakon 1. taktnog impulsa: 1000

Stanje nakon 2. taktnog impulsa: 1100

Stanje nakon 3. taktnog impulsa: 0110

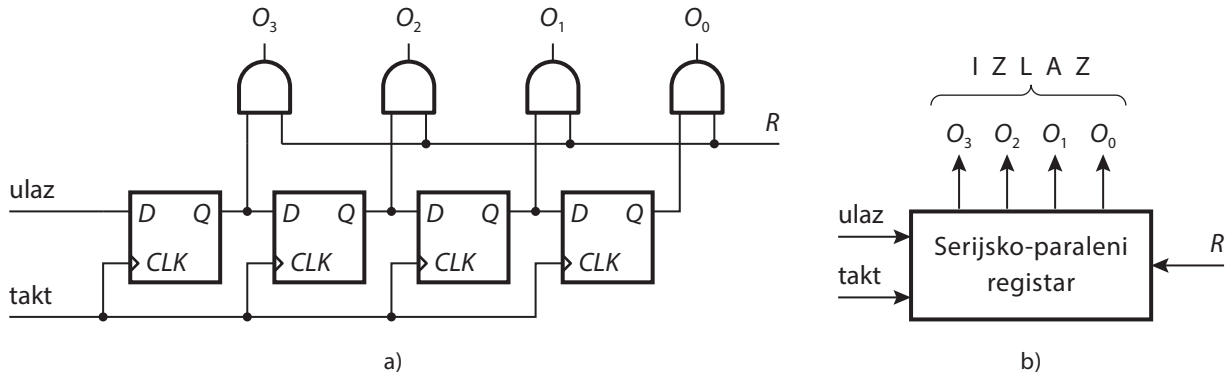
Stanje nakon 4. taktnog impulsa: 1011

Rekli smo da pomjerački registri mogu da prenose podatke zdesna ulijevo. Na slici 5.4a) prikazana je logička šema pomjeračkog registra ulijevo, dok je na slici 5.4b) prikazana blok-šema pomjeračkog registra ulijevo.



Slika 5.4 Pomjerački registar ulijevo: a) logička šema, b) blok-šema

Očitavanje podataka kod pomjeračkih registara može biti i paralelno. Na taj način omogućeno je očitavanje n -bitne informacije za vrijeme samo jednog takt-impulsa. Na slici 5.5a) prikazana je logička šema pomjeračkog registra sa paralelnim očitavanjem podataka, a na slici 5.5b) njegova blok-šema. Registar na slici je serijsko-paralelni, što znači da se podaci upisuju serijski a ispisuju paralelno.



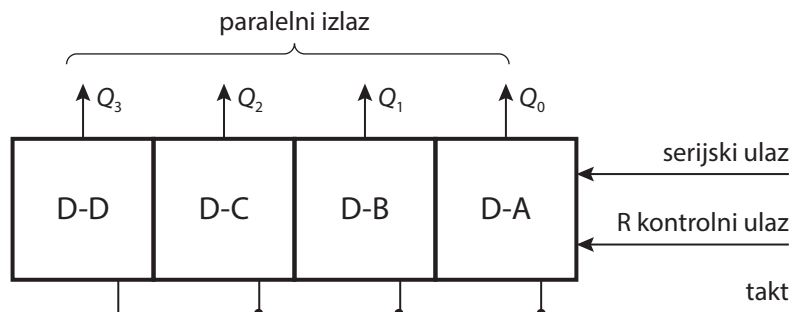
Slika 5.5 Pomjerački registar sa paralelnim očitavanjem podataka: a) logička šema i b) blok-šema

Izlaz svakog flip-flopa priključen je na po jedan od ulaza I kola, na čiji se drugi ulaz dovodi kontrolni signal R . Po unošenju podataka, pomoću kontrolnog signala R , za slučaj $R = 1$, digitalna informacija na izlazima flip-flopa direktno se prosljeđuje na izlaze I kola, gdje se očitava.

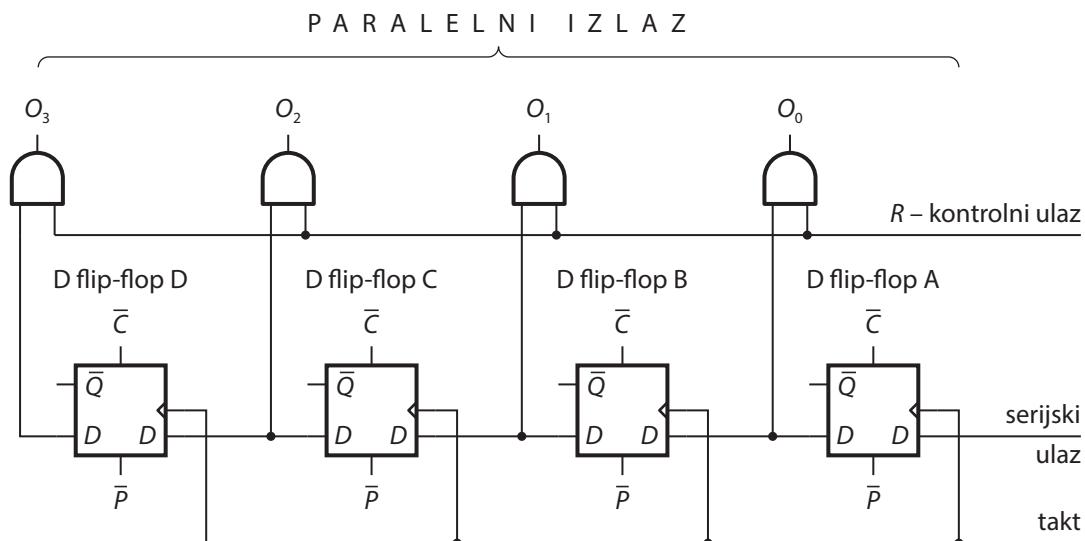
PRIMJER 5.2

Projektuj 4-bitni serijsko-paralelni četvorobitni registar ulijevo, blokovski i pomoću logičke šeme, koristeći D flip-flove.

Rješenje: Zadati registar sastoji se od četiri D flip-flopa A , B , C i D . Serijski ulaz registra je D ulaz D flip-flopa A (krajnji desno). Flip-flopi se vežu serijski između sebe – izlaz Q prethodnog stepena veže se na ulaz D sljedećeg stepena. Paralelni izlazi registra su Q_0 , Q_1 , Q_2 i Q_3 . Izlaz svakog flip-flopa priključen je na po jedan od četiri ulaza I kola, na čiji se drugi ulaz dovodi kontrolni signal R . Za slučaj $R = 1$, digitalna informacija na izlazima flip-flopa direktno se prosljeđuje na izlaze I kola, gdje se paralelno očitava. Upravljački takt veže se paralelno na sve flip-flove. Asinhroni reset-ulaz flip-flopa $\bar{C}$ može se iskoristiti za resetovanje registra tako što će se svi ulazi flip-flopa vezati paralelno. Resetovanje registra desiće se kada se na ovaj zajednički ulaz dovede logička nula, zato što je ovaj ulaz komplementiran. Na slikama 5.6 i 5.7 prikazana je blokovska i logička struktura 4-bitnog serijsko-paralelnog registra ulijevo, sa četiri jednomemorijska D flip-flopa.



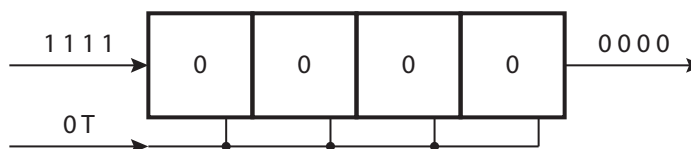
Slika 5.6 Blokovska struktura 4-bitnog serijsko-paralelnog registra ulijevo sa D flip-flopovima



Slika 5.7 Logička šema 4-bitnog serijsko-paralelnog registra ulijevo sa D flip-flopovima

PRIMJER 5.3

Na ulaz serijsko-serijskog registra doveden je četvorobitni binarni broj 1111_2 , kako je prikazano na slici 5.8. Prikaži blokovski sadržaje registra na ulazu, u registru i na izlazu registra. Izračunaj ukupno vrijeme upisa i ispisa ako je frekvencija takt-impulsa $f = 100 \text{ MHz}$ (registar je prije početka upisa bio resetovan).

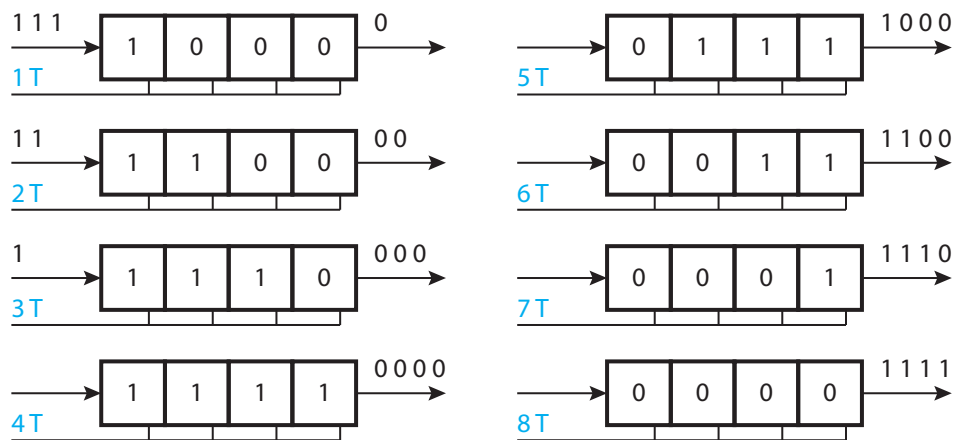


Slika 5.8 Serijsko-serijski 4-bitni registar sa brojem 1111_2 na ulazu

Rješenje: Registar na slici 5.9 vrši upis 4-bitnog broja sa lijeve strane i pomjera ga udesno za jedan bit, za vrijeme jednog takt-intervalu. Za upis 4-bitnog broja potrebna su četiri takt-intervalu, i za ispis isto toliko, što znači – ukupno osam takt intervalu. Na slici 5.9 prikazan je sadržaj registra za svih osam takt intervalu. Iz date frekvencije može se izračunati perioda takta:

$$T = \frac{1}{f} = 10 \text{ ns.}$$

Ukupno vrijeme je: $t_{uk} = 8 \cdot T = 80 \text{ nsec.}$

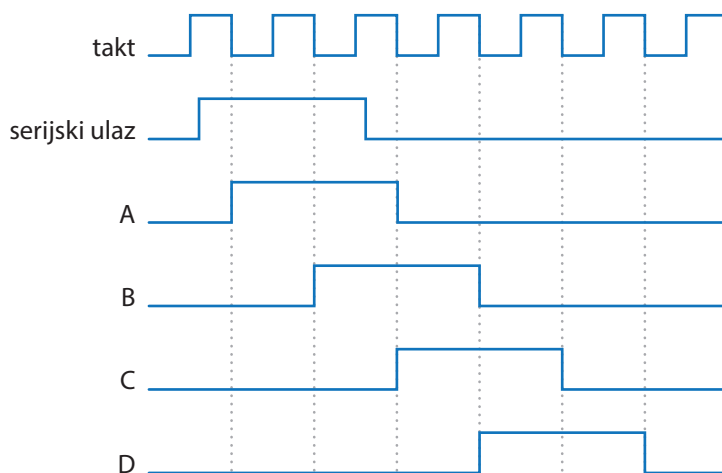


Slika 5.9 Sadržaji pomjeračkog registra

PRIMJER 5.4

Na ulaz serijsko-serijskog registra doveden je četvorobitni binarni broj 1111_2 . Prikaži vremenske dijagrame na izlazima flip-flopova A , B , C i D ako se za realizaciju pomjeračkih registara koriste D flip-flopovi koji se okidaju na silaznu ivicu takt-impulsa. Svi flip-flopovi bili su resetovani na početku.

Rješenje: Promjena stanja na izlazima flip-flopa desiće se na silaznoj ivici takt-signalu. Nailaskom prve silazne ivice takt-signalu, flip-flop A se setuje a ostali flip-flopovi ostaju u stanju logičke nule. Nailaskom druge silazne ivice, flip-flop B se setuje, a prvi ostaje u stanju logičke jedinice, jer se opet na njegov ulaz S dovodi logička jedinica. Druga dva flip-flopa C i D ostaju u stanju logičke nule. Poslije četiri silazne ivice takta, setuju se svi flip-flopovi (slika 5.10).



Slika 5.10 Vremenski dijagrami izlaza 4-bitnog pomjeračkog registra

Provjera usvojenih znanja

1. Definiši pojam sekvencijalne mreže i razliku u funkcionisanju u odnosu na kombinacionu mrežu.
2. Navedi osnovnu podjelu sekvencijalnih kola i pojasni njihovu primjenu u praksi.
3. Objasni kako se vežu flip-flopovi kod stacionarnih a kako kod pomjeračkih registara.
4. Objasni koja je uloga upravljačkog takt-signalu kod registra.
5. Nacrtaj blok-šemu četvorobitnog stacionarnog registra i objasni način njegovog rada.
6. Nacrtaj blok-šemu četvorobitnog pomjeračkog registra i objasni način njegovog rada.
7. Objasni na koji način korisnik može uspostaviti kontrolu upisa i ispisa u registar ili iz registra.
8. Navedi registre koji se koriste u procesoru računara i izvrši njihovu klasifikaciju prema upisu, ispisu, brzini rada, kapacitetu i kontroli upisa i ispisa njihovih sadržaja.
9. Objasni ulogu sinhronih i asinhronih ulaza flip-flopa u projektovanju registara i kontrole njihovog upisa i ispisa.
10. Izračunaj broj takt-impulsa za upis osmobarne binarne riječi u stacionarni i pomjerački registar ako je trajanje jednog takta $T = 10 \text{ ns}$.
11. Nacrtaj blokovsku strukturu četvorobitnog kružnog registra ako je serijski upis sa desne strane.

5.2 Brojači

5.2.1 Uvod u brojače

NAPOMENA

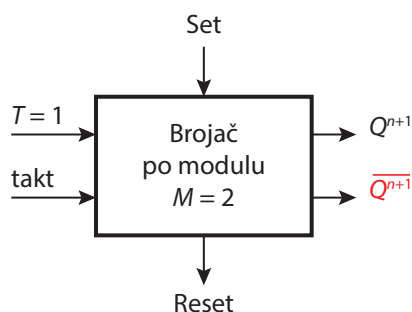
Obostrani ili dvosmjerni brojači nazivaju se i **reverzibilni** brojači. Jedno brojanje brojača vrši se za vrijeme trajanja jednog takta.

Brojači su digitalni uređaji koji na svom izlazu generišu binarne kombinacije signala u određenom redosljedu, tako da se mogu tumačiti kao niz uzastopnih brojeva. Kako niz brojeva može da raste ili opada, tako i brojači mogu da broje unaprijed ili unazad (*up* i *down* brojači). Ako su brojači *up*, onda niz brojeva pri brojanju raste (brojanje unaprijed); ako je brojač *down*, onda niz brojeva pri brojanju opada (brojanje unazad). Postoje i obostrani (dvosmjerni) brojači koji imaju mogućnost brojanja u oba smjera. Zavisno od smjera brojanja, početno stanje brojača podešava se tako da odgovara najmanjoj ili najvećoj vrijednosti odgovarajućeg opsega brojanja.

5.2.1.1 Parametri brojača

Brojači se mogu opisati pomoću: blok-šeme, modula brojanja, prstenastog dijagrama brojanja, tablice brojanja, tabele prelaza stanja brojača, sekvence brojanja u dekadnom i binarnom brojnom sistemu, strukture sa flip-flopovima, tabele prelaza, karakterističnim jednačinama i pomoću vremenskih dijagrama na izlazima flip-flopa.

Blok-šema brojača predstavlja blokovski prikaz ulaza i izlaza brojača. Ulaz brojača predstavlja ulaz za takt (koji omogućava brojanje), upravljačke ulaze za smjer brojanja brojača, ulaze za setovanje ili resetovanje brojača (koji postavljaju brojač u početno stanje prije brojanja). Na ulazu brojača se nalazi i ulaz flip-flopa koji broji. Izlazi brojača su binarni izlazi, koji predstavljaju izlaze flip-flopa od kojih se prave brojači. Kao što smo napomenuli u poglavlju 3, T flip-flop koristi se za projektovanje binarnih brojača. Jedan T flip-flop broji po modulu 2, 01010101 itd. ako broji unaprijed, i 101010101 itd. ako broji unazad. Početno stanje brojača koji broji unaprijed jeste 0, a za brojač koji broji unazad je 1.



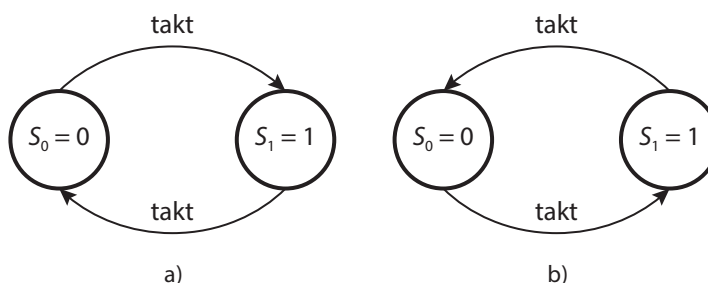
Slika 5.11 Blok-šema brojača po modulu $M = 2$

Na slici 5.11 prikazana je blok-šema brojača pomoću T flip-flopa koji broji po modulu $M = 2$.

Modul brojanja brojača (osnova brojanja) predstavlja broj stanja u kojima može biti brojač. Na primjer, ako je modul brojanja $M = 2$, to znači da brojač može biti u stanju 0 ili u stanju 1. To su ukupno dva stanja, što predstavlja modul brojanja. Broj flip-flopa u brojaču zavisi od modula

brojanja brojača. Ako je modul brojanja $M = 2$ (2^1), onda je za njegovu realizaciju potreban jedan flip-flop. Za modul brojanja $M = 4$ (2^2) potrebna su dva flip-flopa, i tako redom. Broj flip-flopa predstavlja eksponent broja 2 od modula brojanja. Za modul brojanja $M = 10$, pošto 10 nije stepen broja 2, uzima se prvi veći stepen, pa su za realizaciju ovog brojača potrebna četiri flip-flopa. Pošto je $2^4 = 16$, to znači da se koristi 10 stanja za brojanje i šest stanja ostaje slobodno. Eliminisanje šest nepotrebnih stanja dobija se različitim spregama flip-flopa.

Prelazak jednog stanja u drugo vrši se dovođenjem takt-impulsa. Stanja flip-flopa u ovom slučaju označavamo sa S_0 i S_1 . Dijagram u kome se vidi način brojanja brojača kroz promjenu njegovih stanja zove se prstenasti dijagram brojanja. Početno stanje brojanja brojača zavisi od toga da li brojač broji naviše ili naniže. Ako je brojač naviše, njegovo početno stanje je $S_0 = 0$, a ako je brojač naniže, onda je njegovo početno stanje $S_1 = 1$. Na slici 5.12 a) i b) prikazan je prstenasti dijagram brojanja brojača za modul $M = 2$, a) brojač unaprijed, b) brojač unazad.



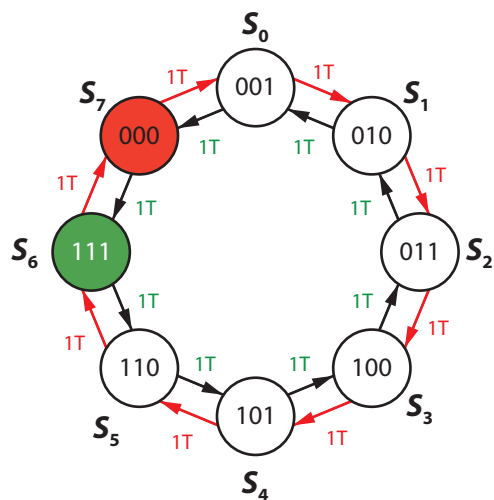
Slika 5.12 Prstenasti dijagram brojanja brojača: a) brojač unaprijed, b) brojač unazad po modulu $M = 2$

Tabela 5.1 Tabela brojanja brojača po modulu $M = 4$

n		$n+1$ (up)		$n+1$ (down)	
A	B	A	B	A	B
0	0	0	1	1	1
0	1	1	0	1	0
1	0	1	1	0	1
1	1	0	0	0	0

Tabela brojanja brojača predstavlja zavisnost stanja brojača prije i poslije brojanja, za kompletan modul brojanja brojača. Tablica brojanja brojača treba da prikaže pun modul brojanja – punu sekvencu brojanja, jer se ostale sekvence ponavljaju. U tabeli 5.1 prikazano je brojanje brojača za modul $M = 4$ za brojač unaprijed i brojač unazad, gdje je n stanje brojača prije brojanja, a $n + 1$ stanje brojača poslije brojanja za brojanje unaprijed (up) i za brojanje unazad (down). Početno stanje za brojač up je stanje 00 (reset) a početno stanje za brojač down je 11 (set). Za realizaciju ovog brojača potrebna su dva flip-flopa ($4 = 2^2$), čiji su izlazi označeni sa A i B.

Brojanje brojača traje dok ima takt-signal, po pravilu jedan takt (1 T) – jedno brojanje. Sekvenca brojanja po modulu brojanja $M = 2$ ista je u dekadnom i binarnom brojnom sistemu (0101010101... za brojač unaprijed i 10101010101... za brojač unazad). Na slici 5.13 prikazan je prstenasti dijagram brojanja brojača za modul $M = 8$, sa binarnom i dekadnom sekvencom brojanja za brojač unaprijed i brojač unazad:



Slika 5.13 Prstenasti dijagram brojanja brojača: a) brojač unaprijed, b) brojač unazad, po modulu $M = 8$, sa sekvencama brojanja u binarnom sistemu

Brojač ima osam stanja brojanja, koja su označena slovima $S_0, S_1, S_2, S_3, S_4, S_5, S_6$ i S_7 , a koji odgovaraju binarnim stanjima brojača redom 000, 001, 010, 011, 100, 101, 110 i 111. Ako je brojač unaprijed, njegovo početno stanje je 000 (crveni krug); ako je brojač unazad, onda je njegovo početno stanje 111 (zeleni krug), nakon čega se stanja brojača mijenjaju prema stanjima u smjeru strelica, do susjednog stanja. Pošto se radi o brojaču po modulu $M = 8$, u oba slučaja brojač ima osam stanja za prvi prolazak kroz prstenasti dijagram. Broj prolazaka – brojanja brojača, zavisi od broja takt-impulsa. Za brojanje u jednoj sekvenci brojanja potrebno je osam takt-impulsa. Za vrijeme od jednog takt-impulsa brojač napravi jedno brojanje, odnosno prelazi iz prethodnog stanja u sljedeće stanje. Stanja bistabila su definisana (slika 5.13) od tri bita, jer je $M = 8 = 2^3$.

U tabeli 5.2 prikazana je tabela brojanja brojača za modul $M = 8$ za brojač unaprijed i brojač unazad, gdje je n stanje brojača prije brojanja, a $n + 1$ stanje brojača poslije brojanja, za brojanje unaprijed (*up*) i za brojanje unazad (*down*). Za realizaciju ovog brojača potrebna su tri flip-flopa ($8 = 2^3$), čiji su izlazi označeni sa A, B i C.

Tabela 5.2 Tabela brojanja brojača po modulu $M = 8$

n			$n+1$ (<i>up</i>)			$n+1$ (<i>down</i>)		
A	B	C	A	B	C	A	B	C
0	0	0	0	0	1	1	1	1
0	0	1	0	1	0	1	1	0
0	1	0	0	1	1	1	0	1
0	1	1	1	0	0	1	0	0
1	0	0	1	0	1	0	1	1
1	0	1	1	1	0	0	1	0
1	1	0	1	1	1	0	0	1
1	1	1	0	0	0	0	0	0

Tabela prelaza stanja brojača omogućava dobijanje kombinacionih jednačina za ulaze flip-floпова u funkciji njegovih izlaza. Ulazne kombinacije u tabeli prelaza stanje predstavljaju izlaze flip-floпа u n -tom i u $n + 1$ trenutku. Na osnovu tih kombinacija pišu se kombinacije ulaza flip-floпова iz njihove tabele istinitosti.

Prethodne tvrdnje mogu se dokazati pomoću tablice prelaza JK flip-floпа. Tabela prelaza pokazuje zavisnost prethodnog i sadašnjeg stanja JK flip-floпа od njegovih ulaza J i K . Crta se iz tablice istinitosti JK flip-floпа. U tabeli 5.3a) data je tablica istinitosti JK flip-floпа, a u tabeli 5.3b) njenojeva tablica prelaza:

Tabela 5.3 JK bistabil: a) tablica istinitosti, b) tablica prelaza

J	K	Q^n	Q^{n+1}	$\overline{Q^{n+1}}$
0	0	0	0	1
0	0	1	1	0
0	1	0	0	1
0	1	1	0	1
1	0	0	1	0
1	0	1	1	0
1	1	0	1	0
1	1	1	0	1

a)

Q^n	Q^{n+1}	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

b)

Iz tablice prelaza može se vidjeti da su ulazi J i K u stanju logičke jedinice ako je flip-flop u stanju brojanja (stanje x može biti ili 1 ili 0 – bilo šta). U tablici brojanja brojača definišu se stanja izlaza flip-floпа prije i poslije brojanja, na osnovu modula brojanja, i na osnovu prethodnih i sadašnjih stanja (stanja poslije brojanja) pišu se kombinacije svih ulaza flip-floпа. Pomoću Karnoovih mapa pišu se minimalni oblici funkcija na ulazu flip-floпа (x se može uzeti kao logička 1 za minimizaciju). Postupak se radi posebno za oba smjera brojanja. Na taj način definišu se kombinacije funkcije brojanja svih flip-floпова u brojaču (flip-flop sa najmanjom težinom uvijek broji po modulu $M = 2$).

Primjenom Karnoovih mapa iz tablice prelaza brojača mogu se dobiti minimalne jednačine ulaza flip-floпова A, B i C za oba smjera brojanja:

Brojač unaprijed (UP): $J_A = 1, K_A = 1, J_B = A, K_B = 1, J_C = A \cdot B, K_C = A \cdot B$.

Brojač unazad (DOWN): $J_A = 1, K_A = 1, J_B = \bar{A}, K_B = 1, J_C = \bar{A} \cdot \bar{B}, K_C = \bar{A} \cdot \bar{B}$.

Iz prethodnih Bulovih jednakosti može se uočiti da su ulazi svih JK flip-flo-pova isti, to jest da se pobuđuju istovremeno, pa je tada prenos paralelni i tada JK flip-flop radi kao brojački T flip-flop. Uvođenjem upravljačkog ulaza za smjer brojanja Z , mogu se definisati Bulove jednačine ulaza bi-stabila za reverzibilni brojač:

$$\begin{aligned}J_A &= K_A = 1 \\J_B &= K_B = A \cdot Z + \bar{A} \cdot \bar{Z} \\J_C &= K_C = A \cdot B \cdot Z + \bar{A} \cdot \bar{B} \cdot \bar{Z}.\end{aligned}$$

Ako je upravljački ulaz $Z = 1$, brojač broji unaprijed i kreće od reset-stanja. Ako je $Z = 0$, brojač broji unazad i počinje od najveće vrijednosti iz prstenastog dijagrama, što znači da prije početka rada treba da se setuje. Za resetovanje i setovanje JK flip-flopa u ulozi brojača, koriste se njegovi asinhroni ulazi.

Iz prethodnih jednačina mogu se projektovati svi UP, DOWN i reverzibilni brojači, čiji je modul brojanja stepen broja 2. Na primjer, ako je brojač po modulu $M = 4 = 2^2$ (dva flip-flopa za realizaciju) i ako broji unaprijed, onda su funkcije ulaza dva flip-flopa A i B:

$$\begin{aligned}J_A &= K_A = 1 \\J_B &= K_B = A.\end{aligned}$$

Ako je, na primjer, brojač po modulu $M = 16 = 2^4$ (četiri flip-flopa za realizaciju), i ako broji unazad, onda su njegove karakteristične jednačine ulaza flip-flopa A, B, C i D:

$$\begin{aligned}J_A &= K_A = 1 \\J_B &= K_B = \bar{A} \\J_C &= K_C = \bar{A} \cdot \bar{B} \\J_D &= K_D = \bar{A} \cdot \bar{B} \cdot \bar{C}.\end{aligned}$$

Ako je brojač reverzibilni i broji po modulu $M = 16$, onda su ulazne funkcije flip-flopa A, B, C i D date jednačinama:

$$\begin{aligned}J_A &= K_A = 1 \\J_B &= K_B = A \cdot Z + \bar{A} \cdot \bar{Z} \\J_C &= K_C = A \cdot B \cdot Z + \bar{A} \cdot \bar{B} \cdot \bar{Z} \\J_D &= K_D = A \cdot B \cdot C \cdot Z + \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \bar{Z}.\end{aligned}$$

Za projektovanje sinhronih brojača proizvoljnih modula koriste se posebne tehnike sprege između flip-flopova, a za projektovanje asinhronih brojača proizvoljnog modula koriste se kružni brojači i brojači sa povratnom spregom.

Brojači su sekvencijalne logičke mreže. To znači da su osnovni elementi u brojačkim mrežama memorijski elementi. Prema tome, brojači imaju mogućnost memorisanja, odnosno pamćenja rezultata brojanja izraženog u binarnom obliku. Brojači se projektuju od T brojačkih flip-flopova ili od RS ili JK flip-flopova.

Vremenski dijagrami predstavljaju vremenske funkcije koje pokazuju vremensku zavisnost izlaza svih flip-flopova od kojih se prave brojači. Vremenski dijagrami daju sekvencu brojanja brojača po modulu M , u ritmu promjene takt-signala.

Rad brojača je zasnovan na binarnom brojnom sistemu, pa se zato brojači zovu binarni brojači. Međutim često je potrebna i neka druga osnova brojanja, na primjer dekadni, sa modulom $M = 10$. Ovakvi brojači najčešće se prave sa posebnim povratnim spregama više flip-flopova. Takvi brojači zovu se brojači sa **povratnom spregom**. Svaki flip-flop u binarnim brojačima ima svoj težinski karakter, to jest pozicionu vrijednost. Pri realizaciji brojača primjenjuju se dva glavna koncepta. Prema prvom, sva memorijska kola brojača vezuju redno se, a brojački impulsi dovode se samo na ulaz prvog kola. Ovakvi brojači nazivaju se **redni**, **serijski** ili **asinhroni**. Prema drugom konceptu, brojač sadrži takođe niz redno spregnutih memorijskih kola, ali se brojački impulsi dovode istovremeno na ulaze svih kola. Ovakvi brojači nazivaju se **paralelni** ili **sinhroni**.

Brojači imaju veliku primjenu u praksi. U industriji služe za jednostavno brojanje odgovarajućih proizvoda. U elektrotehnici se koriste za mjerenje periode i učestanosti signala, a u vezi sa tim za mjerenje vremena, brzine i rastojanja. Brojači se koriste i za mjerenje električnih veličina, napona, struje i otpornosti. U računarskoj tehnologiji, brojači se koriste za obavljanje aritmetičkih operacija, za brojanje impulsa, za generisanje upravljačkih signala, za generisanje referentnog napona pri izvođenju A/D i D/A konverzije (što će biti obrađeno u sedmom poglavlju) i slično.

NAPOMENA

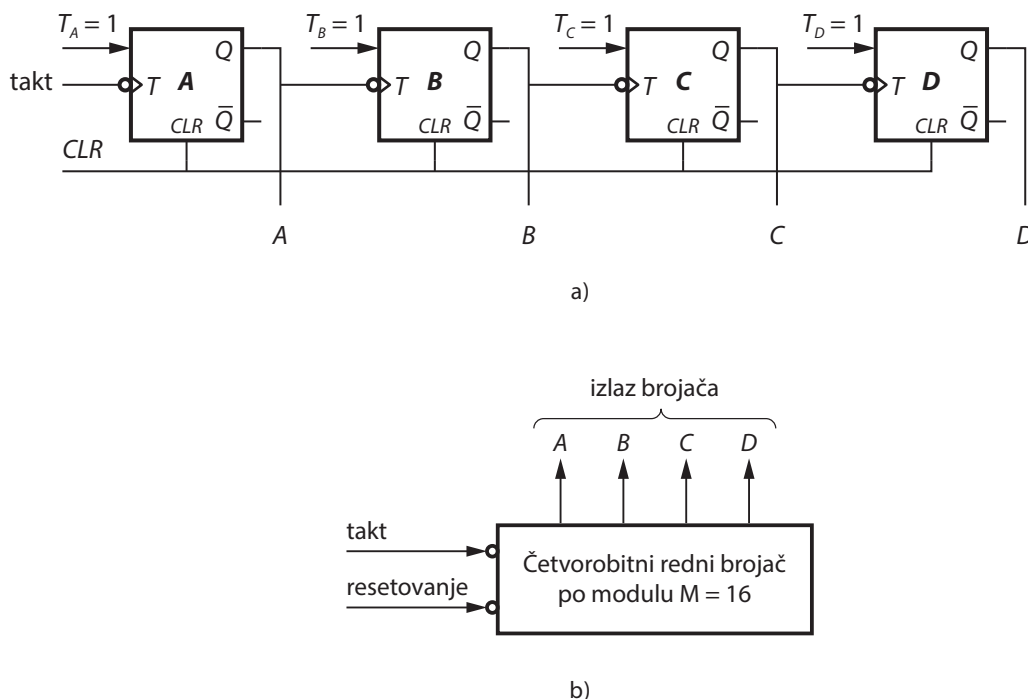
Postoje i redno-paralelni brojači, koji su zasnovani na oba ova koncepta.

5.2.2 Redni brojači

Redni brojači se primjenjuju u slučajevima gdje nisu potrebne velike brzine rada. Kao što smo već rekli, redni brojači funkcionišu tako što se stanje na izlazu prvog flip-flopa mijenja pod uticajem takt-impulsa. Njegov izlaz se zatim koristi za okidanje drugog flip-flopa, i tako redom.

Osnovni element brojačke mreže jeste T flip-flop; kada se na njegov T ulaz dovede logička 1, tada flip-flop broji, odnosno mijenja prethodno stanje na svom izlazu: ako je prethodno bila logička 1, prelazi u logičku 0, i obratno.

Na slici 5.14a) prikazana je logička šema četvorobitnog rednog brojača naviše, koji broji po modulu $M = 16$, a na slici 5.14b) njegova blok-šema.



Slika 5.14 a) Logička šema četvorobitnog rednog brojača naviše po modulu $M = 16$;
b) njegova blok-šema

Pošto je brojač sekvencijalna mreža, prije svega se mora definisati njegovo početno stanje. Kod brojača koji broje unaprijed, za početno stanje uzima se nivo napona na izlazima flip-flopa koji odgovaraju logičkoj nuli. Dakle, u početnom trenutku svi flip-flopi su resetovani. Resetovanje se izvodi dovođenjem impulsa na liniju CLR (resetovanje), koja odgovara logičkoj nuli (zbog kružnice na ulazu za resetovanje). Promjena stanja na izlazu flip-flopa vrši se nailaskom silazne ivice takt-signal (zbog kružnice na ulazu za takt-signal).

Način brojanja ovog brojača može se prikazati pomoću odgovarajuće kombinacione tabele. Pri izradi tabele, stanja na izlazima elemenata brojača, T flip-flopova, određuju se prema opisanom principu rada brojača. Ona se mogu izraziti pomoću dva pravila:

- (1) Prvi flop-flop mijenja stanje pri nailasku svakog takt-impulsa na ulaz.
- (2) Svi ostali flip-flopovi mijenjaju stanje samo kada se u prethodnom flip-flopu uspostavlja stanje logičke nule.

Primjenom ovih pravila dolazimo do tabele 5.4.

Tabela 5.4 Tabela stanja 4-bitnog brojača sa slike 5.15

Takt	<i>D</i>	<i>C</i>	<i>B</i>	<i>A</i>
Početno stanje	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
Početno stanje	0	0	0	0

Iz tabele se može zapaziti da redosljed kombinacija stanja na izlazima elemenata brojača odgovara prirodnom brojanju, izraženom u binarnom brojnem sistemu. Odatle slijedi da se pripisujući kolonama *A*, *B*, *C* i *D* odgovarajuće pozicione vrijednosti, za svaku kombinaciju brojača može izračunati vrijednost izbrojanih impulsa. Na primjer, stanju brojača 1011 odgovara jedanaesti takt-impuls.

Brojač sa slike sadži četiri flip-flopa, odnosno riječ je o 4-bitnom brojaču. Opseg vrijednosti koje ovaj brojač može izbrojati je od 0000 do 1111, što odgovara dekadnim vrijednostima od 0 do 15. Brojni opseg brojača povećava se brojem flip-floпова. Korišćenjem n flip-floпова, opseg brojnih vrijednosti koje brojač može registrovati u dekadnom brojnom sistemu iznosi 2^n .

Posmatranjem vremenskih dijagrama brojača, odnosno kombinacione tabele, dolazimo do još jednog važnog zaključka. Naime, sa dijagrama, odnosno iz tabele, možemo zapaziti da se resetovano stanje u svim stepenima brojača ponovo uspostavlja poslije odbrojanih 2^n impulsa. Zbog toga se vrijednost $M_0 = 2^n$ naziva osnova ili **moduo brojanja**. Binarne četvorostepene mreže, kao što je ona prikazana na slici, imaju osnovu brojanja 16, odnosno modul $M_0 = 16$. Brojači sa ovom osnovom brojanja često se nazivaju heksadecimalni.

Najveća dekadna vrijednost brojača, koja se dobija kada su svi stepeni brojača u stanju logičke jedinice, naziva se **kapacitet brojača**, N_k . Ako znamo moduo brojača, lako možemo odrediti i njegov kapacitet. On je uvijek za jedan manji od vrijednosti modula, tj. važi:

$$N_k = M_0 - 1.$$

Prema tome, kapacitet četvorostepenog brojača je 15.

PRIMJER 5.5

Kakav je binarni brojač potreban da bi mogao brojati do dekadne vrijednosti 1000_{10} ?

Rješenje: Za kapacitet brojača dekadne vrijednosti 1000_{10} biće potreban 10-bitni binarni brojač (odnosno biće potreban 10-stepeni brojač sa 10 flip-floпова) jer je: $N_k = 2^{10} - 1 = 1023$. ■

PRIMJER 5.6

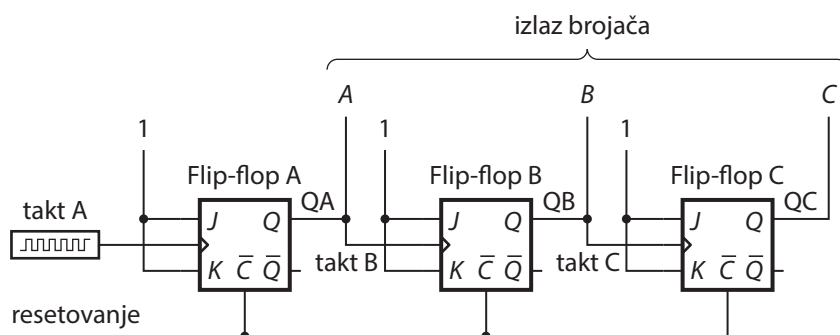
Projektuj redni brojač po modulu $M = 8$ koji broji unaprijed, koristeći JK flip-floповe koji se okidaju na silaznu ivicu takt-impulsa. Nacrtaj tablicu brojanja projektovanog brojača.

Rješenje: Za realizaciju zadatog brojača, koji broji po modulu $M = 8$, unaprijed, potrebna su tri JK flip-flopa ($2^3 = 8$) u rednoj vezi. Izlazi brojača su A , B i C , a njihove težine su, redom: 2^0 , 2^1 i 2^2 . Promjena stanja na izlazu flip-floпова biće u trenutku nailaska silazne ivice takt-signalu. Prvi flip-flop A okida se sa takt-signalom, koji se dovodi sa izlaza takt generatora. Drugi flip-flop B okida se sa

izlazom Q prvog flip-flopa A. Treći flip-flop C okida se sa izlazom Q drugog flip-flopa B. To je zato što brojač broji unaprijed, pa u tom slučaju važe jednačine takta drugog i trećeg flip-flopa:

$$Takt_B = Q_A \text{ i } Takt_C = Q_B.$$

Svi ulazi J i K flip-flopa kratko su spojeni i čine brojački T flip-flop. Na sve brojačke T ulaze flip-flopa A, B i C dovodi se napon logičke 1, pa se oni nalaze u režimu brojanja u trenutku nailaska silazne ivice takta. Prije početka rada flip-flopi se resetuju pomoću asinhronih reset-ulaza $\bar{C}$, dovođenjem logičke 0, jer je asinhroni ulaz komplementiran (slika 5.15).



Slika 5.15 Redni brojač po modulu $M = 8$ koji broji unaprijed, sa JK flip-flopovima

Tablica brojanja projektovanog brojača prikazana je tabelom 5.6.

Tabela 5.6 Tabelarni prikaz rada brojača

Takt	C	B	A
Početno stanje	0	0	0
1T	0	0	1
2T	0	1	0
3T	0	1	1
4T	1	0	0
5T	1	0	1
6T	1	1	0
7T	1	1	1
Početno stanje	0	0	0

Brojač broji po dekadnoj sekvenci 0–7 (000_2 – 111_2) i nastavlja brojanje sve dok ima takt-impulsa. ■

5.2.3 Paralelni brojači

Redni brojači nijesu pogodni za veće kapacitete brojanja, jer im vrijeme uspostavljanja stanja na izlazima stepena zavisi od broja stepeni. Ograničenja u pogledu brzine rada brojača prevazilaze se korišćenjem paralelnih brojača. Kod ovakvih brojača, impulsi se istovremeno dovode na sve flip-flopove, tako da se promjena stanja u svim aktiviranim stepenima obavlja istovremeno. Prema tome, prelazni režim brojača svodi se na vremensko kašnjenje jednog stepena. Da bi se ostvario ispravan rad brojača, odnosno da se stanje izlaza prvog flip-flopa mijenja pri svakom taktnom impulsu, drugog pri svakom drugom taktnom impulsu, trećeg pri svakom četvrtom taktnom impulsu i tako redom, flip-flopovi koji čine paralelni brojač ne mogu se povezati direktno, već posredstvom logičkih kola koja treba da obezbijede zahtijevani rad.

Za realizaciju paralelnih brojača obično se koriste JK flip-flopovi sa okidanjem na silaznu ivicu takt-impulsa.

Rješenje za **dvobitni** paralelni **binarni** brojač biće potraženo kroz analizu stanja izlaza flip-flopa koja su data u tabeli 5.5. Paralelni brojač broji unaprijed, po modulu $M = 4$.

Tabela 5.5 Tabela stanja izlaza dvobitnog paralelnog binarnog brojača unaprijed, po modulu $M = 4$

Takt	B	A
Početno stanje	0	0
1	0	1
2	1	0
3	1	1
Početno stanje	0	0

Stanje izlaza A prvog flip-flopa mijenja se na svaki taktni impuls. Prisjetimo se da JK flip-flop prelazi iz stanja logičke nule u stanje logičke jedinice kada mu je na ulazu J logička jedinica, dok na ulazu K može biti bilo šta. Prelazak iz stanja logičke jedinice u stanje logičke nule vrši se kada je na ulazu K logička jedinica, pri čemu na J ulazu može biti bilo šta. Zaključujemo da će postavljanjem J i K ulaza prvog flip-flopa u stanje logičke jedinice biti ostvaren zahtjev da se stanje izlaza A prvog flip-flopa mijenja na svaki taktni impuls. To znači da prvi flip-flop A broji po modulu $M = 2$, što znači da pri svakom nailasku takt-signalu mijenja svoje stanje na izlazu.

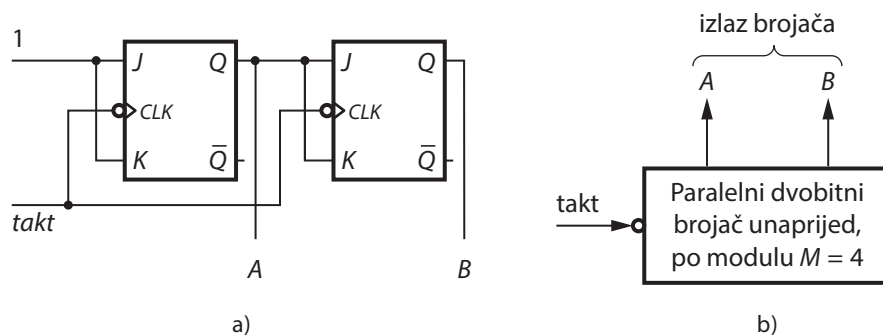
Analogno prethodnom razmišljanju, zaključujemo da izlaz B drugog flip-flopa mijenja stanje kada se pojavi silazna ivica taktnog impulsa ako je $A = 1$. Ovaj zahtjev može se ostvariti ako se ulazi J i K drugog flip-flopa međusobno spoje i povežu na Q izlaz prvog flip-flopa. To znači da drugi flip-flop B mijenja svoje stanje na izlazu nailaskom svakog drugog takt-signala, što je omogućeno vezivanjem izlaza prvog flip-flopa A na J i K ulaz drugog flip-flopa.

Ulazi J i K flip-flopa A i B dati su jednačinama koje se dobijaju iz tabele prelaza JK flip-flopa (tabela 5.3):

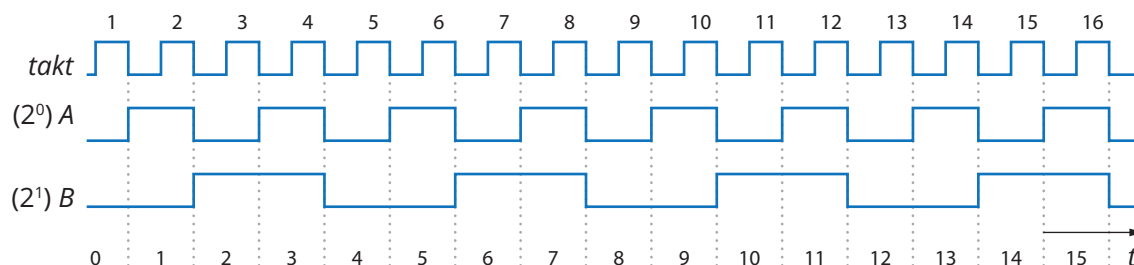
$$J_A = K_A = 1$$

$$J_B = K_B = A$$

S obzirom na to da se okidanje svih flip-flopa vrši istovremeno, stanja na izlazima flip-flopa biće postavljena u skladu sa stanjima zatečenim na ulazima u trenutku pojavljivanja silazne ivice taktnog signala. Na slici 5.16a) prikazana je šema dvobitnog paralelnog brojača unaprijed, modula $M = 4$, a na slici 5.16b) njegova blok-šema. Na slici 5.17 prikazani su vremenski dijagrami izlaznih signala dvobitnog paralelnog brojača unaprijed, sa odgovarajućim težinama, za izlaze brojača A i B , u **15 takt intervala brojanja**.



Slika 5.16 Logička šema paralelnog dvobitnog brojača unaprijed, po modulu $M = 4$ (a) i blok-šema brojača (b)



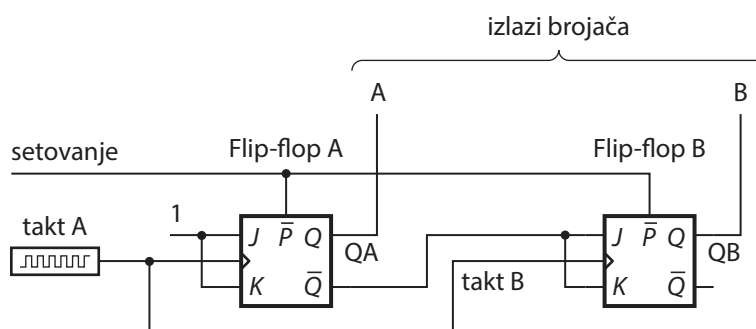
Slika 5.17 Vremenski dijagram signala dvobitnog paralelnog brojača unaprijed, modula $M = 4$

PRIMJER 5.7

Za modul brojanja $M = 16$, broj flip-flopa za njegovu realizaciju bio bi 4, što znači da bismo dodali još dva flip-flopa u prethodnu logičku šemu.

Projektuj paralelni brojač unazad, po modulu $M = 4$, koristeći JK flip-flobove.

Rješenje: Za realizaciju zadatog brojača potrebna su dva JK flip-flopa A i B. Takt-signal i oba flip-flopa vezani su paralelno. Prvi flip-flop A broji po modulu 2 i ima kratko spojene ulaze, vezane na logičku 1, a kratko spojeni ulaz drugog flip-flopa jednak je prethodnom komplementiranom izlazu, prema karakterističnim jednačinama: $J_A = K_A = 1$ i $J_B = K_B = \bar{A}$. Pošto brojač broji unazad, mora se na početku setovati pomoću asinhronog set-ulaza $\bar{P}$, dovođenjem logičke 0 (slika 5.18).



Slika 5.18 Logička šema paralelnog brojača unazad, modula $M = 4$

5.2.4 Kružni brojači

Brojači koje smo do sada opisivali, sačinjeni su od stepena koji su se međusobno povezivali samo idući od ulaza ka izlazu brojača. Izlazi iz ovih brojača nijesu se sprezali ni sa jednim svojim ulaznim stepenom, odnosno bili su slobodni.

Međutim, postoje brojači kod kojih je izlazni stepen spregnut sa ulaznim stepenom. Zbog toga se ovakvi brojači nazivaju **kružni brojači**. Kružni brojači se razlikuju od do sada analiziranih i po broju memorijskih elemenata potrebnih za njihovu konstrukciju. Naime, dok je kod rednih i paralelnih brojača osnova brojanja (modul brojanja) 2^n , kod kružnih brojača je $2n$ ili samo n . To praktično znači da dekadni brojač realizovan kao kružni brojač, mora da sadrži pet, odnosno deset flip-flopa, umjesto četiri, koliko je bilo potrebno kod do sada analiziranih brojačkih mreža. Potreba za povećanim brojem stepena predstavlja

nedostatak kružnih brojača. Međutim, oni imaju i nekih prednosti. Za razliku od binarnih brojača, kružni brojači nemaju težinski karakter, pa se njegovim flip-flopovima ne dodjeljuju težinske vrijednosti. Za projektovanje kružnih brojača najčešće se koriste D flip-flopovi. Povratnom vezom stvara se zatvorena kružna brojačka mreža. Kružni brojači imaju specifičnu sekvencu brojanja, jednostavnu spregu između flip-floпова, pouzdan sinhroni rad, pa se često koriste u digitalnim sistemima. Pomoću kružnog brojača može se projektovati brojač bilo kog modula brojanja. Osnovni nedostatak jeste povećan broj stepeni, odnosno broj flip-floпова u strukturi brojača.

Provjera
usvojenih znanja

1. Objasni princip rada brojača i razliku u strukturi u odnosu na registar.
2. Objasni parametre kojima se može opisati rad brojačke sekvencijalne mreže.
3. Definiši podjelu brojača po kriteriju upravljivosti, smjeru brojanja i modulu brojanja.
4. Navedi primjene brojačkih kola u praksi.
5. Pojasni koji se flip-flopovi mogu koristiti za projektovanje brojačkih mreža.
6. Objasni kako se povezuju flip-flopovi kod sinhronih a kako kod asinhronih brojača.
7. Objasni koja je uloga asinhronih ulaza flip-flopa kod brojačkih mreža.
8. Izračunaj broj flip-floпова potreban za realizaciju brojača ako je modul brojanja $M = 100$.
9. Objasni na koji se način može uspostaviti kontrola brojanja unaprijed i unazad kod sinhronih brojača.
10. Objasni na koji se način može uspostaviti kontrola brojanja unaprijed i unazad kod asinhronih brojača.
11. Objasni odnos kašnjenja kod brojača sa kontrolom smjera brojanja.

Rezime

- Registri i brojači su osnovne sekvencijalne mreže koje se prave od više jednomemorijskih kola, flip-flopova.
- Registri omogućavaju pamćenje višebitnih binarnih riječi. Veličina tih riječi u računarima je stepen broja 2: 8, 16, 32, 64 ili 128 bita.
- Registri mogu biti sa paralelnim ili serijskim ulazom i paralelnim ili serijskim izlazom. Ako se podaci paralelno upisuju u sve flip-flobove registra istovremeno i iz njih paralelno čitaju, onda se takvi registri zovu paralelni ili stacionarni registri. Sadržaj iz takvih registara koji se čita uvijek je isti. Kod stacionarnih registara ne postoji direktna sprega između flip-flopova. Stacionarni registri najčešće se projektuju pomoću JK ili RS flip-flopova.
- Pomjerački registri omogućavaju pomjeranje sadržaja flip-flopa iz jednog u drugi, što se postiže njihovim serijskim vezivanjem. Za projektovanje pomjeračkih registara koristi se D flip-flop za kašnjenje.
- Kombinovani registri mogu imati serijski i paralelni ulaz ili serijski i paralelni izlaz.
- Pomoću upravljačke logike može se vršiti kontrola paralelnog upisa u registar i njegovog paralelnog ispisa i pomjeranje sadržaja pomjeračkog registra ulijevo ili udesno.
- Brojači su sekvencijalne mreže koje na svojim izlazima generišu binarni niz brojeva po željenom rasporedu. Za projektovanje brojača koriste se T flip-floпови.
- Brojači mogu biti paralelni ili serijski u zavisnosti od toga kako se veže upravljački takt-signal za brojanje.
- Obostrani brojači mogu da broje u oba smjera. Takav brojač ima dodatnu upravljačku logiku za izbor smjera brojanja. Ovi brojači zovu se i reverzibilni brojači.
- Brojači se opisuju blok-šemom, tablicom brojanja, strukturom sa flip-flopovima, vremenskim dijagramima izlaza flip-flopova i jednačinama na ulazima flip-flopova koji definišu sekvencu brojanja. Sekvenca brojanja definiše se u dekadnom i binarnom brojnom sistemu. Za vrijeme trajanja jednog takta, brojač obavi jedno brojanje, tj. definiše i generiše jednu sekvencu na izlazima bistabila.
- Paralelni brojači su brži od serijskih brojača zato što se kod paralelnih brojača svi bistabili okidaju u istom trenutku, a kod serijskih brojača okidanje bistabila je protočno: drugi bistabil čeka upravljački signal od prvog bistabila da bi okinuo.
- Upravljačka logika za odabir smjera brojanja, uvodi dodatno kašnjenje u rad brojača, pogotovo kod asinhronih brojača i brojača sa povratnom spregom.
- Kružni brojači i brojači sa povratnom spregom imaju jednostavnu strukturu, ali i manju brzinu rada u odnosu na binarne brojače sa rednom pobudom. Primjena povratnih sprega uvodi kašnjenja kroz pojedine stepene flip-flopa, imajući u vidu da brojački T flip-flop ima dva para ukrštenih povratnih veza u svojoj logičkoj strukturi.
- Brojači imaju veliku primjenu u praksi za brojanje gotovih proizvoda, automobila na parkingu, osoba na ulazu i slično, za mjerenje periode, učestanosti, vremena, brzine, rastojanja, napona, struje i otpornosti. U računarskim sistemima brojači se koriste za obavljanje složenih aritmetičkih i drugih operacija.

Manje poznate riječi

sekvenca – niz

pin – nožica, spoljni priključak na integrisanom kolu

Korisni veb-sajtovi za dodatno proučavanje sadržaja poglavlja

1. <http://mikroelektronika.elfak.ni.ac.rs/digitalna/files/Counters.pdf>
2. <https://www.geeksforgeeks.org/counters-in-digital-logic/>
3. <https://www.youtube.com/watch?v=ialu5SYmWVM>
4. <https://www.ti.com/lit/gpn/cd74hc4017-q1>
5. https://www.electronics-tutorials.ws/sequential/seq_5.html

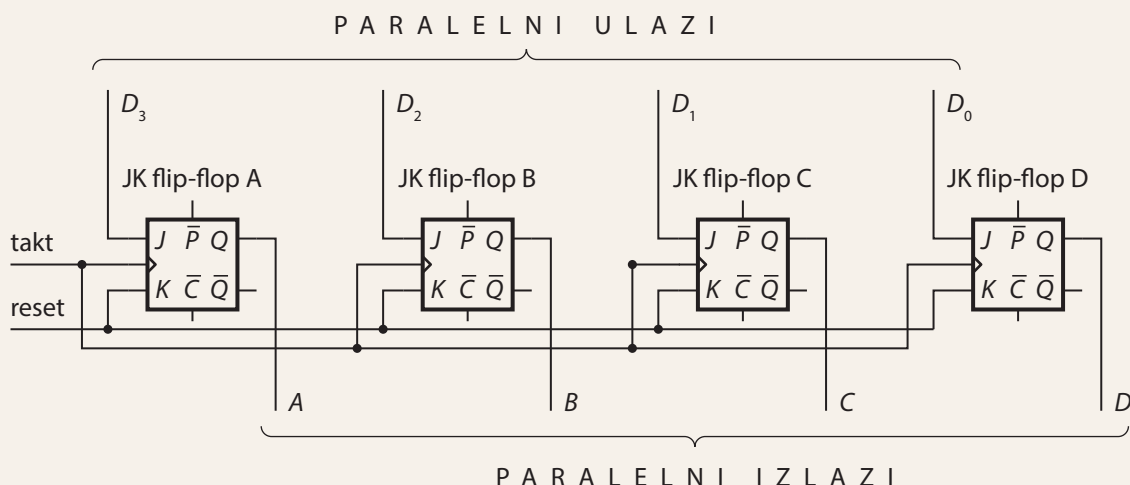
Zadaci za samostalan rad

1. Projektuj četvorobitni stacionarni paralelno-paralelni (PiPo) registar koristeći JK flip-flopove:

- a) bez kontrole za upis i ispis
- b) sa kontrolom za upis i ispis.

Rješenje:

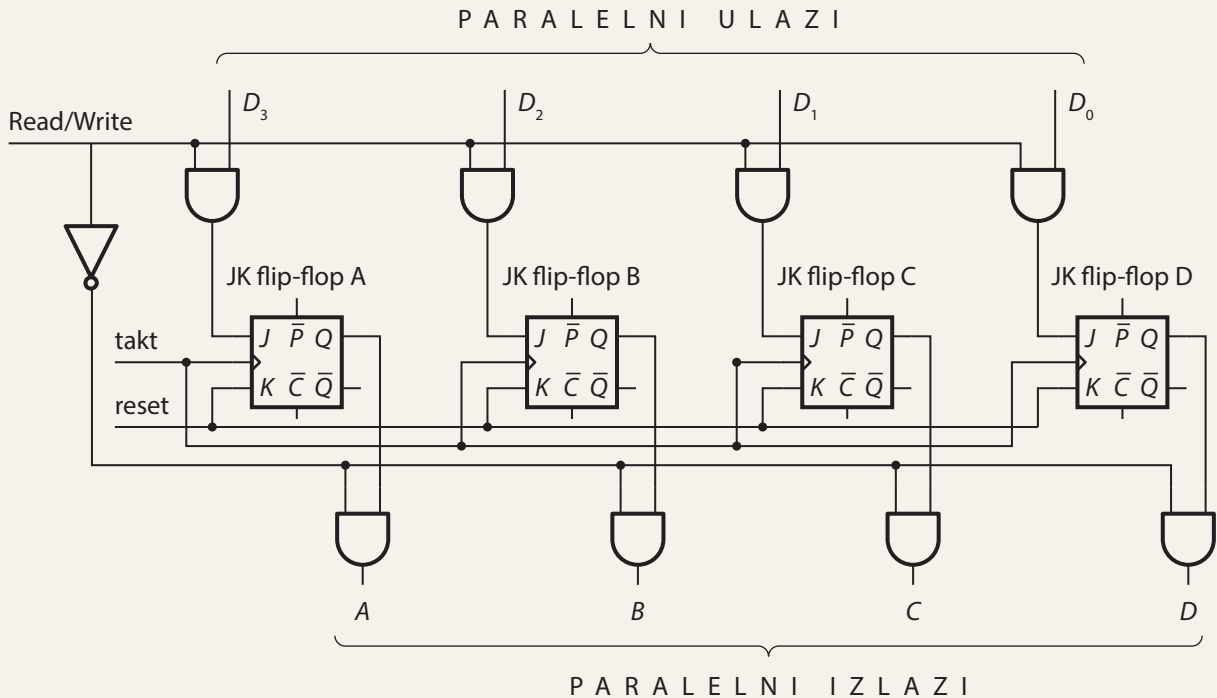
- a) Paralelno-paralelni (PiPo) registar ima četiri paralelna ulaza i četiri paralelna izlaza. Sastoji se od četiri JK flip-flopa koji su vezani u logičku šemu, kao na sljedećoj slici:



Slika uz rješenje zadatka 1a)

Ulaz J kod JK flip-flopa koristi se za paralelni upis četvorobitnog binarnog broja. Slobodan ulaz JK flip-flopa – K ulaz iskoristio se za paralelni upravljački ulaz za resetovanje. Upravljački takt-ulaz dovodi se paralelno na sve flip-flopove, što omogućava istovremeno okidanje svih flip-flopa. Paralelni upis ili paralelni ispis vrši se dovođenjem uzlazne ivice takt-signalu.

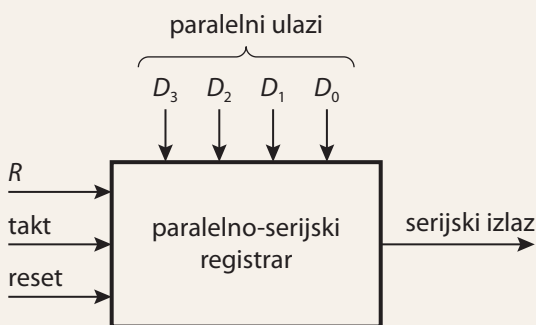
- b) Paralelno-paralelni (PiPo) registar sa kontrolom upisa i ispisa ima četiri paralelna ulaza, četiri paralelna izlaza i upravljački ulaz *Read/Write*, koji omogućava kontrolu rada registra. Na sljedećoj slici prikazana je logička šema četvorobitnog paralelno-paralelnog registra sa JK flip-flopovima sa kontrolom upisa i ispisa.



Slika uz rješenje zadatka 1b)

Logički ulazi za upis i ispis rade komplementirano, pa se mogu povezati invertorom tako da čine jedan upravljački ulaz *Read/Write* (R/W). Ako je R/W = 1, vrši se paralelni upis preko gornja četiri I kola, a preko J ulaza flip-flova. U tom slučaju donja I kola su za kočena, jer je na jednom njihovom ulazu logička 0. Ako je R/W = 0, gornja kola ne provode, već se aktiviraju donja I kola, jer je na njihovom jednom ulazu: $\bar{0} = 1$, što znači da registar vrši paralelni ispis sadržaja ABCD, koji se nalazi na njihovim izlazima Q odgovarajućih flip-flova.

2. Projektuj blok-šemu četvorobitnog paralelno-serijskog registra udesno, sa kontrolnim ulazom *R*. Izračunaj broj takt-intervalu za upis i ispis proizvoljnog četvorobitnog binarnog broja.



Slika uz rješenje zadatka 2

Rješenje:

Četvorobitni paralelno-serijski registar ima četiri paralelna ulaza, jedan serijski izlaz, ulaz za reset, kontrolni ulaz *R* i takt. Blok-šema registra data je na slici lijevo.

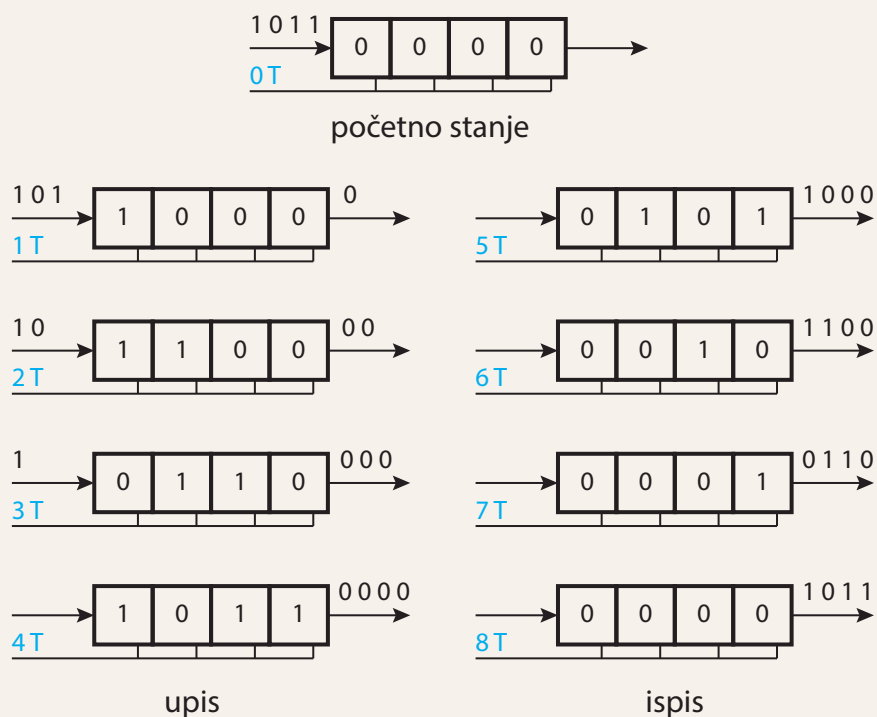
Registar ima četiri paralelna ulaza $D_3D_2D_1D_0$ za paralelni upis podataka i jedan serijski izlaz za serijski ispis podataka. Upis se vrši preko kontrolnog ulaza *R* (i logičkih I kola), gdje se za $R = 1$ binarni broj paralelno upisuje u registar.

Za $R = 0$ broj se pomjera udesno i serijski ispisuje. Pošto registar ima paralele ulaze, za njihov upis potreban je jedan takt-interval. Preko serijskog izlaza broj se može serijski ispisati za četiri takt-intervala. Znači, za upis i ispis četvorobitnog binarnog broja u zadati registar, potrebno je pet takt-interval.

3. Napiši stanja na ulazu, u registru i na izlazu četvorobitnog serijsko-se-rijskog registra ako se na njegov serijski ulaz dovede binarna informacija 1011_2 i ako se upis vrši sa lijeve strane a ispis sa desne strane. Izračunaj za koliko se vremena obavi upis i ispis binarne informacije ako je trajanje takt-signalu $T = 1 \text{ ns}$.

Rješenje:

Na sljedećoj slici prikazana su stanja na ulazu, u registru i na izlazu registra pri serijskom upisu i ispisu zadatog četvorobitnog broja 1011_2 .



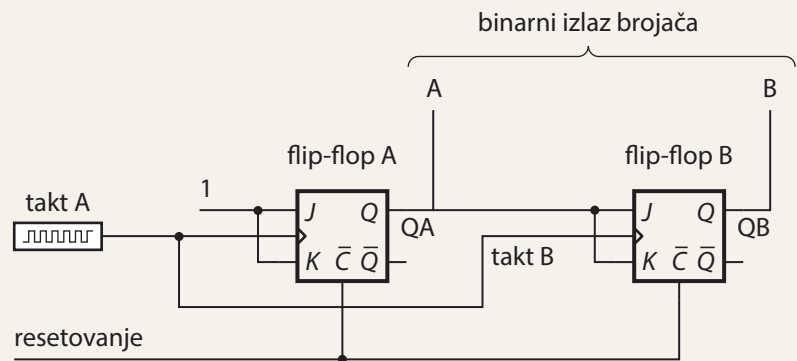
Slika uz rješenje zadatka 3

Za serijski upis četvorobitnog binarnog broja potrebna su četiri takt-intervala, kao i za njegov ispis; znači, ukupno osam takt-intervala. Ukupno vrijeme upisa i ispisa je: $t_{uk} = 8 \cdot T = 8 \text{ ns}$.

4. Projektuj logičku šemu paralelnog brojača naviše, koji broji po modulu $M = 4$, koristeći JK flip-flopove.

Rješenje:

Za realizaciju zadanog brojača potrebna su dva JK flip-flopa, označena sa A i B. Takt-signal i oba flip-flopa vezani su paralelno. Prvi flip-flop A broji po modulu 2 i ima kratko spojene ulaze, vezane na logičku 1, a kratkospojeni ulaz drugog flip-flopa jednak je prethodnom nekomplementiranom izlazu, prema karakterističnim jednačinama: $J_A = K_A = 1$ i $J_B = K_B = A$. Pošto brojač broji naviše, mora se na početku resetovati pomoću asinhronog reset-ulaza $\bar{C}$, dovodenjem logičke 0. Na sljedećoj slici prikazana je logička šema paralelnog dvobitnog brojača po modulu $M = 4$.



Slika uz rješenje zadatka 4



VI. Aritmetička kola

Usvajanjem novih znanja iz ovog poglavlja, moći ćeš da:

- izvodiš osnovne računske operacije sa binarnim brojevima
- objasniš načine komplementiranja binarnih brojeva
- izračunaš komplemente binarnih brojeva za zadate primjere
- objasniš princip rada aritmetičkih kola: polusabirač, potpuni sabirač, oduzimač
- rješavaš jednostavne zadatke sa aritmetičkim kolima.



Uvod

U računarima postoji sklop koji se naziva aritmetičko-logička jedinica. Zadatak ovog sklopa jeste da izvršava određene aritmetičke i logičke operacije predviđene programom. Aritmetičko-logička jedinica sadrži kola u kojima se obavljaju osnovne aritmetičke operacije: sabiranje, oduzimanje, množenje i dijeljenje, te osnovne logičke operacije: logičko sabiranje, logičko množenje

i logičko komplementiranje. Ova kola u suštini su kombinacione mreže, ali sadrže i memorijske elemente kao što su registri, koji su potrebni da pamte rezultate izvršenih operacija.

U ovom će poglavlju biti opisani načini izvođenja računskih operacija sa binarnim brojevima, kao i elementarna kola koja omogućuju izvođenje osnovnih aritmetičkih operacija nad njima.

6.1 Računske operacije sabiranja i oduzimanja sa binarnim brojevima

NAPOMENA

Aritmetičke operacije nad binarnim i dekadnim brojevima, kao i transformacije iz jednog brojnog sistema u drugi, izučavaju se u modulu Osnove računarstva, u prvom razredu.

Osnovne aritmetičke operacije jesu sabiranje, oduzimanje, množenje i dijeljenje. Operacija sabiranja može se svesti na operaciju oduzimanja. Kako množenje predstavlja skraćeno sabiranje, onda se i množenje može svesti na sabiranje. Kako dijeljenje predstavlja skraćeno oduzimanje, koje se svodi na sabiranje, zaključujemo da sabiranje predstavlja osnovnu aritmetičku operaciju.

6.1.1 Sabiranje binarnih brojeva

Sabiranje binarnih cifara svodi se na primjenu osnovnih pravila.

- (1) $0 + 0 = 0$
- (2) $0 + 1 = 1$
- (3) $1 + 0 = 1$
- (4) $1 + 1 = 10$

Obratimo posebnu pažnju na razliku koja postoji pri sabiranju istih cifara u različitim sistemima, kao na primjer:

- u dekadnom: $1 + 1 = 2_{10}$
- u binarnom: $1 + 1 = 10_2$
- u logičkom sabiranju: $1 + 1 = 1$.

PRIMJER 6.1

Saberi u dekadnom i binarnom sistemu brojeve 23 i 21.

Rješenje: Dekadnom broju 23 odgovara binarni ekvivalent 10111, dok broju 21 odgovara binarni ekvivalent 10101.

Sabiranje dekadnih brojeva $23 + 21 = 44$ u binarnom sistemu obaviće se na sljedeći način:

$$\begin{array}{r} 1 \quad 1 \quad 1 \quad 1 \quad \text{prenosi} \\ 10111 \\ + 10101 \\ \hline 101100 \end{array}$$

Gledajući kolone zdesna ulijevo, pri sabiranju ovih brojeva izvedeni su sljedeći postupci:

- u prvoj koloni: $1 + 1 = 10$, upisana 0 i prenijeta 1,
- u drugoj koloni: $1 + 1 + 0 = 10$, upisana 0 i prenijeta 1,
- u trećoj koloni: $1 + 1 + 1 = 11$, upisana 1 i prenijeta 1,
- u četvrtoj koloni: $1 + 0 + 0 = 1$, upisana 1, nema prenosa,
- u petoj koloni: $1 + 1 = 10$, upisano 0 i prenijeta 1. ■

6.1.2 Komplementiranje binarnih brojeva

U digitalnoj elektronici se, pored pravih vrijednosti podataka, koriste i njihove komplementarne vrijednosti.

Komplement $\bar{X}$ nekog broja X nalazi se po definiciji:

$$\bar{X} = K - X,$$

gdje konstanta K može da ima vrijednosti b^n ili $b^n - 1$, pri čemu je n broj cifara u datom broju, dok je b osnova brojnog sistema.

U slučaju da je $K = b^n - 1$, dobija se komplement od najveće cifre primijenjenog brojnog sistema. Kako je najveća cifra u binarnom brojnom sistemu 1, to se ovaj komplement naziva **komplement jedinice**.

PRIMJER 6.2



Veza sa modulom Osnove računarstva

Oduzimanje binarnih brojeva radi se tako što se svaka odgovarajuća cifra umanjena oduzme od cifre umanjioaca, slično kao kod dekadnog brojnog sistema. Ako se oduzima $0 - 1$, onda se vrši pozajmljivanje iz cifre veće težine. Pozajmljuje se cifra 1, koja na manjoj, susjednoj težini, ima vrijednost 2. U prethodnom slučaju nije bilo potrebe za pozajmljivanjem.

Nađi komplement jedinice binarnog broja $X = 1011$.

Rješenje: Broj cifara u datom broju je $n = 4$, pa konstanta K ima vrijednost $K_1 = 2^4 - 1 = 16 - 1 = 10000 - 1 = 1111$, te je komplement jedinice binarnog broja $X = 1011$:

$$\bar{X}^1 = 1111 - 1011 = 0100. \quad \blacksquare$$

Iz dobijenog rezultata možemo zapaziti jednu važnu činjenicu:

Komplement jedinice nekog binarnog broja može se napisati jednostavnim zamjenjivanjem svake jedinice brojem nula, i nule jedinicom.

Ako konstanta K ima vrijednost $K = b^n$, onda se dobija komplement od osnove brojnog sistema. Kako je osnova binarnog sistema broj 2, to se ovaj komplement naziva **komplement dvojke**.

PRIMJER 6.3

Nađi komplement dvojke binarnog broja $X = 1011$.

Rješenje: Broj cifara u datom broju je $n = 4$, pa konstanta K ima vrijednost $K_2 = 2^4 = 10000$, te je komplement dvojke binarnog broja $X = 1011$:

$$\bar{X}^2 = 10000 - 1011 = 0101.$$

Iz dobijenog rezultata možemo zapaziti jednu važnu činjenicu:

Komplement dvojke nekog binarnog broja može se dobiti dodavanjem broja 1 njegovom komplementu jedinice.

Prema tome, komplement jedinice binarnog broja $X = 1011$ je:

$$\bar{X}^1 = 0100$$

a komplement dvojke je:

$$\bar{X}^2 = \bar{X}^1 + 1 = 0100 + 1 = 0101.$$

Komplement jedinice i komplement dvojke često se nazivaju **prvi i drugi komplement**.

PROŠIRI ZNANJE

I u dekadnom brojnom sistemu postoje komplementi. Osnova dekadnog sistema je broj 10. Kako je osnova binarnog sistema broj 2, možemo zaključiti da komplementu dvojke u binarnom sistemu odgovara komplement desetak u dekadnom sistemu, a da komplementu jedinice u binarnom odgovara komplement devetke u dekadnom brojnom sistemu. Ilustrirajmo ovo kroz sljedeće primjere.

PRIMJER 6.4

Nađi komplement devetke i desetak broja 20.

Rješenje: Broj cifara u datom broju je $n = 2$, pa konstanta K ima vrijednost $K_9 = 10^2 - 1 = 99$, te je komplement devetke dekadnog broja $X = 20$:

$$\bar{X}^9 = 99 - 20 = 79.$$

Komplement devetke, odnosno komplement jedinice za dekadni broj $X = 20$, može se dobiti tako što se svaka cifra dopuni do najvećeg broja u bazi 10, a to je broj 9: 2 do 9 je 7 i 0 do 9 je 9, pa je traženi broj 79.

U slučaju komplementa desetke, konstanta K ima vrijednost $K_{10} = 10^2 = 100$, pa je komplement desetke dekadnog broja $X = 20$:

$$\bar{X}^{10} = 100 - 20 = 80.$$

Komplement desetke, odnosno komplement dvojke, može se dobiti tako što se komplementu desetke doda 1 na najmanjoj težini: $79 + 1 = 80$, što je traženi broj.

Na sličan način može se dobiti prvi i drugi komplement za bilo koji broj iz proizvoljne baze. Prvi komplement dobija se tako što se svaka cifra broja dopuni do najvećeg broja u toj bazi, a drugi komplement tako što se prvom komplementu doda broj 1 na najmanjoj težini. To je težina prva sa desne strane broja, i ima težinski karakter 0. ■

PRIMJER 6.5

Nađi prvi i drugi komplement broja 1F08, koji je dat u heksadecimalnom brojnom sistemu.

Rješenje: Da bismo dobili prvi komplement datog broja, moramo dopuniti svaku njegovu cifru do najvećeg broja u bazi 16, a to je broj 15 (ili F):

1 do 15 je 14 (E), F(15) do 15 je 0, 0 do 15 je 15 (F) i 8 do 15 (F) je 7,

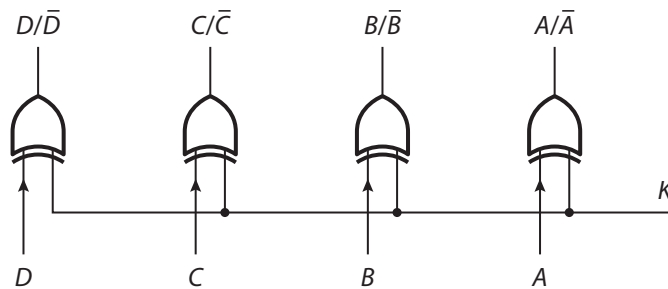
što znači da je traženi prvi komplement broj E0F7.

Drugi komplement dobija se tako što se prvom komplementu broja doda 1 na najmanjoj težini. U našem slučaju dobija se broj: $E0F7_{16} + 1_{16} = E0F8_{16}$, što je traženi drugi komplement od zadanog broja. ■

6.1.2.1 Binarni komplementori

Za dobijanje komplementa jedinice i dvojke koriste se logički sklopovi, koji se nazivaju **binarni komplementori**.

Rekli smo da se komplement jedinice za brojeve u binarnom sistemu dobija tako što se svaki bit broja zamijeni svojom komplementiranom vrijednošću. Za komplementiranje binarne vrijednosti koristi se invertor, logičko kolo koje, da se podsjetimo, pretvara ulaznu vrijednost 1 u izlaznu vrijednost 0, ili 0 u 1. Invertor je najprostiji binarni komplementor. Za dobijanje komplementa jedinice, u praktičnim realizacijama, najjednostavnije je da se iskoristi logička komponenta sa EXILI kolima, slika 6.1.



Slika 6.1 Binarni komplementor sa EXILI kolima

Na slici 6.1 prikazan je sklop koji vrši binarno komplementiranje za jedan četvorobitni binarni broj $ABCD$. Iz logičke funkcije ovog kola, za npr. ulaz A , $Y = A \oplus K = A\bar{K} + \bar{A}K$, vidi se da će pri $K = 0$, na izlazu komplementora da budu iste vrijednosti kao i na ulazu, dok će za $K = 1$ izlazne vrijednosti predstavljati komplement jedinice ulaza. Ulaz K zove se upravljački ulaz koji će, kroz četiri EXILI kola, da proslijedi isti četvorobitni broj $ABCD$ ili njegov prvi komplement $\bar{A}\bar{B}\bar{C}\bar{D}$.

Kao što smo i ranije rekli, komplement dvojke nekog binarnog broja dobija se kada se njegovom komplementu jedinice doda binarni broj 1. Zaključujemo da će mreža za realizaciju komplementa dvojke sadržati kolo za dobijanje prvog komplementa i sklop koji će vršiti operaciju sabiranja prvog komplementa sa brojem 1. Ova osobina EXILI kola koristi se u višebitnim sabiračima, sa kojima ćemo se kasnije detaljno upoznati.

6.1.2.2 Predstavljanje negativnih brojeva u binarnom brojnom sistemu

Kada se napiše broj u bilo kojem brojnom sistemu, smatra se da je pozitivan. Ukoliko je broj negativan, to se obavezno mora označiti.

U dekadnom brojnom sistemu uobičajeno je da se negativni brojevi označavaju znakom „–“. Pozitivni dekadni brojevi mogu, ali ne moraju, da se označavaju znakom „+“. Za binarni brojni sistem, u računarima se znak „–“ zamjenjuje simbolom 1, a znak „+“ simbolom 0. Ovako prikazani binarni brojevi predstavljaju veličine sa predznakom, pa se ovaj način njihovog pisanja tako i naziva – **pisanje sa predznakom**.

Na primjer, dekadni brojevi +9 i –9 u binarnom sistemu pišu se na sljedeći način:

$$+ 1001 = 0 1001$$

$$- 1001 = 1 1001$$

Osim predznakom, negativne vrijednosti binarnih brojeva često se izražavaju komplementima jedinice i dvojke njihovih pozitivnih vrijednosti. Ovaj način označavanja u digitalnoj elektronici ima praktičan značaj. Naime, korišćenjem komplementa za izražavanje negativnih vrijednosti, sa bitom za predznak, u logičkim kolima operiše se na isti način kao i sa ostalim bitovima.

U tabeli 6.1 prikazano je ispisivanje pozitivnih i negativnih brojeva sa predznakom, sa prvim i sa drugim komplementom.

Tabela 6.1 Ispisivanje pozitivnih i negativnih brojeva

Decimalni broj	Pozitivni binarni broj	Negativni binarni brojevi		
		Sa predznakom	Sa prvim komplementom	Sa drugim komplementom
1	0 00000001	1 00000001	11111110	11111111
2	0 00000010	1 00000010	11111101	11111110
3	0 00000011	1 00000011	11111100	11111101
4	0 00000100	1 00000100	11111011	11111100
5	0 00000101	1 00000101	11111010	11111011
6	0 00000110	1 00000110	11111001	11111010
7	0 00000111	1 00000111	11111000	11111001
8	0 00001000	1 00001000	11110111	11111000
9	0 00001001	1 00001001	11110110	11110110
10	0 00001010	1 00001010	11110101	11110110

Na primjer, dekadni broj 5 ima binarni prikaz 00000101. Broj –5 sa predznakom piše se tako što se na mjesto najveće težine umjesto 0 piše 1,

pa je njegov prikaz 10000101. Broj -5 sa prvim komplementom piše se tako što se svaka cifra 1 broja zamijeni sa 0 a svaka cifra 0 zamijeni sa 1:

$$\overline{0000101}^1 = 11111010.$$

Broj -5 sa prvim komplementom ima oblik: 11111010. Broj -5 sa drugim komplementom dobija se tako što se broju u prvom komplementu doda 1 na mjesto najmanje težine:

$$11111010 + 1 = 11111011 = \overline{0000101}^2.$$

Broj -5 sa drugim komplementom ima oblik: 11111011 (broj 1 ili 2 u eksponentu broja znači da se radu o prvom (1) ili drugom (2) komplementu broja).

6.1.3 Oduzimanje binarnih brojeva

Oduzimanje je računaska operacija u kojoj se nalazi razlika dva broja. Da bi rezultat bio pozitivan broj, mora se oduzimati manji broj od većeg. U suprotnom, rezultat oduzimanja je negativan.

U računarima se iznalaženje razlike dva broja vrši primjenom postupka sabiranja. U ovom slučaju rezultat može da bude ili pozitivan ili negativan, zavisno od toga da li se oduzima manji broj od većeg ili obrnuto. Postupak sabiranja najčešće se vrši primjenom komplementarne aritmetike, u kojoj se pored pravih koriste i komplementarne vrijednosti brojeva. Vidjeli smo da se negativni brojevi mogu izraziti na tri načina: sa predznakom, pomoću komplementa jedinice i pomoću komplementa dvojke. U svim tim slučajevima bit najveće težine (krajnji lijevi bit) ima vrijednost 1, čime se inače u računarskim tehnologijama izražava negativna vrijednost broja. Iskazivanjem negativnih brojeva u komplementarnom obliku, operacija oduzimanja svodi se na operaciju sabiranja, pri čemu se sa bitom znaka operiše na isti način kao i sa vrijednosnim bitovima.

Oduzimanje se u računarskim tehnologijama, radi jednostavnosti, najčešće izvodi kao operacija sa komplementom dvojke.

Za operaciju oduzimanja sa komplementom dvojke važi sljedeće pravilo:

$$A - B = A + \bar{B}^2 = \text{Rezultat}(R) + \text{Prenos}(P)$$

$\bar{B}^2$ predstavlja broj - B u drugom komplementu, koji se zatim sabira sa brojem A da bi se oduzimanje svelo na sabiranje broja A sa drugim komplementom broja B.

Ako je $Prenos = 1$ onda je rezultat tačan, pa se oduzima manji broj od većeg. Ako je $Prenos = 0$, onda je rezultat negativan, pa se stvarni rezultat dobija računanjem komplementa dvojke od dobijenog rezultata, sa negativnim predznakom, što znači da se oduzima veći broj od manjeg.

Dokazivanje ispravnosti ovog pravila nije suviše komplikovano, ali ćemo ga ovdje izostaviti.

PRIMJER 6.6

Nađi u binarnom obliku razliku dekadnih brojeva 13 i 4.

Rješenje: U dekadnom obliku $R = A - B = 13 - 4 = 9$.

U binarnom obliku: $A = 1101, B = 0100, R = A - B$.

Primjenom navedenog pravila, imamo da je $A - B = A + \bar{B}^2$.

Kako je komplement dvojke broja 0100 jednak 1100, to je:

$$1101 - 0100 = 1101 + 1100 = 1\ 1001.$$

Dobijeni rezultat ima prenos $P = 1$, pa je rezultat pozitivan broj. Vrijednost razlike je binarni broj 1001, što odgovara dekadnom broju 9. ■

PRIMJER 6.7

Nađi u binarnom obliku razliku decimalnih brojeva 4 i 13.

Rješenje: U dekadnom obliku $R = A - B = 4 - 13 = -9$. Rezultat je negativan, jer smo veći broj oduzeli od manjeg.

U binarnom obliku: $A = 0100, B = 1101, R = A - B$.

Primjenom navedenog pravila, imamo da je $A - B = A + B$ (u drugom komplementu – komplement dvojke).

Znači, oduzimanje se svodi na sabiranje prvog broja od koga se oduzima, to je broj A , sa komplementom dvojke drugog broja koji se oduzima, a to je broj B .

Kako je komplement dvojke broja 1101 jednak 0011, to je

$$0100 - 1101 = 0100 + 0011 = 0\ 0111.$$

Dobijeni binarni broj 0111 nije tačan rezultat. Vidimo da je prenos $P = 0$, pa se, prema navedenom pravilu, tačan rezultat dobija računanjem komplementa dvojke od dobijenog rezultata, sa negativnim predznakom. Kako je komplement dvojke dobijenog rezultata 0111 jednak 1001, onda je tačan rezultat prema navedenom pravilu $R = -1001$, ili u zapisu negativnog broja sa predznakom $R = 1\ 1001$, što odgovara broju -9 u dekadnom brojnom sistemu. ■

Prilikom oduzimanja binarnih brojeva, umanjenik i umanjilac moraju imati isti broj bita. Ukoliko to nije slučaj, onda se broju sa manje bita sa njegove lijeve strane dodaje onoliko nula koliko je potrebno da umanjenik i umanjilac imaju podjednak broj bitova.

PRIMJER 6.8

Od binarnog broja 101011 oduzmi binarni broj 10001.

Rješenje: Umanjenik ima šest a umanjilac pet bita. Da bismo sproveli postupak oduzimanja, moramo imati brojeve iste dužine, pa ćemo umanjioću dodati jednu nulu. Umanjilac 10001 biće zapisan kao 010001. Prvi broj ima dekadnu vrijednost 43, a drugi 17.

Komplement dvojke umanjioća 010001 jeste broj

$$101110 + 1 = 101111,$$

pa je razlika datih brojeva jednaka zbiru ovog broja i umanjenika, odnosno:

$$101011 + 101111 = 1\ 011010.$$

Dobili smo da je rezultat oduzimanja 011010, sa prenosom 1, pa zaključujemo da je dobijeni rezultat ispravan. Razlika dva zadata broja jeste binarni broj 011010, što odgovara dekadnom broju 26 ($43 - 17 = 26$). ■

Iz datih primjera vidi se da je operacija oduzimanja sa drugim komplementom jednostavna, pa je rad sa komplementom dvojke najviše zastupljen u aritmetičkim kolima.

6.1.4 Množenje binarnih brojeva

Pri množenju binarnih brojeva primjenjuje se ista procedura kao i pri množenju dekadnih brojeva, samo što je binarno množenje znatno jednostavnije jer se množe samo nule i jedinice.

Osnovna pravila množenja binarnih brojeva su:

$$0 \cdot 1 = 0, 0 \cdot 0 = 0, 1 \cdot 1 = 1.$$

Da bismo prikazali kako se izvodi množenje višebitnih binarnih brojeva i ukazali na istovjetnost postupka kao i pri množenju dekadnih brojeva, (a) pomnožićemo dva dekadna broja 11 i 13, a zatim (b) to uraditi sa njihovim binarnim ekvivalentima 1011 i 1101.

$$\begin{array}{r} \text{a) } 11 \times 13 = 33 \\ \underline{11} \\ 143 \end{array}$$

$$\begin{array}{r} \text{b) } 1011 \times 1101 = 1011 \\ \quad 0000 \\ \quad 1011 \\ \underline{\quad 1011} \\ 10001111 \end{array}$$

Binarni brojevi množe se po istom postupku kao i dekadni, sa razlikom da se u ovom slučaju primjenjuju pravila sabiranja binarnih brojeva.

Iz izloženog zaključujemo da se množenje dva višecifrena binarna broja svodi na množenje posebno svih bitova jednog od njih, broja A , sa svim bitovima drugog broja, broja B .

Najprije se višecifreni broj A pomnoži bitom broja B koji se nalazi na najnižoj pozicionoj vrijednosti (bit B_0), potom sa sljedećim značajnijim bitom broja B (bit B_1), i tako redom ka bitu najveće pozicije vrijednosti broja B . Dobijeni rezultat svakog navedenog parcijalnog proizvoda pomjera se za po jedno mjesto u lijevu stranu u odnosu na prethodno izračunat parcijalni proizvod. Potom se parcijalni proizvodi međusobno saberu.

Postupak se završava nakon uključivanja u sabiranje posljednjeg izračunatog parcijalnog proizvoda.

PRIMJER 6.9

Pomnoži binarne brojeve 1101 i 1110.

Rješenje: Prvi binarni broj ima dekadnu vrijednost 13 a drugi 14. Koristeći prethodna pravila, možemo izvršiti binarno množenje:

$$\begin{array}{r} 1101 \cdot 1110 = 0000 \\ 1101 \\ 1101 \\ +1101 \\ \hline 10110110 \end{array}$$

Dobijeni broj u dekadnom brojnom sistemu je:

$$\begin{aligned} 10110110 &= 0 \cdot 2^0 + 1 \cdot 2^1 + 1 \cdot 2^2 + 0 \cdot 2^3 + 1 \cdot 2^4 + 1 \cdot 2^5 + 0 \cdot 2^6 + 1 \cdot 2^7 \\ &= 182, \end{aligned}$$

što je tačan rezultat ($13_{10} \cdot 14_{10} = 182_{10}$). ■

6.1.5 Dijeljenje binarnih brojeva

Dijeljenje binarnih brojeva, isto kao u dekadnom brojnom sistemu, predstavlja kombinaciju binarnog množenja i oduzimanja.

Osnovna pravila dijeljenja binarnih brojeva su:

$$0:1 = 0 \text{ i } 1:1 = 1.$$

Dijeljenje nulom nije dozvoljeno.

Dijeljenje brojeva u binarnom sistemu prikazaćemo u primjeru dijeljenja brojeva 1100 i 100 (brojevi 12 i 4 u dekadnom brojnom sistemu).

$$\begin{array}{r} 1100 : 100 = 11 \\ \underline{-100} \\ 100 \\ \underline{-100} \\ 000 \end{array}$$

Vidi se da je postupak dijeljenja binarnih brojeva istovjetan postupku koji se primjenjuje kod dijeljenja dekadnih brojeva.

Ako brojevi koji se dijele nisu djeljivi, onda se mogu svesti na cjelobrojni količnik i ostatak, ali i na broj sa decimalnim zarezom, kada se spušta

nula pri dijeljenju i postupak ponavlja. U tom slučaju rezultat dijeljenja je realan broj.

PRIMJER 6.10

Podijeli binarne brojeve 1101 i 101.

Rješenje: Prvi binarni broj ima dekadnu vrijednost 13 a drugi 5. Koristeći prethodna pravila, možemo izvršiti binarno dijeljenje:

$$\begin{array}{r} 1101 : 101 = 10 \\ \underline{-101} \\ 11 \\ \underline{-000} \\ 11 \end{array}$$

Dobijeni količnik je 10, što je 2 u dekadnom brojnom sistemu, a ostatak je 11, što je 3 u dekadnom brojnom sistemu ($13 : 5 = 2$, ostatak 3).

Provjera usvojenih znanja

1. Nabroj osnovne aritmetičke i logičke operacije.
2. Nacrtaj tablicu istinitosti za svaku aritmetičku i logičku operaciju.
3. Analiziraj tablice logičkog i aritmetičkog sabiranja, kao i aritmetičkog i logičkog množenja.
4. Nabroj pravila za sabiranje višebitnih binarnih brojeva.
5. Definiši postupak množenja višebitnih binarnih brojeva.
6. Definiši postupak dijeljenja višebitnih binarnih brojeva.
7. Definiši pojam komplementiranja broja u teoriji brojeva.
8. Objasni kako se dobija prvi i drugi komplement bilo kog broja u bilo kojoj bazi.
9. Objasni zašto je važna operacija komplementiranja binarnih brojeva.
10. Nabroj načine pamćenja negativnih brojeva u računaru.
11. Objasni zašto je operacija binarnog aritmetičkog sabiranja najvažnija u računarskoj tehnici.
12. Nacrtaj logička kola koja mogu izvršiti binarno komplementiranje.
13. Objasni gdje se čuvaju višebitni binarni brojevi nad kojima se vrše aritmetičke operacije.

6.2 Aritmetička kola

6.2.1 Sabirači

U tabeli 6.2 prikazano je sabiranje dvije binarne cifre A i B prema pravilima sabiranja binarnih brojeva, navedenim u prethodnom odjeljku.

Tabela 6.2 Tabela sabiranja dvije binarne cifre

A	B	S	P
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

U tabeli je sa S označen rezultat sabiranja (suma), dok je sa P označen prenos.

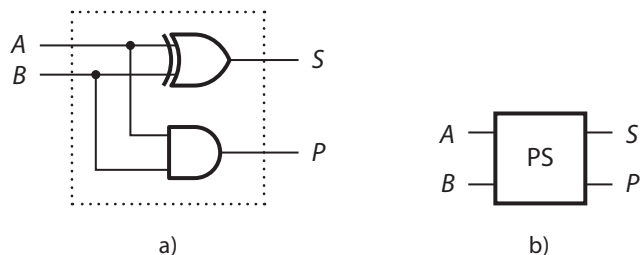
Iz tabele se vidi da su:

$$S = \bar{A}B + A\bar{B} = A \oplus B$$

$$P = AB$$

Vidi se da S ima vrijednost EXILI kola, dok izlaz P vrši logičku I operaciju. Na osnovu toga može se realizovati logičko kolo koje obavlja navedene funkcije.

Aritmetičko kolo koje je opisano prethodnim funkcijama naziva se **polusabirač** (engl. *half-adder*, oznaka *HA*). Logička šema polusabirača data je na slici 6.2a), a simbol polusabirača na slici 6.2b).



Slika 6.2 Logička šema polusabirača (a), simbol polusabirača (b)

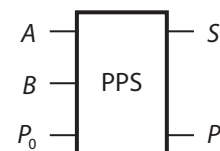
Na ulazne priključke polusabirača (PS) A i B dovode se biti istih pozici-
onih vrijednosti brojeva A i B koje treba sabrati. Na izlaznom priključku
polusabirača S pojavljuje se zbir brojeva A i B , dok se na priključku P
pojavljuje prenos.

U slučaju višebitnih brojeva, polusabirač može da sabira samo bitove
najniže pozicione vrijednosti. Sabiranje ostalih bita iziskuje kolo sa tri
ulaza da bi se pored sabiranih cifara mogao vršiti i prenos sa nižih na
više pozicione vrijednosti. Mreža koja vrši ovu operaciju naziva se puni
sabirač (engl. *full adder*, oznaka *FA*).

Potpuni sabirač (PPS) omogućava potpuno sabiranje dvije binarne cifre
uz prenos bita P_0 sa nižeg na viši nivo pozicione vrijednosti. Realizacija
potpunog sabirača vrši se pomoću kombinacione tabele prikazane na
slici 6.3a).

A	B	P_0	S	P
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

a)



b)

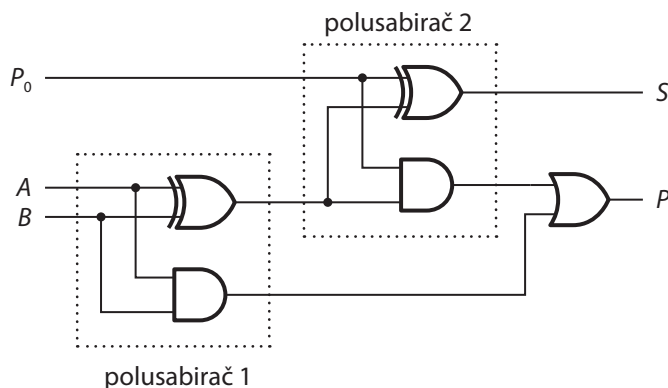
Slika 6.3 Potpuni sabirač: a) kombinaciona tabela, b) simbolička šema

Iz kombinacione tabele dobijaju se izlazne funkcije za sumu S i prenos P ,
u funkciji ulaza A i B , kao i prenosa bita sa manje pozicione vrijednosti P_0 .

Ispisivanjem zavisnosti izlaznih funkcija S i P u zavisnosti od A , B i P_0 , i
korišćenjem osnovnih identiteta Bulove algebre radi njihove minimiza-
cije, dobijamo da je:

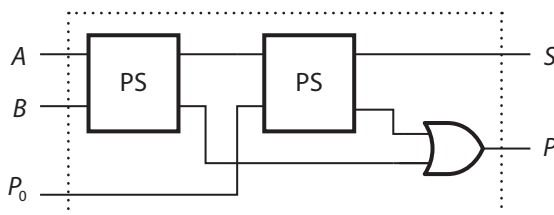
$$\begin{aligned}
 S &= \bar{A}\bar{B}P_0 + \bar{A}B\bar{P}_0 + A\bar{B}\bar{P}_0 + ABP_0 \\
 &= P_0(\bar{A}\bar{B} + AB) + \bar{P}_0(\bar{A}B + A\bar{B}) \\
 &= P_0\overline{A \oplus B} + \bar{P}_0 A \oplus B = A \oplus B \oplus P_0. \\
 P &= \bar{A}BP_0 + \bar{A}\bar{B}P_0 + A\bar{B}\bar{P}_0 + ABP_0 \\
 &= P_0(\bar{A}B + A\bar{B}) + AB(\bar{P}_0 + P_0) \\
 &= P_0(A \oplus B) + AB.
 \end{aligned}$$

Na osnovu dobijenih izraza dobija se logička mreža potpunog sabirača, koja prikazana je na slici 6.4.



Slika 6.4 Potpuni sabirač dobijen na osnovu minimiziranih prekidačkih funkcija za S i P

Ako se kolo sa slike 6.4 uporedi sa kolom binarnog polusabirača prikazanog na slici 6.2a), možemo zaključiti da se potpuni binarni sabirač može realizovati korišćenjem dva binarna polusabirača, kao što je prikazano na slici 6.5.



Slika 6.5 Potpuni sabirač realizovan pomoću polusabirača

PRIMJER 6.11

Odredi broj potpunih i polusabirača za sabiranje dva 4-bitna binarna broja A i B .

Rješenje: Četvorobitni binarni brojevi A i B mogu se napisati pomoću odgovarajućih težina: broj $A - A_3A_2A_1A_0$, broj $B - B_3B_2B_1B_0$. Za sabiranje odgovarajućih težinskih vrijednosti 0 koristi se jedan polusabirač, jer nema potrebe za prenosom iz prethodnog razreda. Za sabiranje svih ostalih težina potrebno je imati tri potpuna sabirača, jer treba imati prenos iz prethodnog razreda, odnosno potrebni su sabirači sa tri ulaza. Znači, za sabiranje dva 4-bitna binarna broja potrebno je imati jedan polusabirač i tri potpuna sabirača. U opštem slučaju, za sabiranje n -bitnih binarnih brojeva potrebno je imati jedan polusabirač i $(n - 1)$ potpunih sabirača. ■

Za brzo sabiranje višebitnih brojeva koristi se paralelni postupak sabiranja. Kod takvog postupka vrši se istovremeno sabiranje svih odgovarajućih cifara u sabircima, tako da se u taktom upravljanim sistemima zbir dobija u jednom taktnom intervalu. Kako se sva sabiranja odgovarajućih bitova izvršavaju istovremeno, to je za paralelno sabiranje dva n -tocifrena binarna broja potrebno n potpunih binarnih sabirača.

The diagram illustrates a 4-bit ripple-carry adder implemented using two 4-bit registers, A and B, and a chain of four 4-bit adders.

- Register A:** A 4-bit register with inputs A_3, A_2, A_1, A_0 and outputs Q_3, Q_2, Q_1, Q_0 . It is labeled "register A".
- Register B:** A 4-bit register with inputs B_3, B_2, B_1, B_0 and outputs Q_3, Q_2, Q_1, Q_0 . It is labeled "register B".
- Adder Chain:** A chain of four 4-bit adders, each taking two 4-bit inputs and producing a 4-bit output.
 - The first adder takes A_3, A_2, A_1, A_0 and B_3, B_2, B_1, B_0 as inputs. Its outputs are P_3, P_2, P_1, P_0 and S_3, S_2, S_1, S_0 .
 - The second adder takes A_2, A_1, A_0 and P_3, P_2, P_1, P_0 as inputs. Its outputs are P_2, P_1, P_0 and S_2, S_1, S_0 .
 - The third adder takes A_1, A_0 and P_2, P_1, P_0 as inputs. Its outputs are P_1, P_0 and S_1, S_0 .
 - The fourth adder takes A_0 and P_1, P_0 as inputs. Its outputs are P_0 and S_0 .
- Carry Propagation:** The carry-out of each adder (P_3, P_2, P_1, P_0) is connected to the carry-in of the next adder. The carry-in of the first adder is P_3 , and the carry-in of the last adder is P_0 .
- Final Output:** The final sum is S_3, S_2, S_1, S_0 .

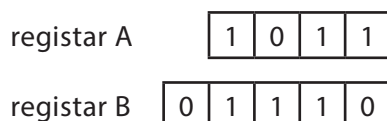
Prikazana mreža može da sabira veći broj sabiraka, postupkom **akumuliranja**. U ovom postupku vrši se sabiranje prethodnog zbira sa sljedećim sabirkom, s tim što se po izvršenom sabiranju dobijeni novi zbir upisuje u registar umjesto ranijeg. Registar zbira ima ulogu akumulatora, koji se stalno puni novim rezultatima.

181

znači da kapacitet ovog registra mora da bude barem za jedan bit veći od kapaciteta registra A .

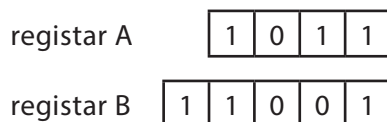
Princip rada mreže na slici 6.6 demonstriraćemo na primjeru paralelnog sabiranja dva proizvoljna četvorobitna binarna broja A i B . Registar A je četvorobitni, i on čuva prvi broj koji se sabira (A). Registar B je petobitni, i on čuva drugi broj koji se sabira (B).

Neka je broj $A_2 = 1011$, što odgovara broju 11_{10} , i broj $B_2 = 1110$, što odgovara broju 14_{10} . Prije početka rada registri su resetovani, pa je njihov sadržaj 0. Dovođenjem prvog takta paralelno se upisuju istovremeno oba broja u registre A i B . Sadržaj registara A i B poslije prvog takt-impulsa dat je na slici 6.7.



Slika 6.7 Sadržaji registara A i B poslije prvog takt-impulsa

Dovođenjem drugog takta, binarni brojevi A i B paralelno se čitaju i vode na četiri potpuna sabirača, te sabiraju po odgovarajućim težinama, s tim da se prenos iz nižeg razreda prenosi u viši razred i sabira. Sadržaji registara nakon obavljenog sabiranja dati su na slici 6.8.



Slika 6.8 Sadržaji registara A i B poslije obavljenog paralelnog sabiranja

Potpuni sabirači obavljaju četvorobitno binarno sabiranje:

$$\begin{array}{rcl}
 111 & \leftarrow & \text{prenosi} \\
 1011_2 & \leftarrow & \text{broj } A \\
 + 1110_2 & \leftarrow & \text{broj } B \\
 \hline
 11001_2 & \leftarrow & \text{zbir}
 \end{array}$$

Sadržaj registra A ostao je nepromijenjen. Pošto se izlazi potpunih sabirača vežu na ulaze registra B , u njemu se čuva zbir brojeva A i B , pa je njegov sadržaj $11001_2 = 25_{10}$, što odgovara zbiru brojeva A i B ($11_{10} + 14_{10} = 25_{10}$).

Prikazana mreža namijenjena je obavljanju niza uzastopnih sabiranja, jer se registar B koristi za smještanje i sabirka i rezultata, dok se na ulaze registra A dovode brojevi koji se žele sabirati. Niz uzastopnih sabiranja može se koristiti kod množenja višebitnih binarnih brojeva. Na primjer, ako

se množe dekadni brojevi 4 i 3, to znači da se broj 4 tri puta sabere sam sa sobom ($4 \cdot 3 = 4 + 4 + 4 = 12$). Ovo je jedna od tehnika koje se koriste za tehničku realizaciju višebitnih množača.

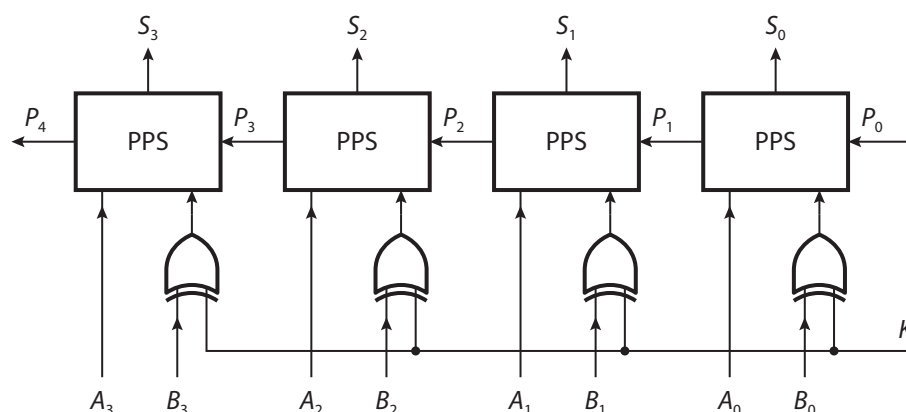
6.2.2 Oduzimači

Oduzimanje binarnih brojeva svodi se, kao što smo vidjeli u prethodnom odjeljku, na sabiranje umanjenika sa komplementom umanjioica, pa zatim dodavanje takvom zbiru jedinice, odnosno važi da je: $R = A - B = A + \bar{B} + 1$.

Na osnovu ovoga zaključujemo da se binarno oduzimanje može realizovati pomoću potpunih sabirača i kola za komplementiranje umanjioica.

Svođenje postupka oduzimanja na operaciju sabiranja daje još jednu prednost. Naime, zahvaljujući ovoj činjenici mogu se projektovati logička kola, koja mogu obavljati i funkciju sabirača i funkciju oduzimača.

Primjer takvog kola prikazan je na slici 6.9.



Slika 6.9 Kolo za sabiranje i oduzimanje

Ako se na kontrolni ulaz K dovede logička nula, onda će istovremeno biti i $P_0 = 0$. Istovremeno, na izlazima EXILI kola biće iste vrijednosti kao na njihovim ulazima B_0, B_1, B_2 i B_3 , jer je $0 \oplus B = B$. U ovom slučaju, mreža obavlja funkciju sabirača.

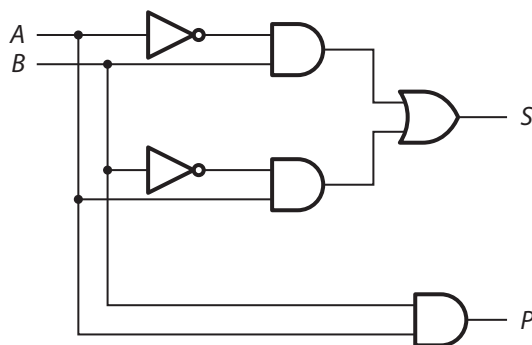
Ako se pak na kontrolni ulaz K dovede logička jedinica, onda EXILI kola komplementiraju svoje ulazne vrijednosti, jer je $1 \oplus B = \bar{B}$. Vrijednost $K = 1$ takođe se dovodi u prvi potpuni sabirač, pa se na taj način na izlazu iz sabirača dobija $S = A + \bar{B} + 1 = A - B$, odnosno dobija se razlika brojeva A i B .

Operacije sabiranja i oduzimanja odvijaju se u toku jednog taktnog intervala, koji diktira kontrolni ulaz K .

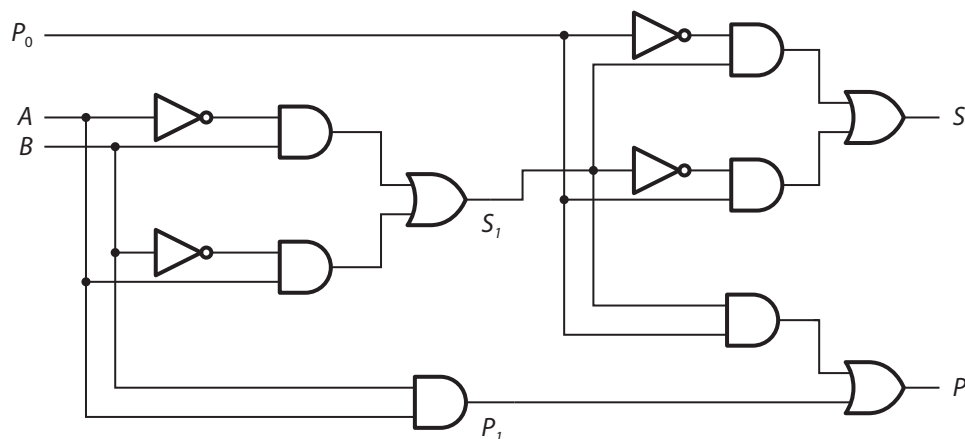
PRIMJER 6.12

Realizuj polusabirač i potpuni sabirač sa osnovnim logičkim kolima.

Rješenje: Imajući u vidu da se polusabirač sastoji od jednog EXILI kola i jednog I kola, a potpuni sabirač od dva polusabirača i jednog ILI kola, potpuni sabirač i polusabirač mogu se projektovati sa logičkim kolima, kao što je prikazano na slikama 6.10 a) i b).



Slika 6.10 a) Polusabirač

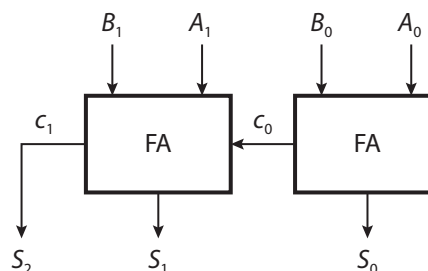


Slika 6.10 b) Potpuni sabirač

PRIMJER 6.13

Projektuj paralelni sabirač za sabiranje dva dvobitna binarna broja, koristeći polusabirače i potpune sabirače.

Rješenje: Za sabiranje dva dvobitna binarna broja potreban je jedan polusabirač i jedan potpuni sabirač. Prvi će da sabira najmanje težine broja a drugi najveće težine broja, kao na slici 6.11.

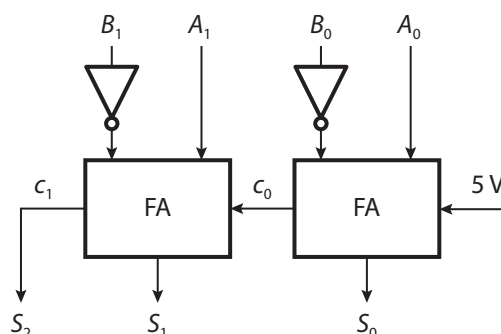


Slika 6.11 Dvobitni paralelni sabirač

PRIMJER 6.14

Projektuj paralelni oduzimač za dva dvobitna binarna broja, koristeći polusabirače i potpune sabirače.

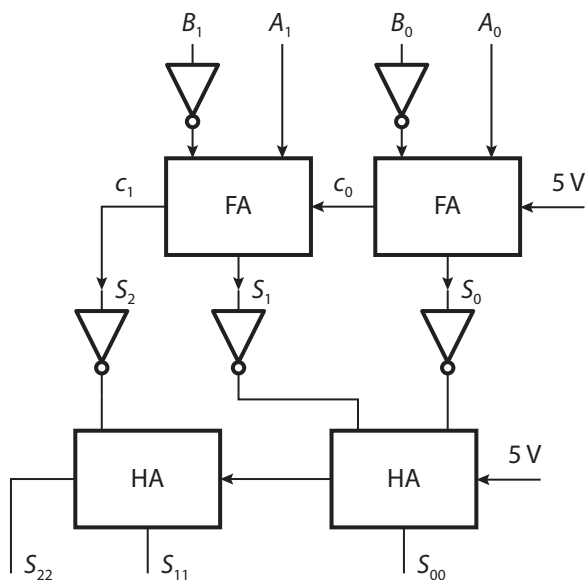
Rješenje: Za realizaciju dvobitnog oduzimača potrebna su dva potpuna sabirača i dva NE kola za dobijanje prvog komplementa broja koji se oduzima. Za dobijanje drugog komplementa tog broja dodaje se logička jedinica (5 V) na ulazu za prenos prvog potpunog sabirača. Na slici 6.12 data je logička šema dvobitnog oduzimača sa tačnim rješenjem, pod uslovom da je prvi broj po apsolutnoj vrijednosti veći od drugog broja.



Slika 6.12 Dvobitni paralelni oduzimač

U slučaju da je prvi broj po apsolutnoj vrijednosti manji od drugog, kao rezultat će se dobiti negativan broj. U tom slučaju takav se broj mora pretvoriti u drugi komplement da bi se dobio tačan rezultat, kao što je prikazano na slici 6.13.

Prenos S_{22} ne pamti se u registru jer se pri oduzimanju dva dvo-bitna binarna broja ne može dobiti trobitni binarni broj. Ako je prenos $C_1 = 0$, onda je rezultat oduzimanja pozitivan, a ako je $C_1 = 1$, onda je rezultat oduzimanja negativan.

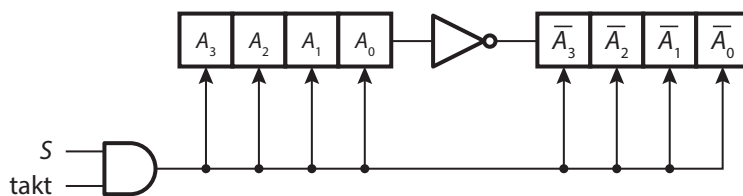


Slika 6.13 Dvobitni paralelni oduzimač za dobijanje tačnog rezultata

PRIMJER 6.15

Projektuj sklop za dobijanje prvog komplementa četvorobitnog binarnog broja u serijskom modu rada.

Rješenje: Pošto se radi o serijskom sklopu za dobijanje prvog komplementa četvorobitnog binarnog broja $A_3A_2A_1A_0$, za tehničku realizaciju potrebna su dva četvorobitna *shift* registra, jedan invertor i jedno I kolo sa upravljačkim ulazom S i taktom, kao što je prikazano na slici 6.14.



Slika 6.14 Redni sklop za dobijanje prvog komplementa broja

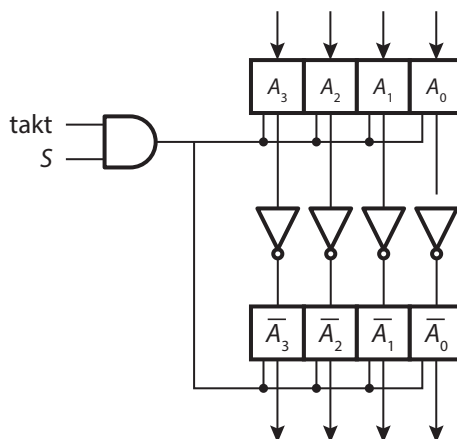
Ako je upravljački ulaz $S = 1$, I kolo provede i na njegovom izlazu se pojavljuje takt-signal, koji upravlja sa svim flip-flopovima oba šift-registra. Šift-registri vezani su serijski preko invertora,

koji vrši komplementiranje četvorobitnog binarnog broja, pa se u drugom šift-registru, za četiri takt-intervala, dobija četvorobitni binarni broj $\overline{A_3 A_2 A_1 A_0}$. Ako je upravljački ulaz $S = 0$, I kolo je zakočeno, nema takt-signal, nema promjeranja sadržaja registra, pa se ne vrši serijsko komplementiranje četvorobitnog binarnog broja.

PRIMJER 6.16

Projektuj sklop za dobijanje prvog komplementa četvorobitnog binarnog broja u paralelnom modu rada.

Rješenje: Pošto se radi o paralelnom sklopu za dobijanje prvog komplementa četvorobitnog binarnog broja, za tehničku realizaciju potrebna su dva četvorobitna stacionarna registra, četiri invertora i jedno I kolo sa upravljačkim ulazom S i taktom, što je prikazano na slici 6.15.



Slika 6.15 Paralelni sklop za dobijanje prvog komplementa broja

Ako je upravljački ulaz $S = 1$, I kolo provede i na njegovom izlazu pojavljuje se takt-signal, koji upravlja sa svim flip-flopovima oba stacionarna registra. Stacionarni registri vezani su paralelno preko četiri invertora, koji vrše komplementiranje četvorobitnog binarnog broja, pa se u drugom stacionarnom registru, za jedan takt, dobija četvorobitni binarni broj $\overline{A_3 A_2 A_1 A_0}$. Ako je upravljački ulaz $S = 0$, I kolo je zakočeno, nema takt-signal, nema paralelnog ispisa sadržaja registra, pa se ne vrši paralelno komplementiranje četvorobitnog binarnog broja. ■

Provjera
usvojenih znanja

1. Klasifikuj aritmetičke operacije po pitanju složenosti tehničke realizacije.
2. Definiši najznačajnije logičko kolo koje se koristi u projektovanju aritmetičkih kola.
3. Nacrtaj tablicu istinitosti EXILI kola i uporedi dobijene rezultate sa tablicom rada ILI kola, koje vrši logičko sabiranje.
4. Objasni razliku između polusabirača (HA) i potpunog sabirača (FA) prilikom projektovanja višebitnih sabirača.
5. Nacrtaj blok-šemu potpunog sabirača koristeći polusabirač.
6. Objasni strukturu osmobitnog paralelnog sabirača u vezi sa brojem jednobitnih sabirača, brzinu rada i strukturu pomoćnih sklopova za pamćenje, upravljanje i sinhronizaciju.
7. Pokaži kako se od višebitnog sabirača može dobiti višebitni oduzimač.
8. Navedi sklopove koje se koriste pri projektovanju osmobitnog serijskog sabirača dva binarna broja.
9. Objasni strukturu serijskog oduzimača dva četvorobitna binarna broja.
10. Uporedi vremena za koja će se izvesti šezdesetčetvorobitno sabiranje i oduzimanje dva binarna broja kod paralelnog i serijskog sabirača i oduzimača.

Rezime

- Binarni brojni sistem je osnovni sistem Bulove algebre i digitalne elektronike, kao i digitalnog računara.
- Za svaki broj može se napisati prvi i drugi komplement, po određenom pravilu.
- Negativni brojevi u računaru se pamte u drugom komplementu.
- Binarno oduzimanje svodi se na sabiranje u drugom komplementu. Tada se sabira prvi broj sa drugim komplementom broja koji se oduzima. Drugi komplement dobija se tako što se na početku nule zamijene sa jedinicama, a jedinice zamijene sa nulama (dopuna svake cifre do najveće cifre u bazi 2). To je prvi komplement broja. Drugi se dobija kada se prvom komplementu doda 1 na najmanje značajnom mjestu.
- Za sabiranje binarnih brojeva koristi se tablica za binarno sabiranje.
- Množenje i dijeljenje višebitnih binarnih brojeva vrše se po složenijem algoritmu i svode se na sabiranje.
- Aritmetička digitalna kola realizuju osnovne aritmetičke operacije: sabiranje, oduzimanje, množenje i dijeljenje. Sabiranje i oduzimanje su proste, a množenje i dijeljenje su složene operacije.
- Aritmetička kola su digitalne kombinacione mreže koje se prave od logičkih i memorijskih kola.
- Osnovna aritmetička operacija je sabiranje, jer se pomoću nje mogu realizovati ostale aritmetičke operacije.
- Višebitni sabirač realizuje se sa polusabiračima ili potpunim sabiračima koji se prave od EXILI kola.
- Polusabirač je jednobitni binarni sabirač za dva jednobitna binarna broja.
- Potpuni sabirač omogućava tehničku realizaciju višebitnih sabirača zbog mogućnosti sabiranja prenosa iz nižeg u viši razred. Zato potpuni sabirač ima tri ulaza.
- Paralelni višebitni sabirači imaju onoliko jednobitnih sabirača koliko imaju bita za sabiranje, a serijski sabirači imaju samo jedan sabirač. Isto važi za višebitne oduzimače, gdje se za komplementiranje broja koji se oduzima koristi inverter.

Zadaci za samostalan rad

1. Za zadati broj nađi njegov prvi i drugi komplement: $1010\ 1110_2$.

Rješenje:

Prvi komplement binarnog broja dobija se tako što se umjesto jedinica u broju pišu nule i umjesto nula pišu jedinice. Prvi komplement zadatog broja je: $0101\ 0001_2$.

Drugi komplement dobija se tako što se prvom komplementu broja doda 1. Drugi komplement zadatog broja je: $0101\ 0001_2 + 1_2 = 0101\ 0010_2$.

2. Izračunaj vrijednost izraza $F = A - B$ ako je $A = 19_{10}$ i $B = 13_{10}$, koristeći binarni brojni sistem.

Rješenje:

Broj A ima binarni ekvivalent $A_2 = 10011_2$, a broj $B_2 = 1101_2$. Izraz F dobija se tako što se oduzimanje svodi na sabiranje u drugom komplementu. Prije same operacije broj B dopuni se sa 0 sa lijeve strane da bi imao isti broj cifara kao i prvi broj A : $B_2 = 01101_2$. Vrijednost funkcije F u binarnom sistemu je:

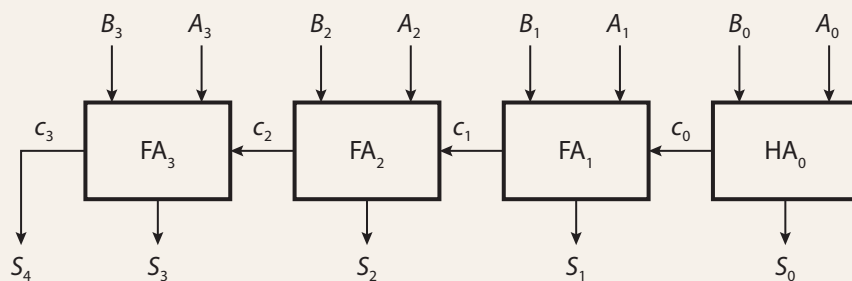
$$F_2 = A_2 - B_2 = A_2 + (-B_2) = 10011_2 + 10011_2 = 1\ 00110_2.$$

Dobijeni rezultat ima prenos $P = 1$, pa je rezultat tačan. Dobijeni binarni broj 00110_2 jeste broj 6 u dekadnom brojnom sistemu.

3. Realizuj paralelni sabirač za dva četvorobitna binarna broja.

Rješenje:

Za sabiranje dva četvorobitna binarna broja potreban je jedan polusabirač i tri potpuna sabirača. Polusabirač će da sabira najmanje težine broja. Prenos pri sabiranju u jednom razredu prenosi se kao bit za sabiranje na ulaze potpunih sabirača. Na sljedećoj slici prikazana je logička šema paralelnog četvorobitnog sabirača.



Slika 6.17 Logička šema četvorobitnog paralelnog binarnog sabirača



VII. Digitalno-analogni i analogno-digitalni konvertori

Usvajanjem novih znanja iz ovog poglavlja, moći ćeš da:

- objasniš način rada D/A konvertora sa ljestvičastom mrežom
- izračunaš, na zadatom primjeru, izlazni napon D/A konvertora sa ljestvičastom mrežom
- objasniš faze digitalizacije analognih signala: odabiranje, kvantizacija i kodiranje
- objasniš način rada A/D konvertora sa uzastopnim približavanjem.



Uvod

Pod konverzijom neke fizičke veličine podrazumijeva se pretvaranje te veličine u neku drugu fizičku veličinu. U elektrotehnici, a posebno u mjernoj tehnici, gdje se posredstvom pretvarača mnoge neelektrične veličine (kao što su npr. temperatura, pritisak, vlažnost) pretvaraju u električne (kao što su napon i struja), često se javlja potreba za pretvaranjem digitalnih signala u analogne, i obrnuto. Za tu svrhu koriste se digitalno-analogni i analogno-digitalni pretvarači (kraće: D/A i A/D konvertori). Pretvaranje analognih veličina

u digitalne, i obrnuto, od posebne su važnosti u informaciono-komunikacionim tehnologijama, bez kojih je život savremenog čovjeka nezamisliv.

U ovom poglavlju upoznaćeš se sa principima rada ovih uređaja. Na početku poglavlja upoznaćemo se sa pojmom i vrstama konvertora, a zatim sa fazama digitalizacije analognog signala: odabiranja, kvantizacija i kodiranje. Kako su elektronski uređaji koji vrše pretvaranje digitalnog oblika informacije u analogni jednostavniji od uređaja koji vrše pretvaranje analognih u digitalne signale, a pri tome često predstavljaju i njihov sastavni dio.

7.1 Pojam i vrste konvertora

Kola digitalne elektronike omogućuju obradu digitalnih signala. Zbog toga je veoma često neophodno analogne veličine, koji su u stvari i prirodne veličine (napon, struja, zvuk, pritisak, temperatura, vlažnost), pretvoriti u digitalne veličine. Tako dobijene veličine moguće je obrađivati u računar. Elektronski sklopovi koji ovo izvršavaju, nazivaju se analogno-digitalni konvertori, ili skraćeno A/D konvertori.

Nakon izvršenih obrada digitalnih signala potrebno je, u mnogo slučajeva, te digitalne signale pretvoriti u njima odgovarajuće analogne veličine. Elektronski sklopovi koji ovo obavljaju, nazivaju se digitalno-analogni konvertori, ili skraćeno D/A konvertori.

A/D i D/A konvertori razlikuju se po svojim osobinama i načinu pretvaranja jednog oblika signala u drugi, što zavisi od namjene samog konvertora. Konvertori se najčešće dijele na spore i brze, kao i na linearne i nelinearne. Prema broju binarnih cifara sa kojima se predstavlja napon u digitalnom obliku, konvertori mogu biti 8-bitni, 10-bitni, 12-bitni i tako dalje. Što je veći broj binarnih cifara, to je prema eksponentu broja 2 veći broj diskretnih vrijednosti za predstavljanje napona. Kod sporih konvertora najvažnija je njihova tačnost i višebitnost, a zatim otpornost na smetnje. Brzi konvertori koriste se kada je potrebno brzo pretvoriti napon u digitalni oblik, što ima primjenu u industriji, gdje se procesi brzo mijenjaju, kao i u digitalnim komunikacijama.

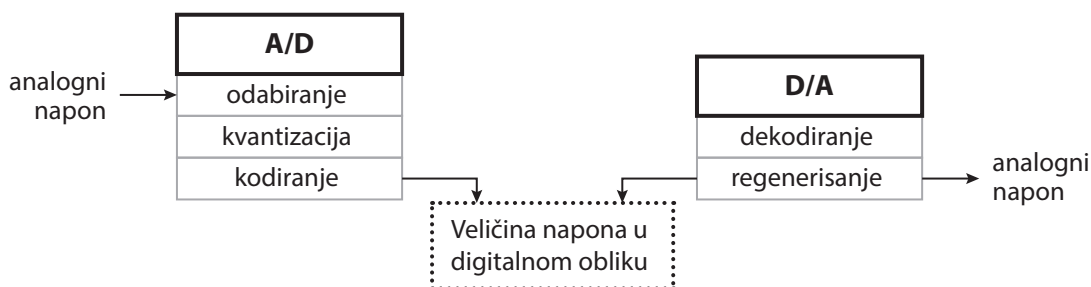
A/D i D/A konvertori su linearni ako je linearna zavisnost ulaznog i izlaznog napona. Na primjer, ako je ulazni analogni signal pet puta veći, to znači da će broj impulsa na izlazu biti pet puta veći.

D/A konvertori realizuju se pomoću ljestvičaste mreže otpornika i sa težinskom otpornom mrežom. D/A konvertor sa ljestvičastom mrežom otpornika sastoji se od prekidača i mreže otpornika, preko kojih se digitalni signal pretvara u analogni. D/A konvertor sa težinskom otpornom mrežom sastoji se od prekidača i težinske otporne mreže, preko kojih se digitalni signal pretvara u analogni. Za obje tehničke realizacije koristi se operacioni pojačavač kao složeno elektronsko kolo.

A/D konvertori realizuju se sa direktnom i posrednom konverzijom. A/D konvertori sa direktnom konverzijom rade na principu konverzije: podatak po podatak, bit po bit i kvant po kvant. Najčešće se realizuje direktna konverzija bit po bit ili konverzija sa sukcesivnom aproksimacijom.

7.2 Digitalizacija analognog signala

Procesi A/D i D/A konverzije sastoje se iz više konverzionih postupaka. Pregled tih postupaka prikazan je na slici 7.1.



Slika 7.1 Konverzioni postupci

U A/D konvertoru mijenja se talasni oblik signala: analogni signal pretvara se u povorku pravougaonih impulsa, odnosno u digitalni signal. Proces A/D konverzije se u A/D konvertoru izvršava u tri funkcionalna bloka: blokovima **odabiranja**, **kvantizacije** i **kodiranja**.

Analogni signal, najčešće predstavljen u obliku analognog napona, dovodi se u A/D konvertor preko bloka za odabiranje. U ovom bloku se u određenim vremenskom razmacima, pod dejstvom impulsa za odabiranje, formiraju odgovarajući **odbirci** analognih signala. Ovi odbirci se u bloku za kvantizaciju prevode u diskretne veličine, kojima se u bloku za kodiranje dodjeljuju odgovarajuće brojne vrijednosti, izražene u binarnom obliku. Tako se na izlazu A/D konvertora dobija digitalni signal.

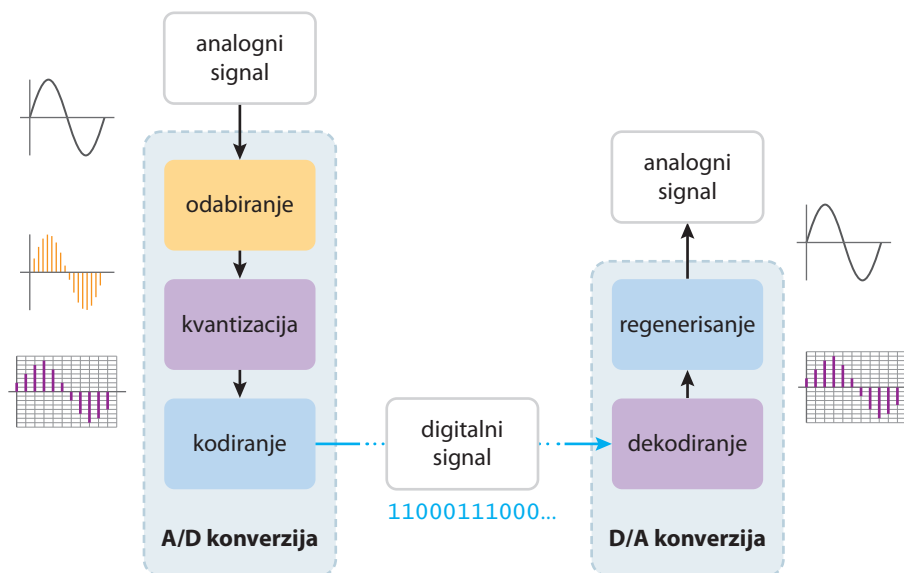
Pri pretvaranju digitalnog signala u analogni koristi se inverzni postupak digitalno-analogne konverzije. Proces D/A konverzije u D/A konvertoru obavlja se u dva funkcionalna bloka: bloku za dekodiranje i bloku za regenerisanje signala.

Digitalni signal se dovodi u D/A konvertor preko bloka za dekodiranje. U ovom bloku vrši se pretvaranje digitalnih signala u kvantizirane odbirke, odnosno u diskretne vrijednosti. Na osnovu ovih odbiraka, u bloku za regenerisanje formira se odgovarajući analogni signal. Sklop za regenerisanje pretvara niz odbiraka u analogni signal, odnosno vrši obnavljanje ulaznog analognog signala.

Na slici 7.2 prikazana je blok-šema sistema za A/D i D/A konverziju, sa izgledima odgovarajućih talasnih oblika napona na ulazima i izlazima funkcionalnih blokova sistema.

NAPOMENA

U praksi se najčešće uloga A/D konvertora svodi na kvantizaciju i kodiranje podataka, dok se D/A konvertori prave samo sa mogućnošću dekodiranja. Regenerisanje signala obavlja se u posebnim kolima, najčešće filtrima propusnicima niskih učestanosti.



Slika 7.2 Blok-šema sistema za A/D i D/A konverziju

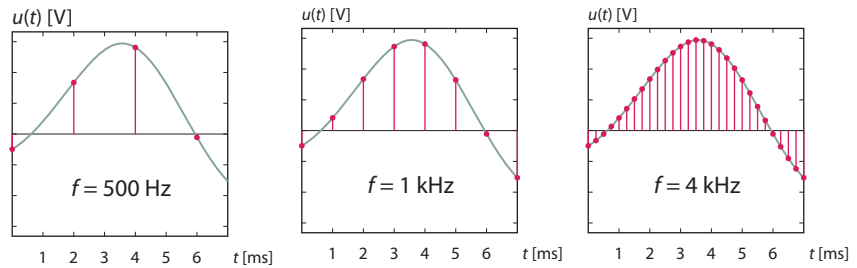
Rekli smo da se proces pretvaranja analognih signala u digitalni oblik odvija u tri glavne faze: **odabiranje**, **kvantizacija** i **kodiranje**. U tekstu koji slijedi, detaljnije ćemo opisati ove postupke.

7.2.1 Faza odabiranja

Odabiranje (uzorkovanje, odmjeravanje) jeste proces uzimanja (engl. *sampling*) određenog broja vrijednosti iz nekog analognog signala u određenim trenucima, na unaprijed definisan način. Ove vrijednosti nazivaju se **odbirci** ili **uzorci**. Kasnije ćemo vidjeti da se odbircima analognog signala dodjeljuju odgovarajuće vrijednosti u binarnom obliku. Odabiranje je diskretizacija analognog signala po vremenu.

Treba voditi računa da signal treba odabirati tako da se on može kasnije rekonstruisati i ponovo koristiti kao i originalni signal.

Talasni oblik analognog signala sastoji se od beskonačno mnogo trenutnih vrijednosti. Trenutne vrijednosti signala predstavljaju odbirke signala. Broj odbiraka analognog signala treba izabrati tako da se analogni signal može rekonstruisati. Slika 7.3 prikazuje uzimanje odbiraka analognog signala $u(t)$ različitim učestanostima odabiranja.



Slika 7.3 Odbirci analognog signala uzeti različitim učestanostima odabiranja

Veća učestanost odabiranja znači manje rastojanje između odbiraka signala. Sa slike se vidi da će signal biti vjerniji originalnom što je učestanost odabiranja veća. Postavlja se pitanje: kolika treba da bude učestanost odabiranja da bi se signal mogao vjerno rekonstruisati?

Trenutke u kojima treba uzimati odbirke definiše teorema o odabiranju. Teorema o odabiranju povezuje brzinu (učestanost) odbiraka f_0 sa maksimalnom učestanošću signala f_m koji se odabira. Teorema o odabiranju kaže da je uzimanje odbiraka signala sa učestanostima dva puta većim od njegove maksimalne učestanosti, dovoljno da se prenesu sve informacije koje nosi taj signal. Trenuci u kojima treba uzimati odbirke nalaze se na međusobnom rastojanju $T_0 \leq \frac{1}{2f_m}$. Ako je $T_0 = \frac{1}{2f_m}$, onda je T_0 maksimalna perioda odabiranja. Brzina odabiranja može se dobiti iz prethodnog izraza: $f_0 \geq 2f_m$. Ako je brzina odabiranja manja od $2f_m$, onda se ne može rekonstruisati odabrani signal. U realnim aplikacijama obično se uzima malo veća učestanost odabiranja od $2f_m$ da bi se mogao rekonstruisati signal bez gubitka informacija.

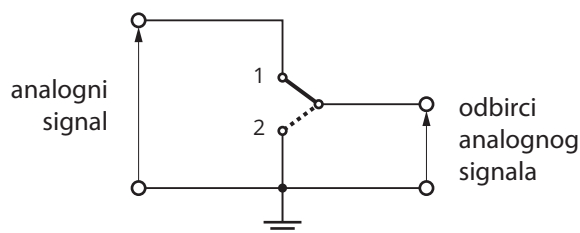
Odabiranje analognog signala vrši se u tačno određenim trenucima, što je definisano periodom odabiranja T_0 . Broj uzetih odbiraka zavisi od periode odabiranja i ukupnog vremena odabiranja analognog signala i predstavlja broj perioda odabiranja u ukupnom vremenu odabiranja. Broj uzetih odbiraka N računa se kao količnik ukupnog vremena odabiranja t_{uk} i periode odabiranja T_0 :

$$N = \frac{t_{uk}}{T_0}$$

Brzina odabiranja zavisi od učestanosti analognog signala po teoremi o odabiranju.

Sklop za odabiranje je suštinski dvopoložajni prekidač, koji u prvom položaju prenosi dio signala na izlaz, a u drugom položaju prenosi 0 V na izlaz, i to brzinom koja je jednaka učestanosti odabiranja – brzini odabiranja. Ako je prekidač upravljiv, onda se može definisati vrijeme trajanja

odbirka, vrijeme pauze kao i vrijeme ponavljanja odbirka. Broj odbiraka zavisi od vrste signala koji se odabira, da bi se tako modifikovan signal mogao ponovo rekonstruisati – vratiti u početno stanje. Na slici 7.4 prikazano je kolo za odabiranje analognog signala.



Slika 7.4 Kolo za odabiranje analognog signala

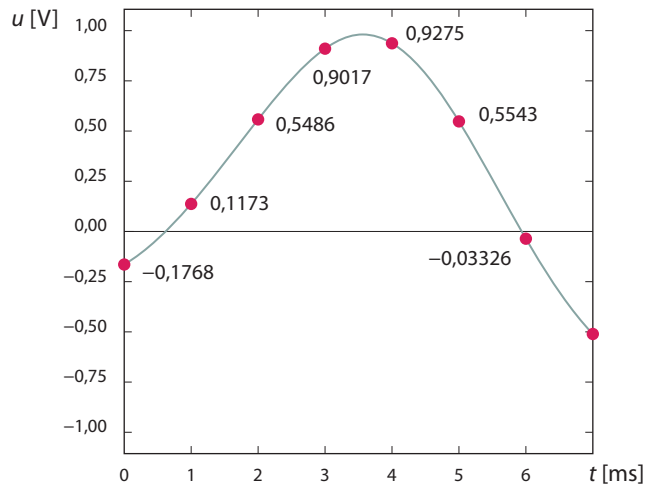
7.2.2 Faza kvantizacije

Odabiranje odnosno uzimanje uzoraka analognog signala predstavlja prvu fazu u A/D konverziji. Druga faza A/D konverzije jeste kvantizacija signala.

Tačnost rekonstruisanog signala zavisi ne samo od trenutaka u kojima se uzimaju odbirci, već i od vrijednosti amplituda koje se dodjeljuju odbircima. U postupku kvantizacije, beskonačan skup vrijednosti amplituda analognog signala čini se konačnim. To se vrši dodjelom odgovarajućih vrijednosti amplitudama iz prethodno definisanog skupa. Ovaj postupak naziva se **kvantizacija**.

Kvantizacija predstavlja diskretizaciju analognog signala po vrijednostima amplituda.

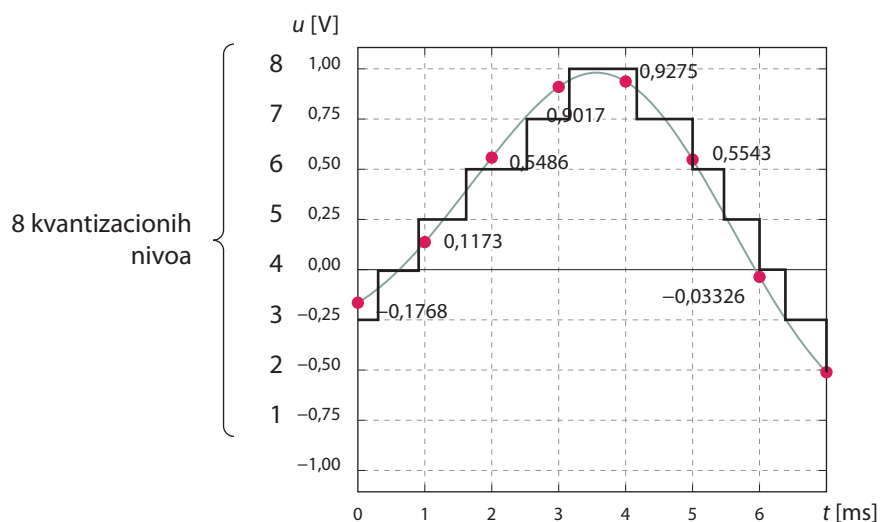
Posmatrajmo signal sa slike 7.5 koji smo, primjenom teoreme o odabiranju, predstavili skupom njegovih diskretnih vrijednosti uzetih u osam trenutaka odabiranja. Tačne vrijednosti osam odbiraka amplituda ovog signala date su, na primjer, u voltima.



Slika 7.5 Analogni signal sa vrijednostima osam odbiraka

U praksi je sasvim dovoljno da se svakoj amplitudi signala dodijeli neka brojčana vrijednosti iz prethodno definisanog skupa. Ove vrijednosti, koje se mogu predstaviti određenim brojem nivoa signala, nazivaju se **kvantizacioni nivoi** signala.

Na slici 7.6 prikazan je slučaj gdje je amplitudni opseg signala podijeljen u osam kvantizacionih nivoa. Svakoj amplitudi dodjeljuje se odgovarajuća brojna vrijednost. Sa slike se vidi da će vrijednost amplitude odbiraka 0,9017 i 0,9275 volti imati istu brojnu vrijednost. Ova razlika u vrijednostima amplituda kojima se dodjeljuje ista brojčana vrijednost, naziva se **greška kvantizacije**. Greška kvantizacije zavisi od broja mogućih vrijednosti odbiraka – broja kvantizacionih nivoa, odnosno od koraka kvantizacije.



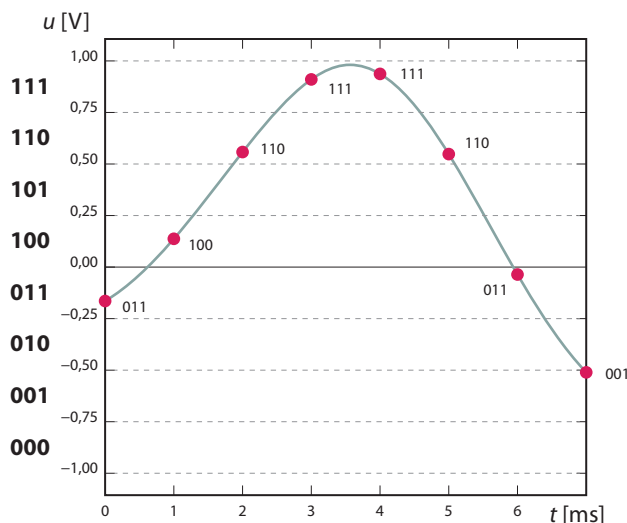
Slika 7.6 Dodjela kvantizacionih nivoa

Broj kvantizacionih nivoa potreban za kvalitetnu rekonstrukciju signala, zavisi od vrste signala koji se prenosi i tipa obrade. Tako se, na primjer, za telefonski kanal, za dobijanje kvaliteta koji se smatra zadovoljavajućim, koristi 256 kvantizacionih nivoa. Svakom nivou dodjeljuje se osmobarbitna binarna vrijednost za završnu fazu A/D konverzije koja se zove **kodiranje** ($2^8 = 256$).

7.2.3 Faza kodiranja

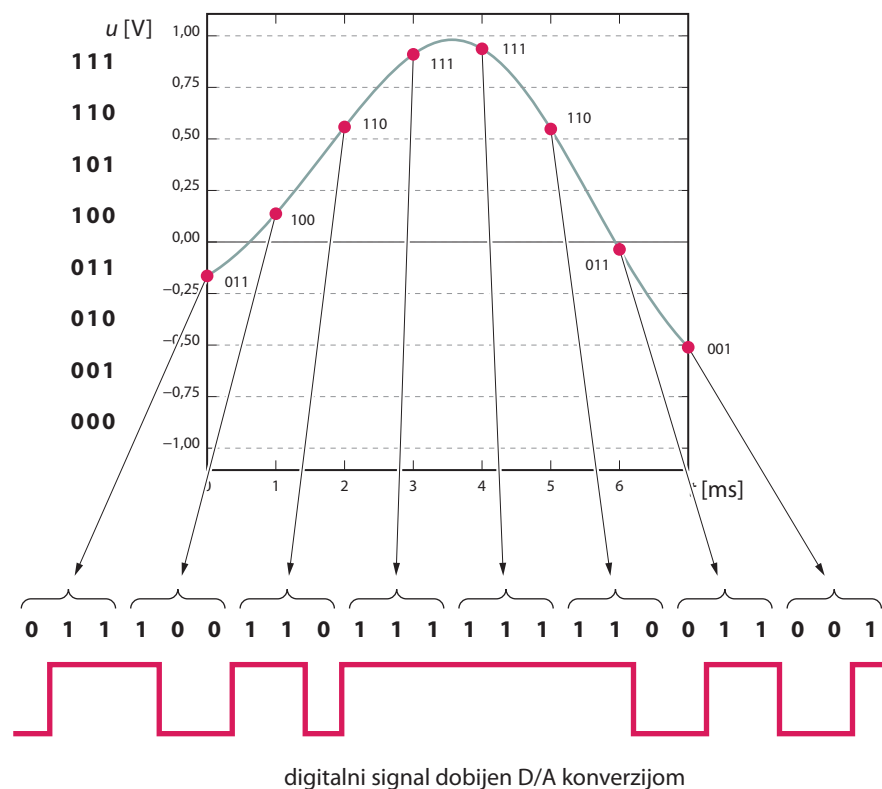
Dodjela binarnih vrijednosti kvantiziranim odbircima, odnosno kodiranje kvantiziranih odbiraka, predstavlja treću fazu A/D konverzije. Svakom kvantiziranom odbirku, odnosno odbirku unutar određenog kvantizacionog nivoa, dodjeljuje se određena brojna vrijednost, tj. binarna riječ. U ovoj fazi, odabranim tačkama dodjeljuju se odgovarajuće brojne vrijednosti, koje se prenose umjesto odbiraka. Brojna vrijednost, koja se dodjeljuje svakom nivou, zatim se pretvara u odgovarajuću binarnu vrijednost, odnosno u svoj binarni ekvivalent.

Dakle, u fazi kodiranja, odbircima se dodjeljuju binarne vrijednosti koje odgovaraju amplitudama odbiraka. Na slici 7.7 prikazana je dodjela kodiranih binarnih vrijednosti kvantizacionom nivou. Kako su za označavanje osam vrijednosti signala potrebna 3 bita ($2^3 = 8$), to se svakoj amplitudi dodjeljuje odgovarajući 3-bitni binarni broj.



Slika 7.7 Dodjela kodiranih binarnih vrijednosti kvantizacionom nivou

Izgled dobijenog digitalnog signala prikazan je na slici 7.8.



Slika 7.8 Dodjela binarnih vrijednosti odbircima i izgled dobijenog digitalnog signala

U telekomunikacijama se vrši višestruko kodiranje u predajniku i višestruko dekodiranje u prijemniku radi povećanja pouzdanosti prenosa, njegove ekonomičnosti i radi obezbjeđenja tajnosti poruke koja se prenosi. Za kodiranje se koriste uniformni kodovi, odnosno kodne riječi iste dužine, osim u posebnim slučajevima.

A/D i D/A konvertori prave se u integrisanoj tehnici kao 8-bitni, 10-bitni, 12-bitni, 14-bitni i 16-bitni konvertori.

PRIMJER 7.1

Izračunaj brzinu i period odabiranja telefonskog govornog signala ako je njegova granična učestanost $f_g = 3,4$ kHz.

Rješenje: Zadana granična učestanost predstavlja maksimalnu učestanost u spektru signala govora za njegovo odabiranje, pri čemu će se sačuvati vjerodostojnost početnog signala. Prema teoremi o odabiranju, brzina odabiranja je dva puta veća od maksimalne učestanosti signala koji se digitalizuje:

$$f_0 = 2 \cdot f_m = 6,8 \text{ kHz.}$$

$$T_0 = \frac{1}{f_0} = \frac{1}{6,8 \text{ kHz}} = 147 \text{ } \mu\text{s.}$$

PRIMJER 7.2

Brzina odabiranja audio-signala je 44,1 kHz. Izračunaj maksimalnu učestanost signala u spektru audio-signala i period odabiranja.

Rješenje: Prema teoremi o odabiranju, maksimalna učestanost signala je dva puta manja od brzine odabiranja:

$$f_g = \frac{f_0}{2} = 22,05 \text{ kHz.}$$

$$T_0 = \frac{1}{f_0} = \frac{1}{44,1 \text{ kHz}} = 22,7 \text{ } \mu\text{s.}$$



Provjera usvojenih znanja

1. Navedi razliku između analognih i digitalnih signala.
2. Definiši pojam i potrebu digitalizacije analognih signala.
3. Definiši funkcije A/D i D/A konvertora signala.
4. Navedi korake kojima se od analognog signala može dobiti digitalni signal.
5. Navedi korake kojima se od digitalnog signala može dobiti analogni signal.
6. Objasni pojavu digitalizacije analognog signala po vremenu.
7. Objasni pojavu digitalizacije analognog signala po vrijednostima amplituda.
8. Objasni od čega zavisi broj odbiraka pri digitalizaciji analognog signala.
9. Objasni od čega zavisi greška kvantizacije nastala pri digitalizaciji analognog signala.
10. Skiciraj oblike signala u svim fazama A/D i D/A konverzije ako se na ulaz dovede analogni slučajni signal.

7.3 Digitalno-analogni konvertori

Prisjetimo se da se digitalni podaci obično prikazuju u obliku binarnog broja sa n cifara, odnosno bitova: $b_{n-1}, \dots, b_2, b_1, b_0$. Cifre b_i mogu da imaju vrijednosti 1 i 0. Prisjetimo se i da se vrijednost nekog dekadnog broja N može izraziti binarnim brojem, pomoću obrasca:

$$N = 2^{n-1} \cdot b_{n-1} + \dots + 2^2 \cdot b_2 + 2^1 \cdot b_1 + 2^0 \cdot b_0.$$

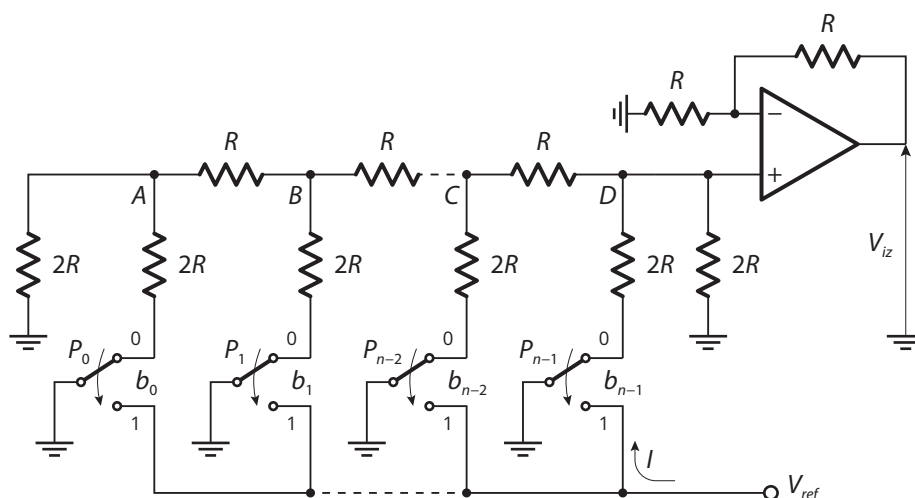
Ako se binarni broj pretvori u odgovarajući napon, tada je vrijednost dobijenog napona V srazmjerna dekadnoj vrijednosti binarnog broja N :

$$V = kN = k(2^{n-1} \cdot b_{n-1} + \dots + 2^2 \cdot b_2 + 2^1 \cdot b_1 + 2^0 \cdot b_0).$$

U gornjem izrazu k predstavlja konstantu srazmjere napona V i dekadnog broja N .

Upravo je na izloženoj zavisnosti zasnovan princip rada D/A konvertora. Naime, D/A konvertori na svom izlazu daju analogni napon, koji je proporcionalan ulaznom digitalnom signalu. Ulazni digitalni signal obično se zadaje pomoću prekidača koji na otporničku mrežu dovodi neki referenti napon (koji predstavlja logičku jedinicu) ili masu (koja predstavlja logičku nulu). Prekidači se u D/A konvertorima obično realizuju u tranzistorskoj tehnici. Otpornička mreža u praksi se najčešće realizuje kao **ljestvičasta mreža otpornika**.

D/A konvertor sa ljestvičastom mrežom prikazan je na slici 7.9:



Slika 7.9 D/A konvertor sa ljestvičastom otporničkom mrežom

Otpornička mreža sastoji se od većeg broja otpornika, koji imaju samo dvije vrijednosti: R i $2R$. Prekidači $P_0, P_1, \dots, P_{n-1}$, koji se u praksi realizuju kao prekidački tranzistori, radi jednostavnosti su na slici prikazani kao mehanički prekidači. Ovi prekidači su zatvoreni kada je odgovarajući bit jednak jedinici. Tada se otpornici $2R$ prespajaju sa izvorom referentnog napona V_{ref} . U slučaju kada je odgovarajući bit jednak nuli, prekidači su otvoreni, pa se preko njih otpornici $2R$ spajaju na masu (napon je jednak nuli).

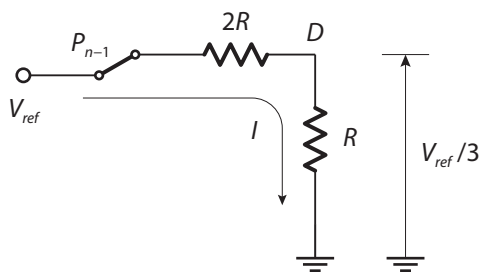
Da bismo objasnili rad otporničke mreže, najprije razmotrimo slučaj kada je bit najveće težine b_{n-1} jednak jedinici ($MSB = 1$), dok su svi ostali bitovi jednaki nuli. U ovom slučaju prekidač P_{n-1} biće zatvoren, i preko njega će se na otporničku mrežu dovesti napon V_{ref} , dok će svi ostali prekidači biti otvoreni, i svi otpornici $2R$ biće spojeni na masu.

Posmatrajući mrežu iz bilo kog čvora, bilo sa lijeve bilo sa desne strane, ekvivalentna otpornost uvijek je $2R$. Provjerimo ovo tvrđenje za nekoliko čvora, računajući ekvivalentne otpornosti sa lijeve strane čvorova.

Lijevo od čvora A očigledno je da je ekvivalentna otpornost $2R$. Lijevo od čvora B , dva otpornika otpornosti $2R$ vezana su paralelno, a zatim redno sa otpornikom otpornosti R , pa je ekvivalentna otpornost takođe $2R$. S obzirom na to da je lijevo od čvora B ekvivalentna otpornost $2R$, te da je ona vezana paralelno sa otpornošću $2R$ i na red sa otpornošću R , slijedi da je i lijevo od čvora C ekvivalentna otpornost $2R$. Idući dalje desno, na sličan način zaključujemo da će ekvivalentne otpornosti lijevo od bilo kojeg čvora biti jednake $2R$.

Kako je otpornička mreža simetrična, jasno je da isti zaključci važe i kada se posmatraju ekvivalentne otpornosti s druge, desne strane ma kojeg čvora.

Iz prethodne analize možemo zaključiti da će u slučaju kada je prekidač P_{n-1} zatvoren, a svi ostali prekidači u mreži otvoreni, mreža izgledati kao na slici 7.10.



Slika 7.10 Izgled otporničke mreže sa slike 7.8 za slučaj da je $MSB = 1$

Struja u ovom kolu će biti:

$$I = \frac{V_{ref}}{2R + R} = \frac{V_{ref}}{3R}$$

a napon na otporniku R će biti:

$$V = RI = V_{ref} \frac{R}{3R} = \frac{V_{ref}}{3}.$$

Operacioni pojačavač na slici 7.9 je neinvertujući, sa pojačanjem $A = 3$, pa je napon na njegovom izlazu:

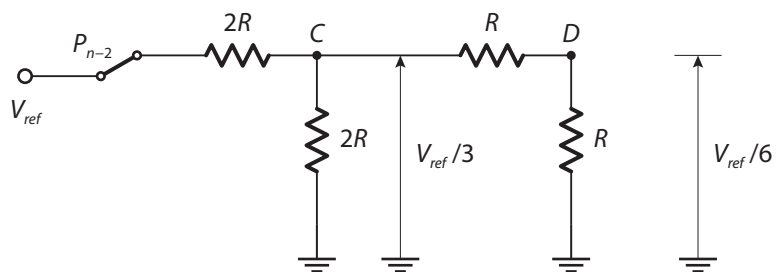
$$V_{iz} = A \frac{V_{ref}}{3} = 3 \frac{V_{ref}}{3} = V_{ref}.$$

Sada razmotrimo slučaj da je vrijednost bita $b_{n-2} = 1$ (MSB – 1 = 1) a da su svi ostali bitovi jednaki nuli. U ovom slučaju samo je prekidač P_{n-2} zatvoren, dok su svi ostali prekidači otvoreni. Referentni napon V_{ref} dovodi se u tačku C preko prekidača P_{n-2} , pa je napon u tački C takođe jednak $\frac{V_{ref}}{3}$, odnosno važi da je:

$$V_C = \frac{V_{ref}}{3}.$$

Od tačke D do mase postoji otpornost R , nastala paralelnim vezivanjem dvije krajnje desne otpornosti $2R$ ($Rekv. = \frac{2R \cdot 2R}{2R + 2R} = \frac{4R^2}{4R} = R$).

Izgled otporničke mreže u ovom slučaju prikazan je na slici 7.11.



Slika 7.11 Izgled otporničke mreže sa slike 7.9 za slučaj da je MSB – 1 = 1

Napon u tački D je:

$$V_D = \frac{V_C}{2} = \frac{V_{ref}}{6}.$$

Izlazni napon D/A konvertora ne uzima se direktno sa otporničke mreže, već sa izlaznog stepena koji čini operacioni pojačavač. Postoji više

razloga zbog kojih se izlazni stepen D/A konvertora redovno realizuje kao operacioni pojačavač. Pomenućemo samo dva najznačajnija. Prvo, velika ulazna otpornost operacionog pojačavača neznatno opterećuje otporničku mrežu. I drugo, podešavanjem vrijednosti otpornika u kolu operacionog pojačavača može se po potrebi podešavati vrijednost signala dobijenog na njegovom izlazu.

Napon na izlazu neinvertujućeg operacionog pojačavača, čije je pojačanje $A = 3$, biće:

$$V_{iz} = AV_D = 3 \frac{V_{ref}}{6} = \frac{V_{ref}}{2}.$$

Primjenjujući ovu analizu, možemo izvesti zaključak da bi vrijednost logičke jedinice sljedećeg bita ulijevo, pri svim ostalim bitovima postavljenim na nulu, dala na izlazu operacionog pojačavača napon $\frac{V_{ref}}{4}$, narednog

lijevo od njega $\frac{V_{ref}}{8}$, i tako redom.

Ostalo nam je da vidimo šta će se dogoditi kada se istovremeno uključi više prekidača.

Razmotrimo slučaj kada su uključeni prekidači P_{n-1} i P_{n-2} . U ovom slučaju izlazni napon će biti:

$$V_{iz} = V_{ref} + \frac{V_{ref}}{2} = V_{ref} \left(1 + \frac{1}{2} \right).$$

Ukoliko su svi prekidači uključeni, izlazni napon će biti:

$$V_{iz} = V_{ref} + \frac{V_{ref}}{2} + \dots + \frac{V_{ref}}{2^{n-1}} = V_{ref} \left(1 + \frac{1}{2} + \dots + \frac{1}{2^{n-1}} \right).$$

U opštem slučaju će biti:

$$V_{iz} = V_{ref} \left(b_{n-1} + \frac{b_{n-2}}{2} + \frac{b_{n-3}}{4} + \dots + \frac{b_0}{2^{n-1}} \right),$$

odnosno:

$$V_{iz} = \frac{V_{ref}}{2^{n-1}} (2^{n-1} b_{n-1} + 2^{n-2} b_{n-2} + 2^{n-3} b_{n-3} + \dots + 2^1 b_1 + 2^0 b_0).$$

Vrijednostima b_i odgovaraju vrijednosti 1 ili 0, zavisno od toga da li su odgovarajući prekidači u mreži zatvoreni ili otvoreni.

Na kraju imamo da je:

$$V_{iz} = k(2^{n-1} b_{n-1} + 2^{n-2} b_{n-2} + 2^{n-3} b_{n-3} + \dots + 2^1 b_1 + 2^0 b_0).$$

Vidimo da je vrijednost napona na izlazu operacionog pojačavača srazmjerna decimalnoj vrijednosti nekog binarnog broja pretvorenog u odgovarajući električni napon. Zaključujemo da je napon dobijen na izlazu iz operacionog pojačavača analogni napon, čija je vrijednost srazmjerna njegovoj vrijednosti u digitalnom obliku. Zbog toga mreža sa slike 7.9 predstavlja električnu šemu D/A konvertora.

Analogni signali su kontinualni i u datom opsegu, mogu da imaju beskonačno mnogo vrijednosti. S druge strane, digitalni signali su diskretni, pa je broj njihovih vrijednosti u istom opsegu ograničen. Zbog toga na izlazu D/A konvertora ne može se dobiti bilo koja vrijednost napona, već samo 2^n različitih mogućih vrijednosti. Razlika između dvije susjedne vrijednosti napona prilikom D/A konverzije naziva se **rezolucija D/A konvertora**.

Dakle, rezolucija konvertora predstavlja najmanju promjenu napona koju konvertor može da registruje. Najmanja promjena diskretnog signala jednaka je promjeni koju određuje bit najmanje težine, odnosno bit najniže pozicije vrijednosti. Zbog toga je rezolucija D/A konvertora jednaka vrijednosti napona koji odgovara bitu najmanje težine b_0 . Rezolucija D/A konvertora označava se sa ΔV i računa se po formuli:

$$\Delta V = \frac{V_{ref}}{2^{n-1}}$$

PRIMJER 7.3

Izračunaj rezoluciju i napon na izlazu osmobitnog D/A konvertora ako je ulazni podatak 01001011, a $V_{ref} = 5 \text{ V}$.

Rješenje: Rezolucija D/A konvertora je:

$$\Delta V = \frac{V_{ref}}{2^{n-1}} = \frac{5 \text{ V}}{2^{8-1}} = \frac{5 \text{ V}}{128} = 0,039 \text{ V},$$

a izlazni napon se računa po formuli:

$$V_{iz} = \frac{5 \text{ V}}{2^{8-1}} (2^{8-1} b_{8-1} + 2^{8-2} b_{8-2} + \dots + 2^0 b_0).$$

Zamjenom vrijednosti bita iz ulaznog podatka i izračunavanjem stepena broja 2, dobijamo da je:

$$\begin{aligned} V_{iz} &= \frac{5 \text{ V}}{128} (128 \cdot 0 + 64 \cdot 1 + 32 \cdot 0 + 16 \cdot 0 + 8 \cdot 1 + 4 \cdot 0 + 2 \cdot 1 + 1 \cdot 1) \\ &= \frac{5 \text{ V}}{128} \cdot 75 = 2,93 \text{ V} \end{aligned}$$

NAPOMENA

Audio-signali se na optičke CD-ove narezuju u digitalnom obliku u formatu MP3, ili se u istom formatu memorišu u USB fleš memoriji. Kada želimo da slušamo muziku, audio-signali se iz digitalnog moraju pretvoriti u analogni signal. Zbog toga su D/A konvertori sastavni dijelovi CD plejera, digitalnih muzičkih plejera i kompjuterskih zvučnih kartica.

Slično važi i za video-sigale. Iz digitalnih izvora, kao što je npr. računar, oni moraju biti konvertovani u analogni signal kada treba da se prikažu na monitoru. U ovom slučaju D/A konvertori obično su integrisani sa nekom memorijom. Preko tih integrisanih kola mogu da se podešavaju kontrasti osvijetljenost ekrana.

Kako broj 75 predstavlja dekadnu vrijednost ulaznog binarnog broja, onda možemo zaključiti da je:

$$V_{iz} = 75 \cdot \Delta V_{ref}$$

Na kraju ovog odjeljka kazaćemo nekoliko riječi o kriterijumima za izbor vrijednosti otpornika u otporničkoj mreži D/A konvertora.

Analogni napon koji se dobija na izlazu D/A konvertora treba da bude što vjerniji originalnom, digitalnom naponu. Zbog toga je tačnost jedan od najvažnijih parametara D/A konverzije. Rekli smo da se prekidači u D/A konvertorima realizuju pomoću tranzistora. Uticaj otpornosti prekidača na otporničku mrežu je negativan, i on se može smanjiti ukoliko se usvoje veće vrijednosti otpornika u otporničkoj mreži. S druge strane, povećanje vrijednosti otpornika u otporničkoj mreži smanjuje brzinu uspostavljanja odgovarajućih vrijednosti analognih napona, odnosno smanjuju brzinu odziva D/A konvertora na promjenu ulaznih podataka. Prema tome, vrijednosti otpornika u otporničkoj mreži definisani su brzinom i tačnošću koja se zahtijeva od D/A konvertora.

Provjera usvojenih znanja

1. Definiši načine kako se digitalni signal može pretvoriti u analogni signal.
2. Objasni princip rada D/A konvertora sa ljestvičastom otpornom mrežom.
3. Izvedi izraz za izlazni napon D/A osmobitnog konvertora sa ljestvičastom otpornom mrežom.
4. Objasni od čega zavisi tačnost rada D/A konvertora sa ljestvičastom otpornom mrežom.
5. Definiši rezoluciju D/A konvertora.
6. Definiši načine generisanja digitalnog signala na ulazu D/A konvertora.
7. Objasni kako vrijednosti otpornosti otpornika u direktnoj i povratnoj grani utiču na tačnost D/A konvertora sa ljestvičastom otpornom mrežom.
8. Objasni na koji način vrijednosti otpornosti otpornika u direktnoj i povratnoj grani utiču na vrijednost napona na izlazu D/A konvertora sa ljestvičastom otpornom mrežom.

7.4 Analogno-digitalni konvertori

Rekli smo da se u analogno-digitalnim (A/D) konvertorima vrši pretvaranje analognih vrijednosti signala u njihove digitalne ekvivalente. Takođe smo vidjeli da proces analogno-digitalne konverzije obuhvata tri postupka: odabiranje analognog signala, amplitudsku kvantizaciju i kodiranje signala.

Postoji više tehnika izvođenja postupka A/D konverzije, i shodno tome postoji mnogo različitih uređaja za izvođenje A/D konverzije. U praksi se A/D konverzija najčešće vrši na tri načina: **podatak po podatak**, **kvant po kvant** i **bit po bit**.

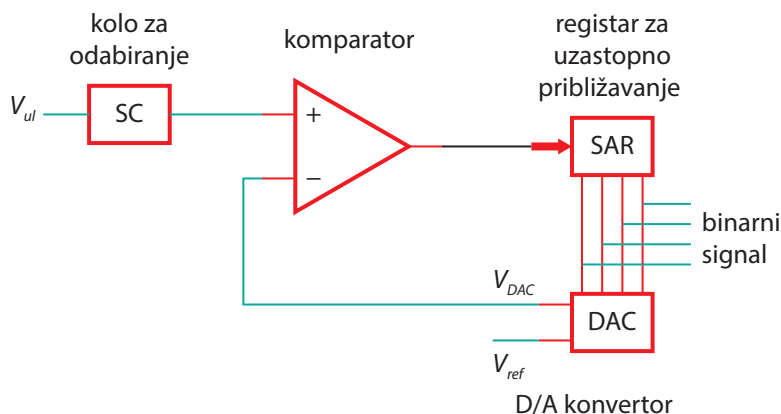
U postupku **podatak po podatak** kvantizacija se vrši tako što se analogni podatak ili odbirak istovremeno upoređuje sa svim postojećim diskretnim veličinama kako bi se odredila njegova digitalna vrijednost. Zbog toga se ovakva konverzija naziva **jednovremena** ili **simultana**. Ovaj postupak konverzije je brz, jer se nalaženje digitalne vrijednosti signala obavlja u jednom taktom intervalu. Da bi to bilo moguće, u slučaju da je n broj bita u digitalnom podatku, onda je neophodno raspolagati sa $2^n - 1$ digitalnih uzoraka, kojima se upoređuje vrijednost analognog signala. Zbog toga je ovaj metod komplikovan za realizaciju, jer zahtijeva velik broj uzoraka digitalnih signala.

Postupak **kvant po kvant** sastoji se od mjerenja analogne veličine pomoću samo jedne, i to najmanje postojeće diskretne veličine. Ova veličina predstavlja uporedni uzorak, odnosno **kvant**. Pošto se pri mjerenju vrši brojanje uporednih uzoraka sadržanih u mjerenoj analognoj veličini, to se ovaj postupak naziva i **brojačka konverzija**. Ovaj postupak konverzije nije suviše komplikovan, jer zahtijeva samo jedan uporedni uzorak. Međutim, on je spor, jer se odvija u onoliko taktih intervala koliko mjerena veličina sadrži uporednih uzoraka.

Postupak **bit po bit** predstavlja srednje rešenje, jer je znatno jednostavniji od prvog a znatno brži od drugog postupka. Suština ovog postupka je u sljedećem: digitalna vrijednost analognog signala dobija se postupnim određivanjem svakog bita posebno, polazeći od bita najveće pozicije vrijednosti. Konvertori zasnovani na ovom postupku nazivaju se A/D konvertori sa sukcesivnom aproksimacijom ili **A/D konvertori sa uzastopnim približavanjem**.

7.4.1 A/D konvertori sa uzastopnim približavanjem

Na slici 7.12 prikazana je blok-šema A/D konvertora sa uzastopnim približavanjem.



Slika 7.12 Blok-šema A/D konvertora sa uzastopnim približavanjem

Kao što se vidi sa slike, A/D konvertor sa uzastopnim približavanjem sastoji se od kola za odabiranje, komparatora, registra za uzastopno približavanje i D/A konvertora.

Kolo za odabiranje (*Sampling Circuit*, SC) vrši proces odabiranja analognog signala. Vrijednosti amplitude odbiraka zatim se upoređuju sa odgovarajućim signalima dobijenim na izlazu D/A konvertora. Poređenje se vrši u komparatoru.

Registar za uzastopno približavanje (*Sucsessive Aproximative Register*, SAR) jeste složeno kolo, i njegov rad predstavice samo na funkcionalnom nivou.

U trenutku kada započinje nova konverzija, kolo za odabiranje odabira ulazni napon i tada se ovaj signal odbirka uspoređuje s izlaznim signalom D/A konvertora. Da bismo shvatili koncept, pretpostavimo da je A/D konvertor četvorobitni i da je amplituda odbirka 11,2 V.

Pretpostavimo da je referentni napon komparatora 16 V. Kad god započne nova konverzija, registar uzastopnih aproksimacija postavlja najznačajniji bit na 1, a sve ostale bitove na 0. Kako je registar vezan sa D/A konvertorom, to će ulaz u D/A konvertor biti 1000. Na izlazu iz konvertora dobija se izlazni napon, koji odgovara polovini vrijednosti referentnog napona, odnosno važi da je $V_{DAC} = 8 \text{ V}$.

Ovo je prag napona s kojim će se ulazni napon upoređivati. Izlazni napon komparatora uticaće na vrijednost koja se dobija na izlazu uzastopnog registra. Ovdje postoje dvije mogućnosti:

$$1) V_{DAC} > V_{ul} \text{ i } 2) V_{DAC} < V_{ul}.$$

Ako je izlazni napon D/A konvertora manji od ulaznog napona ($V_{DAC} < V_{ul}$), tada najznačajniji bit ostaje nepromijenjen, odnosno zadržava vrijednost 1, dok se sljedeći bit postavlja na 1 radi novog poređenja. U slučaju da je izlazni napon D/A konvertora veći od ulaznog napona, ($V_{DAC} > V_{ul}$), tada se MSB bit postavlja na nulu, dok se sljedeći bit postavlja na 1 radi novog poređenja.

U našem slučaju, izračunali smo da je izlazni napon iz D/A konvertora 8 V ($V_{DAC} = 8 \text{ V}$), dok je V_{ul} 11,2 V. Dakle, uslov $V_{ul} > V_{DAC}$ je zadovoljen, pa se najznačajniji bit neće promijeniti, odnosno ostaje MSB = 1. U sljedećoj iteraciji, vrijednost bita koji je susjedni MSB bitu postavlja se na 1. Sada ulaz u D/A konvertor postaje 1100. Izlaz iz D/A konvertora koji odgovara ovom binarnom kodu jeste $V_{DAC} = 12 \text{ V}$, i on predstavlja novu vrijednost napona koja se upoređuje sa amplitudom odbirka, odnosno ulaznim naponom.

U sljedećoj iteraciji, ulazni napon se ponovo upoređuje s naponom na izlazu D/A konvertora, odnosno sa naponom V_{DAC} . Ako je napon na izlazu iz D/A konvertora manji od ulaznog, onda drugi bit zadržava vrijednost postavljenu na 1, dok se istovremeno treći bit postavlja na vrijednost 1 radi novog poređenja. Ako je pak napon na izlazu D/A konvertora veći od ulaznog, vrijednost drugog bita se mijenja, odnosno postavlja na nulu, dok se vrijednost trećeg bita postavlja na 1 radi novog poređenja.

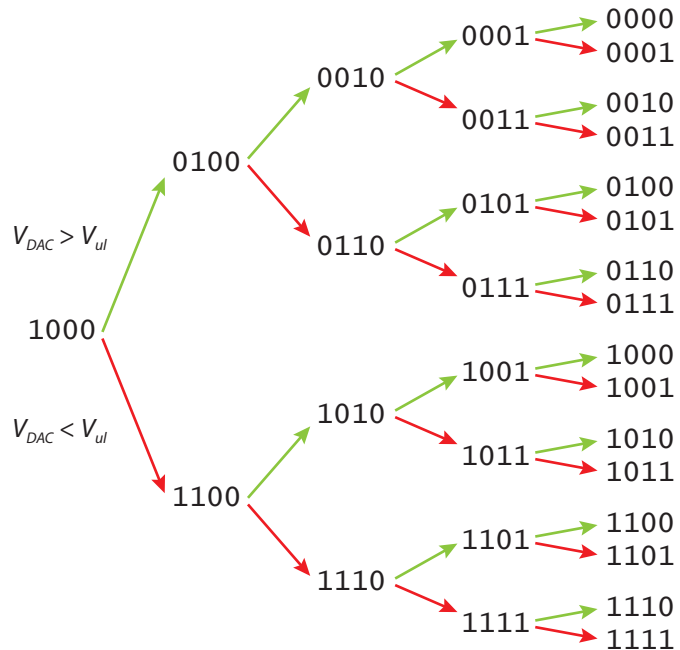
Kako je u našem slučaju $V_{ul} < V_{DAC}$, ulaz u D/A konvertor postaje 1010. Izlaz iz D/A konvertora koji odgovara ovom binarnom kodu jeste $V_{DAC} = 10 \text{ V}$, i on predstavlja novu vrijednost napona koja se upoređuje sa amplitudom odbirka, odnosno ulaznim naponom.

Isti proces se ponavlja ponovo.

Ako je ulazni napon manji od 10 V, treći bit ostaje nepromijenjen, odnosno zadržava vrijednost 1, dok se vrijednost sljedećeg, sada bita najmanje pozicione vrijednosti (LSB), postavlja na 1. Ukoliko je ulazni napon veći od 10 V, treći bit se postavlja na nulu, a sljedeći LSB bit na jedinicu radi sljedećeg poređenja. Pošto je vrijednost ulaznog napona veća od V_{DAC} , sljedeća kodna riječ na ulazu u D/A konvertor postaje 1011. Odgovarajući napon na izlazu D/A konvertora sada je 11 V. Ovaj napon se u komparatoru

upoređuje sa ulaznim naponom i, kako je $V_{ul} > V_{DAC}$, onda se dobija konačna kodna riječ 1011.

Na slici 7.13 prikazana je hijerarhijska struktura stabla koja prikazuje sve mogućnosti koje se javljaju tokom navedenih iteracija. Na kraju se, na bazi ovih poređenja, dobija odgovarajuća kodna riječ.



Slika 7.13 Hijerarhijska struktura stabla sa svim mogućnostima koje se javljaju tokom iteracija u četvorobitnom A/D konvertoru

Iz date analize zaključujemo da se, korišćenjem postupka sukcesivnih aproksimacija, A/D konverzija izvršava u n taktnih impulsa, što je znatno manje od $2^n - 1$ taktnih impulsa, koliko npr. zahtijeva postupak konverzije kvant po kvant.

Vratimo se na prethodnu analizu kako bismo definisali osnovne parametre A/D konverzije.

Dobili smo da u izloženom postupku, analognom odbirku amplitude 11,2 V, odgovara digitalni signal 1011, čija je vrijednost 11 V (binarnom broju 1011_2 odgovara decimalni ekvivalent 11_{10}). Razlika između stvarne vrijednosti analognog odbirka i vrijednosti njegovog binarnog ekvivalenta, koja u ovom slučaju iznosi 0,2 V, predstavlja **grešku kvantizacije**.

U A/D konverziji, greška kvantizacije definiše se kao razlika između vrijednosti analogne amplitude odbirka i njemu najbliže dostupne digitalne vrijednosti.

Greška kvantizacije zavisi od broja bita n u kodnoj riječi i vrijednosti referentnog napona V_{ref} . U opštem slučaju je:

$$\text{Greška kvantizacije} = \frac{V_{ref}}{2^n}.$$

Na primjer, ako je referentni napon 16 V, a broj bitova 4, onda je greška kvantizacije:

$$\text{Greška kvantizacije} = \frac{V_{ref}}{2^n} = \frac{16 \text{ V}}{2^4} = 1 \text{ V}.$$

Drugim riječima, svaki ulazni napon manji od greške kvantizacije, u ovom slučaju manji od 1 V, smatraće se da je jednak nuli.

Vrijeme potrebno analogno-digitalnom konvertoru za potpuno pretvaranje analognih signala u digitalne, naziva se **vrijeme konverzije**. Vrijeme konverzije zasniva se na broju bitova, jer je za konverziju analognog signala u digitalni, predstavljenog sa n bitova, potreban broj od n taktnih ciklusa, T_{clk} . Kod A/D konverzije sa sukcesivnim aproksimacijama, svaka iteracija traje jedan ciklus. Dakle, vrijeme konverzije računa se po formuli:

$$T_c = N \cdot T_{clk}.$$

Zaključujemo da je vrijeme A/D konverzije metodom sukcesivnih aproksimacija nezavisno od vrijednosti ulaznog napona.

I na kraju ovog odjeljka, pomenimo još jednu veličinu koja karakteriše rad A/D konvertora. To je **brzina konverzije**. Brzina konverzije je brzina kojom se odvija konverzija analognog u digitalni signal. Uobičajena brzina konverzije kod A/D konvertora koji rade metodom sukcesivnih aproksimacija iznosi između 2 i 10 miliona odbiraka u sekundi.

PRIMJER 7.4

Izračunaj grešku kvantizacije osmobitnog A/D konvertora sa uzastopnim približavanjem ako je referentni napon D/A konvertora $V_{ref} = 10 \text{ V}$.

Rješenje: Greška kvantizacije pomenutog A/D konvertora zavisi od referentnog napona D/A konvertora i broja bitova koje konvertor obrađuje, i definiše se kao razlika između ulaznog odbirka i njegove najbliže vrijednosti u binarnom ekvivalentu. Znajući da je $n = 8$, može se izračunati greška kvantizacije:

$$\text{Greška kvantizacije} = \frac{V_{ref}}{2^n} = \frac{10 \text{ V}}{2^8} = \frac{10 \text{ V}}{256} = 40 \text{ mV}.$$

NAPOMENA

Svaki ulazni napon odbirka koji je manji od 40 mV smatra se jednakim nuli.

PRIMJER 7.5

Izračunaj vrijeme konverzije osmobitnog A/D konvertora sa uzastopnim približavanjem ako je trajanje jednog ciklusa $T_{clk} = 1 \mu s$.

Rješenje: Vrijeme konverzije A/D konvertora sa uzastopnim približavanjem zavisi od broja bitova koje konvertor obrađuje i trajanja jednog ciklusa. Pošto je $N = 8$, može se izračunati traženo vrijeme konverzije prema formuli:

$$T_c = N \cdot T_{clk} = 8 \cdot 1 \mu s = 8 \mu s.$$



Provjera usvojenih znanja

1. Navedi tehnike konverzije analognog signala u digitalni signal.
2. Uporedi tehničke realizacije A/D konverzije u vezi sa brzinom dobijanja binarnog signala na izlazu konvertora.
3. Objasni način pretvaranja analognog u digitalni signal metodom „podatak po podatak“.
4. Objasni način pretvaranja analognog u digitalni signal metodom „kvant po kvant“.
5. Objasni način pretvaranja analognog u digitalni signal metodom „bit po bit“.
6. Navedi tehniku koja se primjenjuje u praksi za konverziju analognog signala u digitalni, pa opiši prednosti u odnosu na druge metode konverzije.
7. Objasni tehniku sukcesivne aproksimacije za konverziju analognog u digitalni signal.
8. Definiši grešku kvantizacije A/D konvertora.
9. Objasni vrijeme i brzinu konverzije A/D konvertora sa sukcesivnom aproksimacijom.

Rezime

- Digitalizacija analognih signala predstavlja složen proces, koji omogućava dobijanje digitalnih signala sa dva naponska nivoa, 1 ili 0.
- A/D konvertori su sklopovi koji analogni signal pretvaraju u digitalni oblik. D/A konvertori su sklopovi koji vrše obrnutu operaciju od A/D konvertora, tj. pretvaraju digitalni signal u analogni signal. A/D konvertori su složeniji sklopovi od D/A konvertora, i obično su njihov sastavni dio.
- Konverzija analognog u digitalni signal vrši se najčešće u tri faze: odabiranje, kvantizacija i kodiranje. Odabiranje predstavlja diskretizaciju analognog signala po vremenu. Kvantizacija predstavlja diskretizaciju analognog signala po trenutnim vrijednostima amplituda. Kodiranje predstavlja određivanje binarnog ekvivalenta kvantizovanih odbiraka.
- Brzina odabiranja ne smije da bude manja od dvostruke maksimalne frekvencije analognog signala koji se odabira, jer se tada iz odbiraka ne može rekonstruisati signal bez gubitaka informacije.
- Ulazni digitalni signal zadaje se pomoću prekidača, koji se najčešće realizuju pomoću brzih tranzistora. Pomoću ulaznih prekidača na otporničku mrežu prenosi se referentni napon na ulazu (što odgovara logičkoj jedinici) ili masa (što odgovara logičkoj nuli).
- Otpornička mreža najčešće se realizuje kao ljestvičasta mreža otpornika.
- Napon na izlazu D/A konvertora proporcionalan je sa dekadnom vrijednošću binarnog broja sa ulaza konvertora.
- Rezolucija D/A konvertora jednaka je vrijednosti napona koja odgovara bitu najmanje težine (LSB).
- A/D konvertori sa uzastopnim približavanjem, usljed jednostavnosti rada i brzine konverzije, najčešće se koriste u praksi.
- A/D konvertor sa uzastopnim približavanjem sastoji se od: kola za odabiranje, komparatora, registra za uzastopno približavanje i D/A konvertora. A/D konvertor sa uzastopnim približavanjem izvršava se za n taktnih impulsa, gdje je n višebitnost konvertora.

Manje poznate riječi

konverzija – pretvaranje

rezolucija – mjera za oštrinu slike

simultan – istovremen

Korisni veb-sajtovi za dodatno proučavanje sadržaja poglavlja

1. http://www.kelm.ftn.uns.ac.rs/literatura/eiem/05_ADC_i_DAC.pdf
2. <http://tnt.etf.bg.ac.rs/~oe3de/pdf/4.%20AD%20konverzija.pdf>
3. <https://www.ti.com/lit/gpn/ADS1243-HT>
4. <https://www.nxp.com/docs/en/data-sheet/PCF8591.pdf>
5. <https://www.youtube.com/watch?v=tZR7hLJx6Ms>

Zadaci za samostalan rad

1. Izračunaj broj odbiraka za period odabiranja od 10 ms ako je učestanost odabiranja: 500 kHz, 1 kHz, 2 kHz i 4 kHz. Izaberi učestanost odabiranja ako je korisni signal govorni.

Rješenje:

Broj odbiraka N računa se kao količnik ukupnog vremena odabiranja t_{uk} i periode odabiranja T_0 . Za zadate učestanosti odabiranja prvo se izračunaju periode odabiranja:

$$f_1 = 500 \text{ Hz}, T_{01} = \frac{1}{f_1} = \frac{1}{500 \text{ Hz}} = 2 \text{ ms.}$$

$$f_2 = 1 \text{ kHz}, T_{02} = \frac{1}{f_2} = \frac{1}{1 \text{ kHz}} = 1 \text{ ms.}$$

$$f_3 = 2 \text{ kHz}, T_{03} = \frac{1}{f_3} = \frac{1}{2 \text{ kHz}} = 0,5 \text{ ms.}$$

$$f_4 = 4 \text{ kHz}, T_{04} = \frac{1}{f_4} = \frac{1}{4 \text{ kHz}} = 0,25 \text{ ms.}$$

Iz dobijenih vrijednosti može se zaključiti da koliko se poveća brzina odabiranja, toliko će se smanjiti perioda odabiranja. To znači da će se i broj odbiraka povećati. Pošto je $t_{uk} = 10 \text{ ms}$, može se izračunati broj odbiraka za sva četiri slučaja:

$$N_1 = \frac{t_{uk}}{T_{01}} = \frac{10 \text{ ms}}{2 \text{ ms}} = 5.$$

$$N_2 = \frac{t_{uk}}{T_{02}} = \frac{10 \text{ ms}}{1 \text{ ms}} = 10.$$

$$N_3 = \frac{t_{uk}}{T_{03}} = \frac{10 \text{ ms}}{0,5 \text{ ms}} = 20.$$

$$N_4 = \frac{t_{uk}}{T_{04}} = \frac{10 \text{ ms}}{0,25 \text{ ms}} = 40.$$

Od zadatih učestanosti odabiranja, govorni signal ima učestanost odabiranja f_4 sa 40 odbiraka.

2. Izračunaj periodu odabiranja ako je maksimalna učestanost signala koji se odabira 10 kHz.

Rješenje:

Prema teoremi o odabiranju, brzina odabiranja je dva puta veća od maksimalne učestanosti signala koji se digitalizuje:

$$f_0 = 2 \cdot f_m = 2 \cdot 10 \text{ kHz} = 20 \text{ kHz},$$

$$T_0 = \frac{1}{f_0} = \frac{1}{20 \text{ kHz}} = 50 \text{ ms}.$$

3. Izračunaj napon na izlazu osmobitnog D/A konvertora sa ljestvičastom otpornom mrežom i njegovu rezoluciju ako se na ulazu nalazi digitalni broj $1011\ 0101_2$ (referentni napon je $V_{ref} = 15 \text{ V}$).

Rješenje:

Rezolucija D/A konvertora je:

$$\Delta V = \frac{V_{ref}}{2^{n-1}} = \frac{15 \text{ V}}{2^{8-1}} = \frac{15 \text{ V}}{128} = 0,117 \text{ V},$$

a izlazni napon računa se po formuli:

$$V_{iz} = \frac{15 \text{ V}}{2^{8-1}} (2^{8-1} b_{8-1} + 2^{8-2} b_{8-2} + \dots + 2^0 b_0).$$

Zamjenom vrijednosti bita iz ulaznog podatka i izračunavanjem stepena broja 2, dobijamo da je:

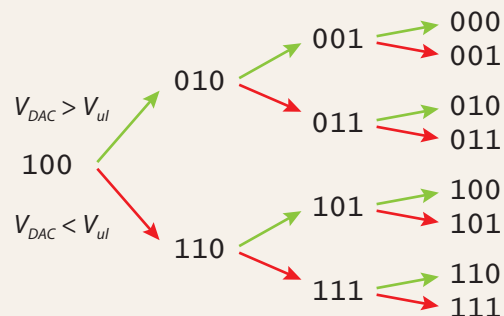
$$\begin{aligned} V_{iz} &= \frac{15 \text{ V}}{128} (128 \cdot 1 + 64 \cdot 0 + 32 \cdot 1 + 16 \cdot 1 + 8 \cdot 0 + 4 \cdot 1 + 2 \cdot 0 + 1 \cdot 1) \\ &= \frac{15 \text{ V}}{128} \cdot 181 = 21,21 \text{ V} \end{aligned}$$

Kako broj 181 predstavlja dekadnu vrijednost ulaznog binarnog broja, možemo zaključiti da je:

$$V_{iz} = 181 \cdot \Delta V.$$

4. Nacrtaj hijerarhijsku strukturu stabla sa svim kombinacijama koje se javljaju tokom iteracija kod trobitnih A/D konvertora sa sukcesivnom aproksimacijom.

Rješenje:



Slika uz zadatak 4

5. Izračunaj grešku kvantizacije A/D konvertora ako je referentni napon $V_{ref} = 20 \text{ V}$ i ako je konvertor osmobarbitni.

Rješenje:

Greška kvantizacije pomenutog A/D konvertora zavisi od referentnog napona D/A konvertora i broja bitova koje konvertor obrađuje. Znajući da je $n = 8$, može se izračunati greška kvantizacije:

$$\text{Greška kvantizacije} = \frac{V_{ref}}{2^n} = \frac{20 \text{ V}}{2^8} = \frac{20 \text{ V}}{256} = 78 \text{ mV}.$$

6. Izračunaj vrijeme trajanja taktnog ciklusa ako je A/D konvertor četvorobarbitni i ako je trajanje konverzije $16 \mu\text{s}$.

Rješenje:

Vrijeme konverzije A/D konvertora sa uzastopnim približavanjem zavisi od broja bitova koje konvertor obrađuje (N) i trajanja jednog ciklusa (T_{clk}). A/D konvertor je četvorobarbitni, pa je $N = 4$. Pošto je trajanje konverzije poznato, $T_c = 16 \mu\text{s}$, može se izračunati vrijeme trajanja taktnog ciklusa:

$$T_{clk} = \frac{T_c}{4} = \frac{16 \mu\text{s}}{4} = 4 \mu\text{s}.$$

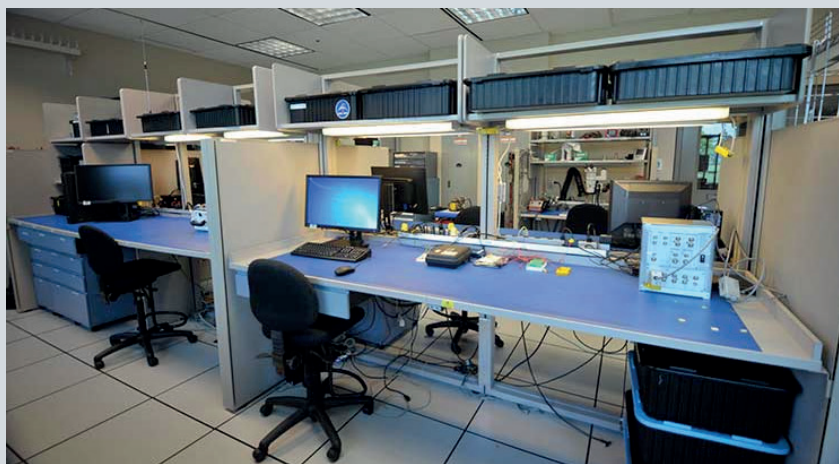


Praktikum laboratorijskih vježbi



U prvom dijelu ovog poglavlja ukratko će biti opisani laboratorijski uređaji i oprema koja se koristi za realizaciju praktičnih vježbi iz Digitalne elektronike u laboratorijskim uslovima. Na internetu postoje detaljna uputstva proizvođača za njihovo podešavanje i korišćenje.

opisani su elementi radnog okruženja softverskih paketa *Tina* i *Circuit Wizard*, način crtanja i simulacija rada kola iz digitalne elektronike, mogućnosti softvera sa uputstvima za crtanje vremenskih dijagrama na izlazima kombinacionih i sekvencijalnih digitalnih kola.



Slika L.1 Laboratorija za digitalnu elektroniku

Laboratorijski uređaji koji se najviše koriste jesu: izvor jednosmjernog napona, multimetar, generator funkcija i dr. U uvodnom dijelu praktikuma

modula. Za preuzimanje radnih zadataka u elektronskoj formi (pdf), koristi se QR kod za svaku praktičnu vježbu.

U prvom dijelu ovog poglavlja takođe su date slike i opisi integrisanih kola koja se koriste u laboratorijskim vježbama.

U drugom dijelu poglavlja nalazi se sedam praktičnih vježbi sa više radnih zadataka koji su realizovani u softverskom paketu *Tina*, kao i u laboratorijskim uslovima, na eksperimentalnoj pločici, koristeći potrebnu mjerono-ispitnu opremu. Praktične vježbe grupisane su prema postavljenim ishodima nastavnog

L.1 Uvod u laboratorijski praktikum

L.1.1 Izvor jednosmjernog napona

Za rad digitalnih kola potreban je stabilan jednosmjerni napon. Uređaj koji generiše takav napon na svom izlazu zove se **izvor jednosmjernog napona**. Izvori jednosmjernog napona pobuđuju se naizmjeničnim naponom gradske mreže. U realizaciji nekih vježbi u laboratorijskim uslovima koristili su se baterijski izvori jednosmjernog napona. Izvori jednosmjernog napona imaju mogućnost: preciznog podešavanja izlaznog napona, stabilisan napon na izlazu, galvansku odvojenost ulaza i izlaza uređaja, kao i zaštitu od preopterećenja – pojave visokih vrijednosti struje na izlazu uređaja. Ovi uređaji mogu biti analogni i digitalni. U realizaciji praktičnih vježbi koristili su se digitalni izvori jednosmjernog napona. Na prednjoj ploči, uređaji imaju potenciometre (dugmad), pomoću kojih se podešava vrijednost izlaznog jednosmjernog napona. Podešena vrijednost može se direktno očitati s ekrana ili displeja. Uređaj sadrži izlazne priključke – konektore, odakle se pomoću sonde – provodnika napon dovodi do digitalnog kola koje se napaja i pušta u rad (slika L.2).



Slika L.2 Digitalni izvor jednosmjernog napona

U laboratorijskim uvjetima često se javlja potreba za mjerenje napona, struje i otpora. U većini slučajeva, sva ta mjerenja mogu se obaviti samo jednim uređajem, koji se zove multimetar. Multimetri su univerzalni mjerni uređaji koji omogućavaju mjerenje jednosmjernih i naizmjeničnih napona i struja, kao i otpornosti potrošača. Često multimetri imaju i dodatne mogućnosti, poput zvučne indikacije postojanja kratkog spoja između dva provodnika, mjerenje kapacitivnosti, strujnog pojačanja, ispitivanje ispravnosti tranzistora i sl. Danas se najviše koriste digitalni multimetri, kod kojih se rezultat mjerenja ispisuje na ekranu. Multimetri se često nazivaju i unimeri.

The image shows a red UNI-T UT33B+ digital multimeter. The display shows '1999' with 'mv' and 'DC' indicators. Numbered callouts point to the following features:

- 1: The top right of the device, showing the model number 'UT33B+'.
- 2: The top left of the device, showing the brand 'UNI-T'.
- 3: The display screen showing '1999'.
- 4: The 'HOLD/SELECT' button (orange) on the left side.
- 5: The rotary selector switch, currently pointing to the '200m' position.
- 6: The 'OFF' position of the rotary selector switch.

Tabela L.1 Namjena mjernih opsega kod multimetra

Oznaka	Namjena
1	Isključen instrument
2	Mjerenje jednosmjernog napona
3	Mjerenje naizmjeničnog napona
4	Mjerenje struje
5	Ispitivanje ispravnosti diode i kratkog spoja – „zujalica“
6	Mjerenje otpornosti

223

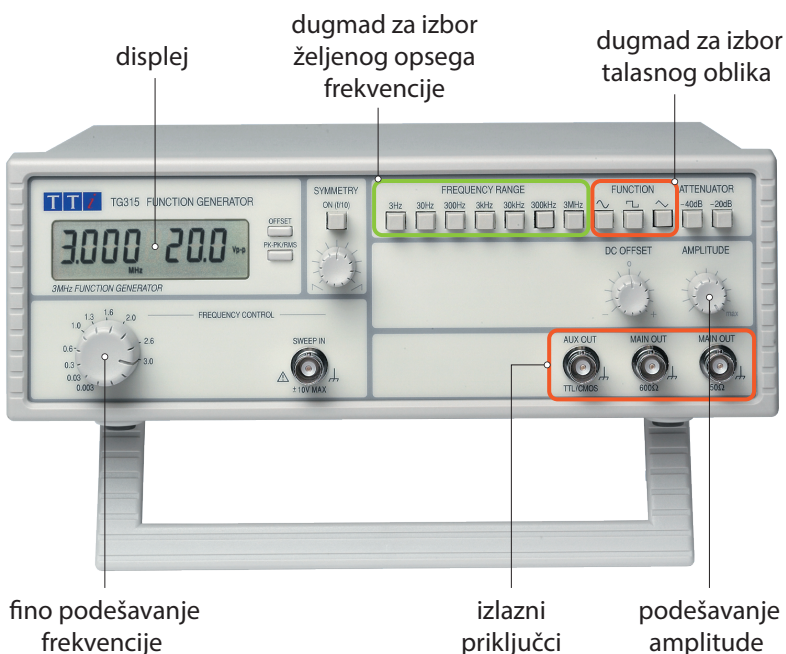


Slika L.4 Povezivanje mjernih kablova sa priključcima multimetra za mjerenje napona i malih struja

mjernih kablova sa priključcima multimetra, za mjerenje napona i malih struja, reda mA i μ A.

L.1.3 Generator funkcija

Kod digitalnih kola često je potrebno generisati periodični napon, određene amplitude i frekvencije (učestanosti), kojim se definiše trenutak rada kola (takt). Uređaj koji na svom izlazu generiše naizmjenične signale, različite periode i amplitude, zove se generator funkcije. Talasni oblici generisanih napona najčešće mogu biti u obliku sinusoide, povorke pravougaonih impulsa ili trouglastog napona. Korisnik može po želji podesiti amplitudu i period ili frekvenciju generisanog napona. Frekvencija generisanog napona kreće se u opsegu od 0 Hz do nekoliko stotina MHz. Izbor željenog opsega, oblika signala i amplitude, kao i fino podešavanje frekvencije, vrši se pomogu odgovarajućih dugmadi (slika L.5).

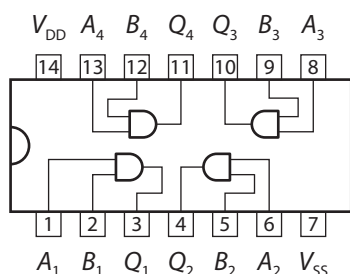


Slika L.5 Generator funkcije

Na rubovima digitalnog ekrana uređaja ispisane su jedinice mjere za frekvenciju i napon (Hz, kHz, MHz, V, mV), a pored svake od njih postoji svijetleći indikator koji signalizira u kojim se od tih jedinica prikazuje rezultat. Pored jedinica za napon postoji i oznaka **p-p**, što označava da se na ekranu ispisuje razlika između maksimalne i minimalne vrijednosti signala, koji se generiše (*peak to peak*). Izlazni kontakti su realizovani kao i kod ostalih uređaja, u vidu BNC konektora koji se povezuju pomoću sonde sa digitalnim kolima na eksperimentalnoj pločici.

L.1.4 Slike i opisi integrisanih kola korišćenih u vježbama

U ovom odjeljku ukratko ćemo opisati integrisana kola koja se koriste u laboratorijskim vježbama. Integrisana kola su iz grupe logičkih kola, memorijskih kola, aritmetičkih kola, kola za realizaciju astabilnih i monostabilnih multivibratora, kao i kola za A/D i D/A konverziju. Opisi integrisanih kola dati su kroz logičku strukturu, slike integrisanih kola i kratak opis funkcija ulaza i izlaza kola.



a)

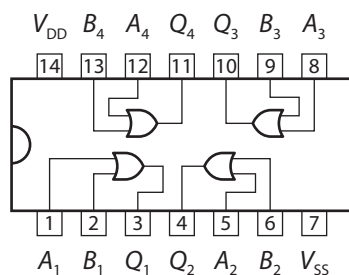


b)

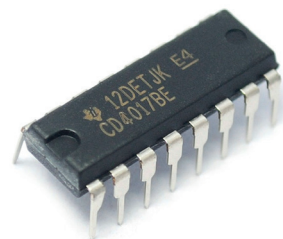
Slika L.6 CMOS I kolo sa dva ulaza: a) logička struktura, b) izgled kola

Primjer CMOS I logičkog kola jeste kolo CD 4081, gdje oznaka CD znači da se radi o CMOS kolima, oznaka 40 je serija kola, a oznaka 81 znači da se radi o četvorokanalnom I logičkom kolu.

Na slici L.7a) prikazana je logička struktura CMOS ILI logičkog kola sa dva ulaza, a na slici L.7b) izgled integrisanog kola. U integrisanom kolu nalaze se četiri ILI kola, pa se kaže da je kolo četvorokanalno. Kolo ima 14 pinova, po sedam nožica u dva reda. Sa slike se može vidjeti da su nožice 1 i 2 ulazi jednog ILI kola, a nožica 3 je njegov izlaz. Napon V_{DD} predstavlja napon napajanja ovog kola. Napon V_{SS} predstavlja masu kola (0 V).



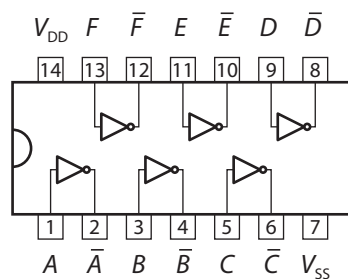
a)



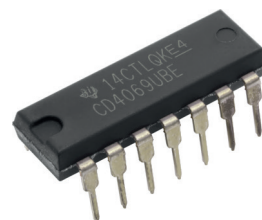
b)

Slika L.7 CMOS ILI kolo sa dva ulaza: a) logička struktura, b) izgled kola

Na slici L.8a) prikazana je logička struktura CMOS NE logičkog kola, a na slici L.8b) izgled integrisanog kola. U integrisanom kolu nalazi se šest NE kola, pa se kaže da je kolo šestokanalno. Kolo ima 14 pinova, po sedam nožica u dva reda. Sa slike se može vidjeti da je nožica 1 ulaz jednog NE kola, a nožica 2 je njegov izlaz. Napon V_{DD} predstavlja napon napajanja ovog kola, a napon V_{SS} treba da bude na potencijalu 0 V (masa). Primjer CMOS ILI logičkog kola jeste CD 4069, gdje oznaka CD znači da se radi o CMOS kolima, oznaka 40 je serija kola, a oznaka 69 znači da se radi o šestokanalnom NE logičkom kolu.



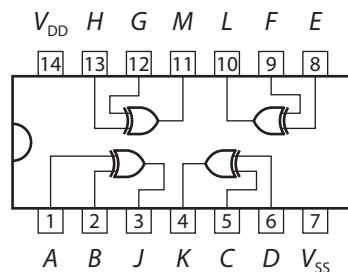
a)



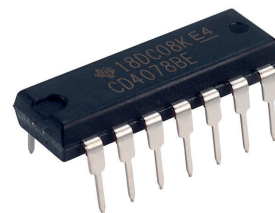
b)

Slika L.8 CMOS NE kolo: a) logička struktura, b) izgled kola

Na slici L.9a) prikazana je logička struktura CMOS EXILI logičkog kola, a na slici L.9b) izgled integrisanog kola. U integrisanom kolu nalaze se četiri EXILI kola, pa se kaže da je kolo četvorokanalno. Kolo ima 14 pinova, po sedam nožica u dva reda. Sa slike se može vidjeti da su pinovi 1 i 2 ulazi jednog EXILI kola, a pin 3 je njegov izlaz. Napon V_{DD} predstavlja napon napajanja ovog kola. Pin 7 predstavlja masu kola (0 V). Primjer CMOS ILI logičkog kola jeste CD 4070, gdje oznaka CD znači da se radi o CMOS kolima, oznaka 40 je serija kola, a oznaka 70 znači da se radi o četvorokanalnom EXILI logičkom kolu.



a)



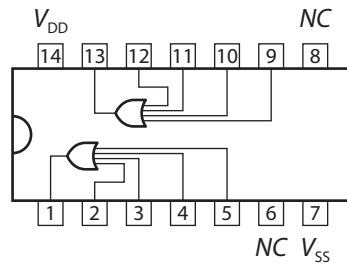
b)

Slika L.9 CMOS NE kolo: a) logička struktura, b) izgled kola

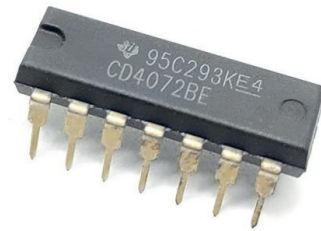
Na slici L.10a) prikazana je logička struktura CMOS ILI logičkog kola sa četiri ulaza, a na slici L.10b) izgled integrisanog kola. U integrisanom kolu nalaze se dva ILI kola sa četiri ulaza, pa se kaže da je kolo dvokanalno.

Kolo ima 14 pinova, po sedam nožica u dva reda. Sa slike se može vidjeti da su pinovi 2, 3, 4 i 5 ulazi jednog od dva ILI kola, a pin 1 je njegov izlaz. Napon V_{DD} predstavlja napon napajanja ovog kola, a napon V_{SS} treba da bude na potencijalu 0 V (masa).

Primjer CMOS ILI logičkog kola jeste CD 4072, gdje oznaka CD znači da se radi o CMOS kolima, oznaka 40 je serija kola, a oznaka 72 znači da se radi o dvokanalnom ILI logičkom kolu sa četiri ulaza.



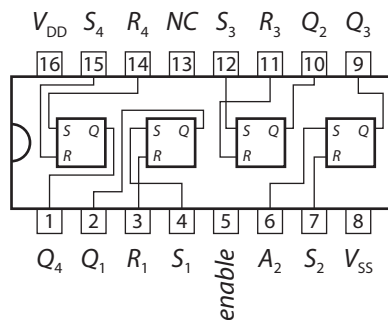
a)



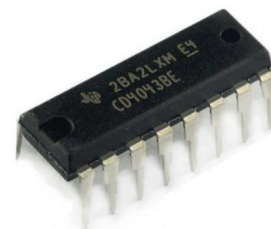
b)

Slika L.10 CMOS ILI kolo sa četiri ulaza: a) logička struktura, b) izgled kola

Na slici L.11a) prikazana je logička struktura asinhronog CMOS RS flip-flop memorijskog kola, a na slici L.11b) izgled integrisanog kola. U integrisanom kolu nalaze se četiri RS flip-flopa, pa se kaže da je kolo četvorokanalno. Kolo ima 16 pinova, po osam nožica u dva reda. Sa slike se može vidjeti da su pinovi 14 i 15 S i R ulazi jednog kola, a pin 1 je njegov nekomplementirani izlaz. Napon V_{DD} predstavlja napon napajanja ovog kola (pin 16). Pin 8 predstavlja masu kola (0 V).



a)

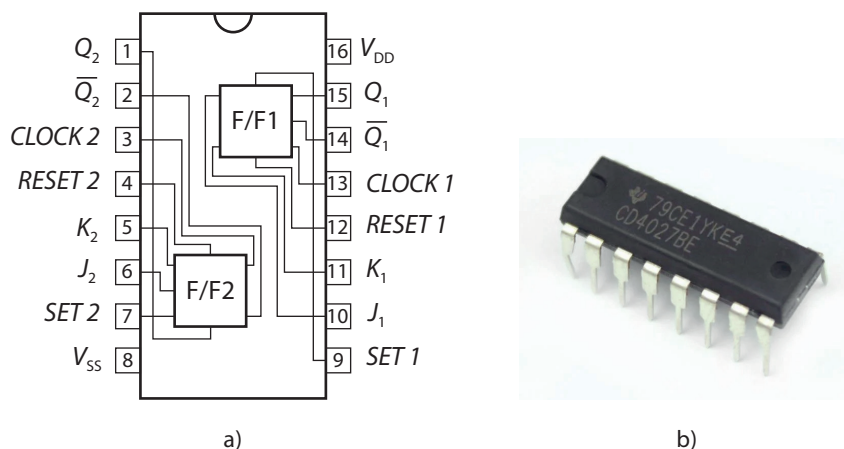


b)

Slika L.11 CMOS RS flip-flop kolo: a) logička struktura, b) izgled kola

Na slici L.12a) prikazana je logička struktura sinhronog CMOS JK flip-flop memorijskog kola, a na slici L.12b) izgled integrisanog kola. U integrisanom kolu nalaze se dva sinhrona JK flip-flop kola, pa se kaže da je kolo dvokanalno. Kolo ima 16 pinova, po osam nožica u dva reda. Sa slike se može vidjeti da su pinovi 10, 11 i 13 – J , K i takt, ulazi jednog kola; pin 15 je njegov nekomplementirani a pin 14 njegov komplementirani izlaz. Napon V_{DD} predstavlja napon napajanja ovog kola, a napon V_{SS} treba da bude na potencijalu 0 V (masa).

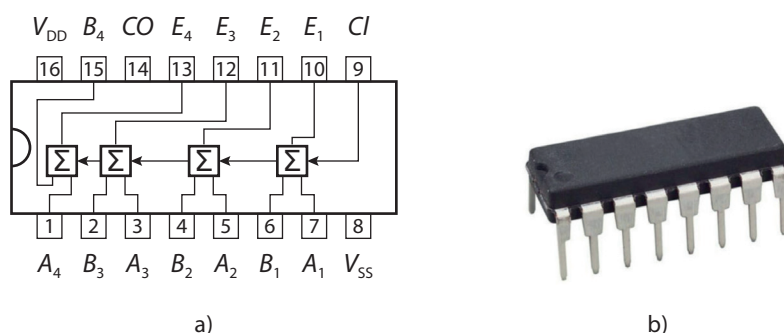
Primjer CMOS RS flip-flop memorijskog kola jeste CD 4027, gdje oznaka CD znači da se radi o CMOS kolima, oznaka 40 je serija kola, a oznaka 27 znači da se radi o dvokanalnom sinhronom JK flip-flop jednomemorijskom kolu.



Slika L.12 CMOS JK flip-flop kolo: a) logička struktura, b) izgled kola

Na slici L.13a) prikazana je logička struktura CMOS četvorobitnog binarnog sabirača koji vrši sabiranje dva četvorobitna binarna broja, a na slici L.13b) izgled integriranog kola. U integrisanom kolu nalaze se četiri potpuna sabirača. Kolo ima 16 pinova, po osam nožica u dva reda. Sa slike se može vidjeti da su pinovi 6 i 7 ulazi za sabiranje prvog potpunog sabirača, a pin 9 je njegov prenos iz prethodnog razreda, što se koristi kada želimo da vežemo dva ova kola, odnosno kada želimo da saberemo dva osmobitna binarna broja. Na pinu 10 dobija se suma, a prenos se vodi na drugi potpuni sabirač, i tako redom do četvrtog potpunog sabirača. Napon V_{DD} predstavlja napon napajanja ovog kola (pin 16), a pin 8 treba da bude na potencijalu 0 V (masa).

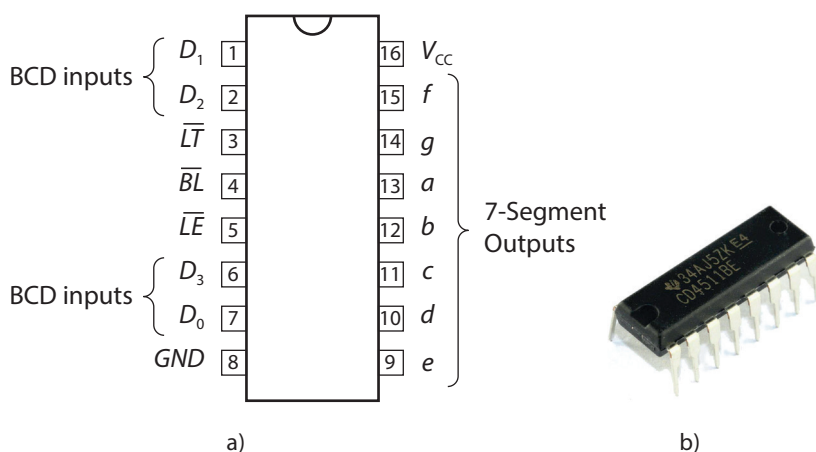
Primjer CMOS četvorobitnog sabirača jeste integrirano kolo CD 4008, gdje oznaka CD znači da se radi o CMOS kolima, oznaka 40 je serija kola, a oznaka 08 znači da se radi o četvorobitnom binarnom sabiraču.



Slika L.13 CMOS četvorobitni binarni sabirač: a) logička struktura, b) izgled kola

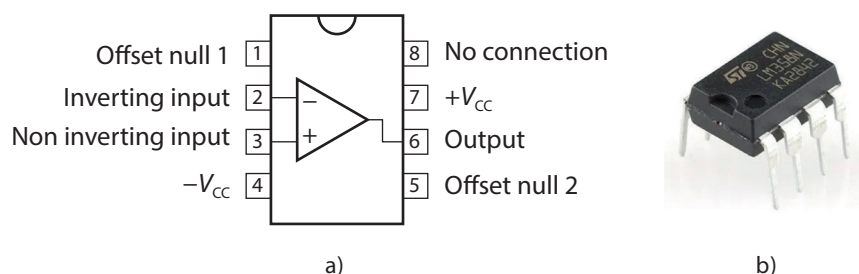
Na slici L.14a) prikazana je pinska struktura CMOS 4/7 dekodera, a na slici L.14b) izgled integrisanog kola. Kolo ima 16 pinova, po osam nožica u dva reda. Sa slike se može vidjeti da su pinovi 1, 2, 6 i 7 BCD ulazi dekodera, a pinovi 9, 10, 11, 12, 13, 14 i 15 su izlazi dekodera koji se vežu na sedmosegmentni indikator da bi se dobila indikacija na izlazu. Napon V_{CC} predstavlja napon napajanja ovog kola (pin 16), a pin 8 treba da bude na potencijalu 0 V (masa). Ulaz $\overline{LT}$ (*lamp test*) predstavlja ulazni test za svijetleće indikatore. Ako je ovaj ulaz na niskom naponskom nivou (*low*), onda su svi izlazni segmenti uključeni. Ulaz $\overline{BL}$ (*blanking test*) jeste upravljači ulaz koji, kad je na niskom nivou (*low*), isključuje sve svijetleće segmente. Ulaz $\overline{LE}$ (*latch enable*) jeste upravljački ulaz koji čuva stanja na izlazima ako je na visokom naponskom nivou (*high*).

Primjer CMOS 4/7 dekodera jeste CD 4511, gdje oznaka CD znači da se radi o CMOS kolima, oznaka 45 je serija kola, a oznaka 11 znači da se radi o 4/7 dekoderu.



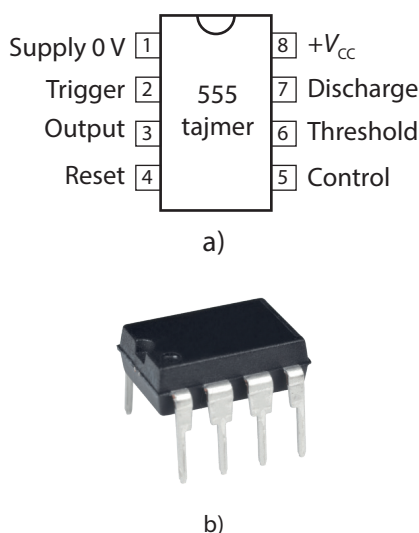
Slika L.14 CMOS 4/7 dekodera: a) logička struktura, b) izgled kola

Na slici L.15a) prikazana je pinska struktura integrisanog kola operacionog pojačavača $\mu A741$, a na slici L.15b) izgled integrisanog kola. Kolo ima osam pinova, po četiri nožice u dva reda. Sa slike se može vidjeti da su pinovi 2 i 3 invertujući i neinvertujući ulaz, a pin 6 je izlaz operacionog pojačavača. Pinovi 4 i 7 predstavljaju ulaze za dovođenje negativnog i pozitivnog napona napajanja kola $\pm V_{CC}$. Pin 8 je bez konekcije. Pinovi 1 i 5 služe za kontrolu i minimizaciju napona razdešenosti.



Slika L.15 Operacioni pojačavač $\mu A741$: a) logička struktura, b) izgled kola

Za generisanje impulsa u elektronici koriste se tajmerska ili oscilatorna, veoma slična, integrisana kola u oznaci LM555, SE555 i NE555. Kola se prave u CMOS i bipolarnoj tranzistorskoj tehnici. CMOS tajmerska kola imaju deset puta manju potrošnju i generišu impulse na svom izlazu učestanosti do 3 MHz. Uz pomoć nekoliko kondenzatora i otpornika može se generisati jedan ili više impulsa različite brzine i trajanja. U nastavku će biti opisano kolo LM555, koje će se koristiti u laboratorijskim vježbama za projektovanje monostabilnih i astabilnih multivibratora. U nastavku će biti opisana i mala razlika u odnosu na integrisano kolo NE555.



Slika L.16 Integrisano kolo LM555: a) logička struktura, b) izgled kola

Na slici L.16a) prikazana je pinska struktura CMOS integrisanog kola LM555, a na slici L.16b) izgled integrisanog kola. Kolo ima osam nožica (pinova). Pin 1 (*ground*) veže se na napon od 0 V. Na pin 8 (*power supply*) potrebno je dovesti napon napajanja kola. Izlazni napon kola dobija se na pinu 3 (*output*). Na pin 2 (*trigger*) dovodi se kontrolni napon – kada je on manji od $1/3$ napona napajanja, onda je izlaz kola (pin 3) na visokom nivou. Pin 7 (*discharge*) jeste kontrolni pin, koji je spojen sa pinom 1 (*ground*) ako je izlazni napon nizak. Ako je izlazni napon visok, onda je ovaj pin spojen sa pinom 8 (*power supply*). Kada je napon na pinu 6 (*threshold*) veći od $2/3$ od napona napajanja kola, onda je izlazni napon visok. Kada je napon na pinu 4 (*reset*) manji od 0,7 V, on resetuje napon na izlazu kola (pin 3). Pin 5 (*control voltage*) predstavlja kontrolni pin, koji se koristi za podešavanje napona koji se dovodi na pin 6.

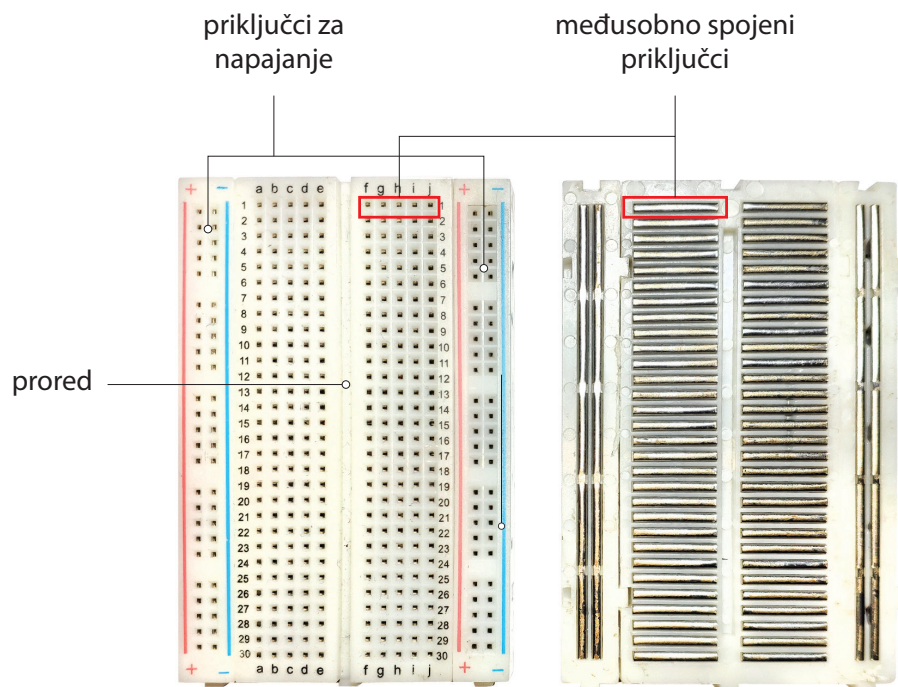
Kolo LM555 ima nisku cijenu, pouzdan rad i široko polje primjene. Pomoću ovog kola može se realizovati monostabilni multivibrator, koji generiše impuls na svom izlazu *Output*, u svakom trenutku kada napon na ulazu

kola *Trigger* padne ispod trećine napona napajanja kola. Trajanje impulsa zavisi od vremenske konstante kola RC. Pomoću integrisanog kola LM555 može se realizovati i astabilni multivibrator. Da bi tajmersko kolo LM555 radilo kao astabilni multivibrator, priključci *Trigger* i *Threshold* se kratko spoje, čime se omogućava autotrigerovanje kola. Na izlazu kola generišu se kvadratni impulsi. Trajanje izlaznih impulsa, u stanju logičke 1 ili 0, zavisi od odgovarajućih vremenskih konstanti RC.

Integrisana kola LM555 i NE555 umaju isti raspored pinova. Razlika je u proizvođaču kola. LM555 kolo proizvodi *Texas Instruments*, a NE555 ON *Semiconductor*. Postoji mala razlika u nivou izlaznog napona u odnosu na napon koji se dovodi na pin 6 i pin 2. LM555 kolo nudi prednosti u smislu širih opsega radnih napona i veće izlazne struje. NE555 kolo ima manju potrošnju električne energije.

L.1.5 Eksperimentalna pločica za povezivanje elektronskih komponenti

Eksperimentalna (probna ili *Matador*) pločica koristi se za jednostavno povezivanje elektronskih komponenti bez njihovog lemljenja. U plastično kućište ugrađen je velik broj elastičnih metalnih djelova u koje je moguće utisnuti nožice elektronskih komponenti (integrisanih kola), slika L.17.



Slika L.17 Izgled eksperimentalne pločice sa gornje i donje strane

Priključci su u unutrašnjosti eksperimentalne pločice povezani prema određenom pravilu. Svih pet priključaka koji se nalaze u jednom redu sa lijeve ili desne strane međusobno su spojeni, to jest na istom potencijalu, što je pogodno za postavljanje integrisanog kola u sredinu pločice. Na lijevoj i desnoj strani pločice nalaze se priključci za napajanje. Svi priključci za napajanje koji se nalaze u jednoj koloni i označeni su istom bojom međusobno su spojeni. Upotrebom kratkospojnika, na pločici je moguće povezati komponente prema zadatoj električnoj šemi. Poslije povezivanja svih elemenata na pločicu, vrše se odgovarajuća mjerenja i analizira rad kola.

L.1.6 Softveri za simulaciju rada električnih kola

Razumijevanje rada neke elektronske komponente ili električnog kola u cjelini, često zavisi od toga da li ste bili u prilici da praktično utvrdite kako oni funkcionišu u stvarnosti. To je moguće u laboratoriji, kroz neposredan rad s laboratorijskim uređajima i samim komponentama, što najčešće zahtijeva znatna materijalna sredstva.

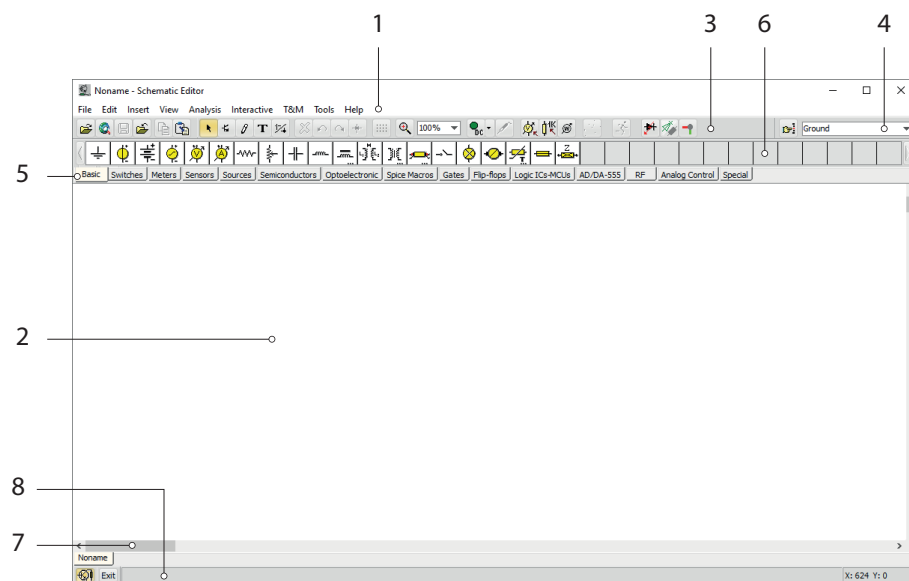
U nedostatku tih sredstava, dobra alternativa jeste rad uz pomoć namjenskih softvera za simulaciju rada električnih kola. Postoji velik broj softvera, više ili manje kvalitetnih, besplatnih ili licenciranih, kao što su: *TINA*, *Electronics Workbench*, *PSpice*, *OrCAD*, *Circuit Wizard*, *Circuit Maker*, *Multimedia Logic*, *Circuit Logix*, *Fritzing* i mnogi drugi.

Za realizaciju praktičnih vježbi iz modula Digitalna elektronika preporučuje se softver *TINA* zbog njegove jednostavne upotrebe i visokih performansi. Za simulaciju rada digitalnih kola u laboratorijskim uslovima, usljed nedostatka potrebne mjerne opreme, preporučuje se i softver *Circuit Wizard*, zbog svoje univerzalnosti i velikih mogućnosti u pogledu simulacije rada digitalnih kola na probnoj pločici. Njihove mogućnosti višestruko su veće od onog što će kroz ove vježbe biti zahtijevano.

L.1.6.1 Softver za simulaciju rada električnih kola (*TINA*)

TINA je program za projektovanje, simulaciju i analizu rada električnih i elektronskih – digitalnih kola koji korisnicima omogućava da prije nego što se upuste u osmišljavanje nekog uređaja izvrše računarsku analizu tog uređaja, provjere kako on radi, da li su njegove karakteristike onakve kakve se očekuju na osnovu prethodnih teorijskih razmatranja i proračuna i, ako je potrebno, izvrše korekcije. Softver omogućava crtanje velikog broja digitalnih kola zahvaljujući bibliotekama u kojima su sadržane gotovo sve digitalne elektronske komponente potrebne da se nacrti električna šema

nekog uređaja i na njoj obave potrebna mjerenja i testiranja. Rezultate svih mjerenja moguće je očitati s virtuelnih instrumenata ili preuzeti u vidu grafikona. Na slici L.18 prikazan je izgled radne površine u softveru TINA koji se dobija po njegovoj instalaciji i pokretanju na personalnom računaru.



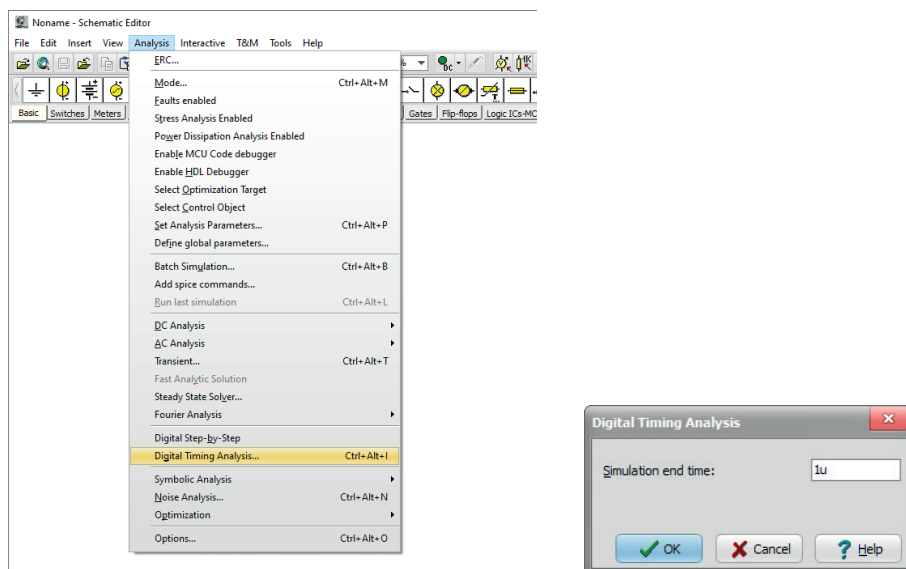
Slika L.18 Izgled radne površine u softveru TINA

Osnovni elementi te radne površine su:

- Linija menija (označeno sa 1 na slici L.18)
- Površina na koju se nanose komponente – schematic editor (označeno sa 2 na slici L.18)
- Traka s alatima (označeno sa 3 na slici L.18)
- Alat za pretraživanje komponenti (označeno sa 4 na slici L.18)
- Kartice srodnih komponenti (označeno sa 5 na slici L.18)
- Traka s komponentama (označeno sa 6 na slici L.18)
- Kartice otvorenih fajlova (označeno sa 7 na slici L.18)
- Traka za pomoć (označeno sa 8 na slici L.18).

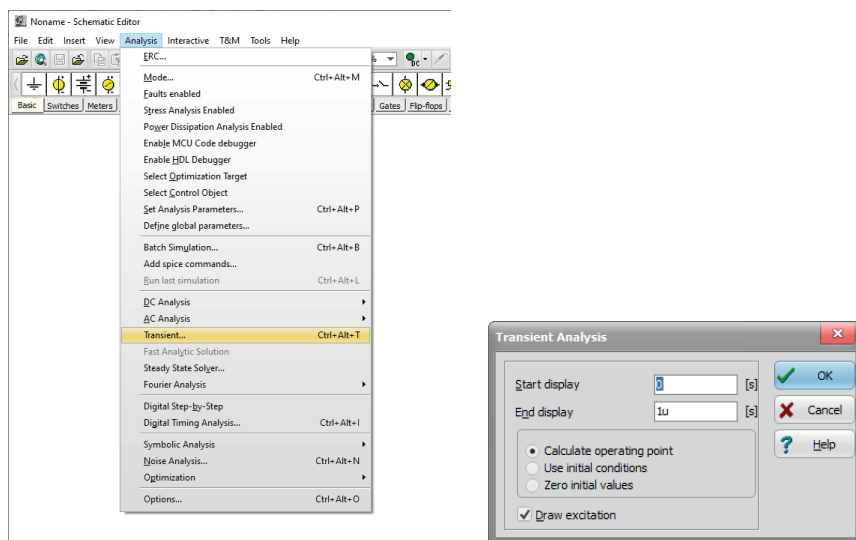
Snalaženje u radnom okruženju kod softvera *TINA*, uz elementarno poznavanje engleskog jezika i stručne terminologije, veoma je jednostavno. Na samom vrhu imamo **liniju menija** (označeno sa 1 na slici L.18) koja je veoma slična s onom u Word-u. Od ostalih menija treba izdvojiti *Analysis*, *Interactive* i *T&M*. Oni će biti korišćeni u vježbama koje slijede. Kada se izvrši spajanje neke električne šeme, ti meniji služe za pokretanje mjerenja

i analize karakterističnih veličina (*Analysis*), crtanje vremenskih dijagrama na ulazu ili izlazu sklopa (*Interactive*), kao i podešavanje laboratorijskih uređaja (*T&M*). U meniju *Analysis*, pomoću komande *Digital Timing Analysis* vrši se podešavanje vremena pri digitalnoj analizi (slika L.19).



Slika L.19 Digitalna analiza kola

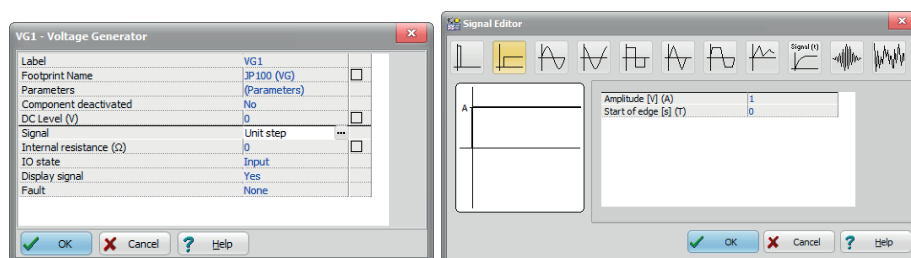
U okviru menija *Analysis*, pomoću komande *Transient* vrši se podešavanje i analiza digitalne šeme u prelaznom procesu (slika L.20).



Slika L.20 Analiza prelaznih procesa u kolu

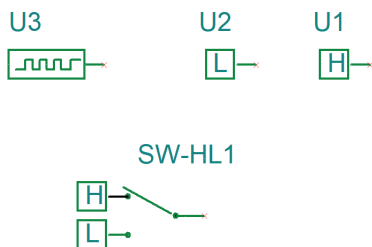
U okviru menija *Analysis* pomoću komande *ERC* (engl. *electrical rules check*) možemo izvršiti provjeru ispravnosti povezane šeme tako što će nam u novom prozoru biti ispisane eventualne greške i upozorenja. Od ostalih

moгуćnosti izdvojićemo: *DC Analysis*, što nam omogućava izvršavanje različitih analiza u jednosmjernom domenu, *AC Analysis*, što omogućava analize u naizmjeničnom domenu, *Transient*, što nam omogućava analizu kola u prelaznom režimu rada, i *Digital*, što nam omogućava digitalnu analizu kola. Pokretanje interaktivnog režima u kome će se izvršiti potrebna mjerenja i rezultati ispisati na instrumentima vrši se pomoću menija *Interactive*. U okviru tog menija postoji više mogućnosti u zavisnosti od toga kakva mjerenja želimo da vršimo. Na traci s alatima postoji dugme koje ima istu namjenu i praktičnije je za upotrebu. Nakon što se laboratorijski uređaji (kao što su generator funkcija, multimetar, osciloskop, analizator spektra i sl.) povežu u električnu šemu, potrebno ih je pokrenuti i podesiti. To se može učiniti u meniju *T&M*. Jednostavnim klikom na naziv uređaja koji se želi pokrenuti, otvara se dodatni prozor u kome je moguće izvršiti željena podešavanja, slično kao kod realnih uređaja. Izgled radnih površina pri podešavanju naponskog generatora i izbor vrste funkcije dat je na slici L.21.



Slika L.21 Podešavanje naponskog generatora

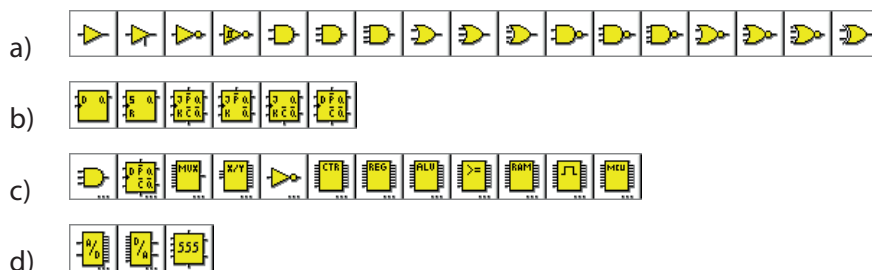
Sve realizovane šeme i grafičke prikaze sa osciloskopa i drugih uređaja moguće je preuzeti u slikovnom formatu. Kada se pokazivač dovede na bilo koji od alata s **trake alata** (slika L.18, oznaka 3) gdje se oni nalaze, odmah se ispisuje njegov naziv ili namjena. Neki od tih alata takođe su slični s onima u Word-u i drugim grafičkim editorima koje svakodnevno koristite. Tu se nalaze alati za kopiranje, selekciju, odabir posljednje korišćene komponente, međusobno povezivanje komponenti, ispisivanje teksta, brisanje, rotiranje itd. Sve elektronske komponente i laboratorijski uređaji organizovani su u srodne grupe, koje se nalaze na posebnim **karticama** (5). Klikom na svaku od tih kartica, na **traci s komponentama** (6) prikazuju se one komponente koje pripadaju toj kartici. Kartica *Basic* sadrži najosnovnije elektronske komponente sa svih drugih kartica: izvore, voltmetar, ampermetar, otpornik, kalem, kondenzator i dr. Kartica *Meters* na sebi sadrži mjerne instrumente kao i veoma koristan *Voltage Pin*, koji se koristi za crtanje dijagrama. Za razne vrste izvora koristi se kartica *Sources*. Za realizaciju predstojećih vježbi značajne su i kartice: *Gates*, na kojoj se nalaze logička kola, *Flip-flops*, na kojoj se nalaze jednomemorijska i dvomemorijska – MS kola, *Logic Ic*, na kojoj se nalaze



Slika L.22 Izvor takt-signal, niskog napona, visokog napona i logički prekidač

kombinaciona logička kola, i AD/DA-555, na kojoj se nalaze pretvaračka i tajmerska kola. U kartici *Switcher* nalaze se prekidači, od kojih je najvažniji *High/Low-Switch* (logički prekidač) koji se koristi za simuliranje logičkog stanja 1 (*High*) ili 0 (*Low*) na ulazu logičkih kola. U kartici *Sources* nalaze se izvori digitalnih niskih i visokih napona, kao i generatori takt-impulsa za sinhronne flip-flopove i ostala upravljačka kola (brojači, registri, memorije), čiji su simboli dati na slici L.22.

Na slici L.23 nalaze se grupe digitalnih kola koje se najviše koriste u digitalnoj elektronici.



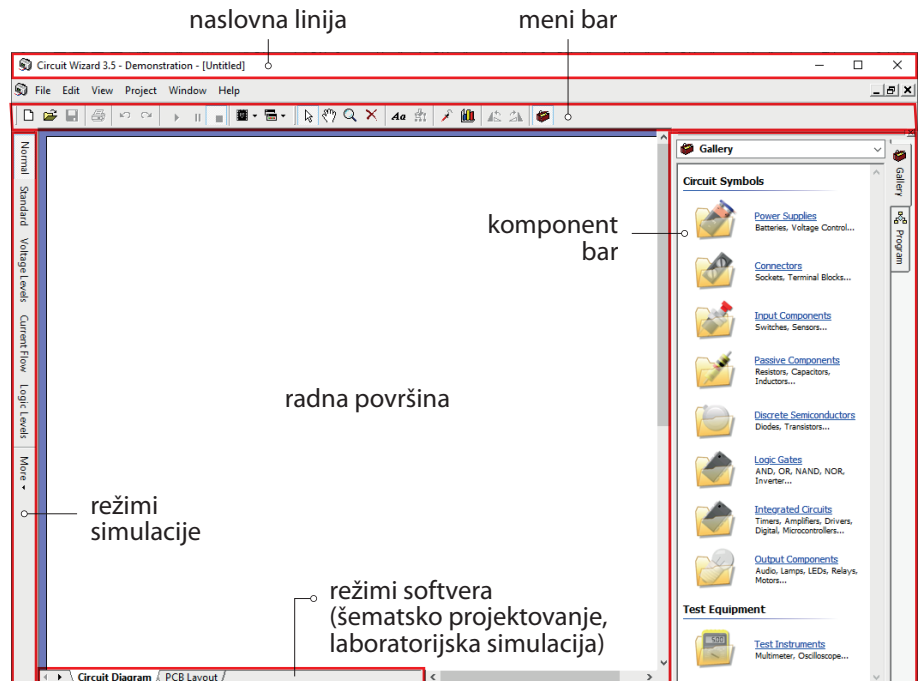
Slika L.23 Logička (a), bistabilna (b), kombinaciona i sekvencijalna (c) i konvertorska i tajmerska (d) kola

Na svakoj od tih kartica postoji mnogo veći broj komponenti od pomenu-tog, i njima ćete se baviti u okviru nekih drugih modula. Komponente sa ostalih kartica takođe nemaju značaj za predstojeće vježbe. Ukoliko ne znate na kojoj se od kartica nalazi neka elektronska komponenta, njeno pretraživanje možete izvršiti i pomoću **alata za pretraživanje komponenti** (4). Pozicioniranje, pomjeranje ili rotiranje odabrane komponente vrši se jednostavno pomoću miša. Na **traci za pomoć** (8) daju se instrukcije, opisuju komponente do kojih ste došli s pokazivačem ili koje ste odabrali. Dvostrukim klikom na neku od elektronskih komponenti koju ste dodali na šemu, moguće je izvršiti njeno podešavanje. U radnom prozoru moguće je istovremeno otvoriti i koristiti više fajlova (projekata). Moguće je kopirati djelove ili kompletne šeme iz jednog u drugi projekat.

L.1.6.2 Softver za simulaciju rada električnih kola (*Circuit Wizard*)

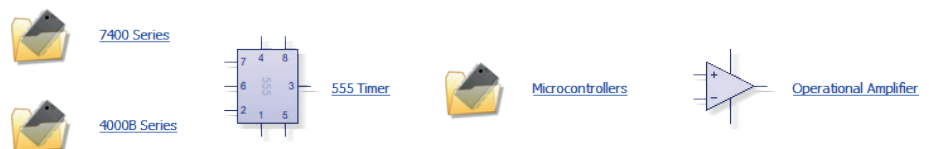
Circuit Wizard je jedan od besplatnih softverskih alata širokog spektra primjene u polju digitalne elektronike. Softver omogućava šematsko projektovanje digitalnih kola, simulaciju njihovog rada i simulaciju digitalnih kola u laboratorijskim uslovima uz primjenu virtualnih instrumenata.

Na slici L.24 prikazano je **grafičko okruženje** softvera *Circuit Wizard*.



Slika L.24 Radno okruženje softvera Circuit Wizard

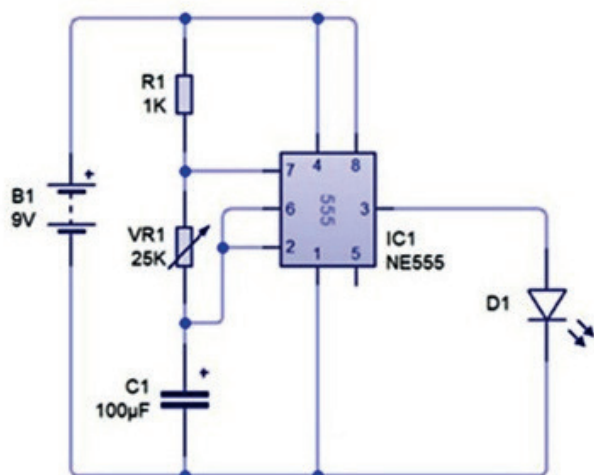
Softver posjeduje veliku bazu elektronskih kola iz oblasti analogne i digitalne elektronike, a ono što ga čini jedinstvenim jeste to da sadrži kompletnu paletu integralnih kola u CMOS (4000B serija) i TTL tehnici (7400 serija). Pored navedenih kola, softver sadrži i integralna kola kao što su operacioni pojačavači (OP), tajmerska kola (NE555), kao i odgovarajuću paletu mikrokontrolera (slika L.25).



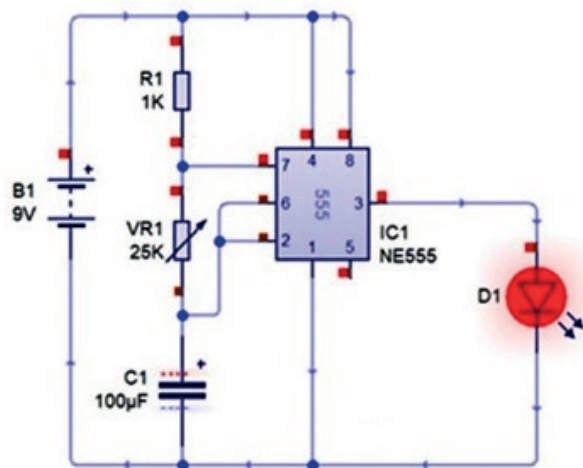
Slika L.25 Neke od paleta integrisanih kola

Simulacija rada električne šeme može se obaviti na više načina: klasičnom metodom simulacije, simulacijom uz praćenje provodnosti, simulacijom uz praćenje prelaznih procesa u kolu i simulacijom rada kola u laboratorijskim uslovima. Na sljedećim slikama prikazani su navedeni načini simulacije astabilnog multivibratora sa NE555 integrisanim kolom.

Na slici L.26a) prikazana je električna šema pomenutog kola, dok je kolo isključeno (bez simulacije), a na slici L.26b) kad je pokrenuta klasična metoda simulacije. Vizuelno se mogu uočiti aktivni naponski nivoi na određenim pinovima integrisanog kola.



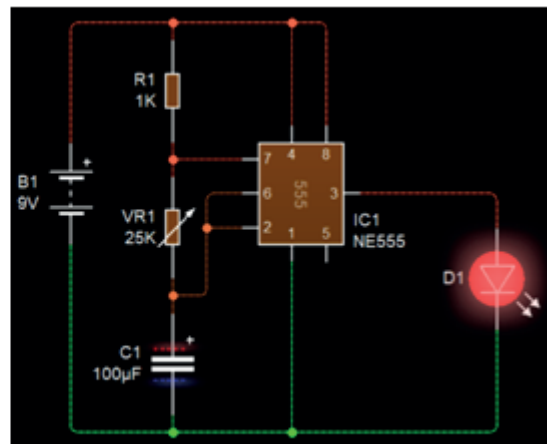
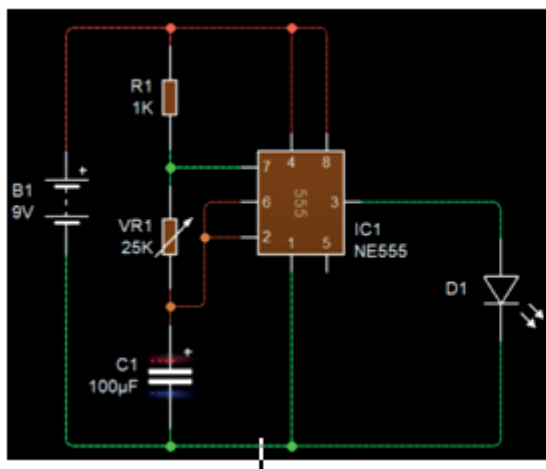
a)



b)

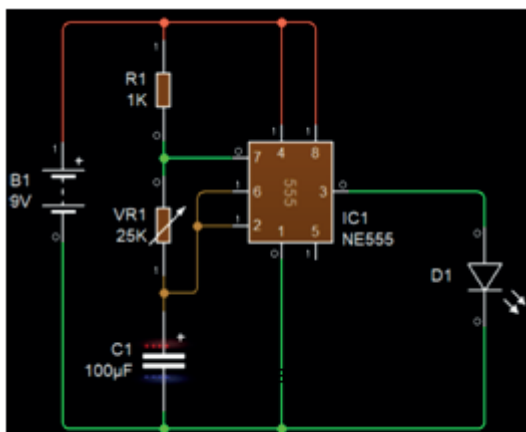
Slika L.26 Klasična metoda simulacije rada astabilnog multivibratora sa NE555 integrisanim kolom

Na slici L.27a) prikazana je šema prve faze simulacije astabilnog multivibratora, dok je na slici L.27b) prikazana druga faza simulacije astabilnog multivibratora sa praćenjem provodnosti. Može se zaključiti da boje u pojedinim vodovima označavaju provodnost električne struje (crvena – ima struje u kolu, zelena – nema struje u kolu). Svi procesi u kolu simuliraju se u realnom vremenu.

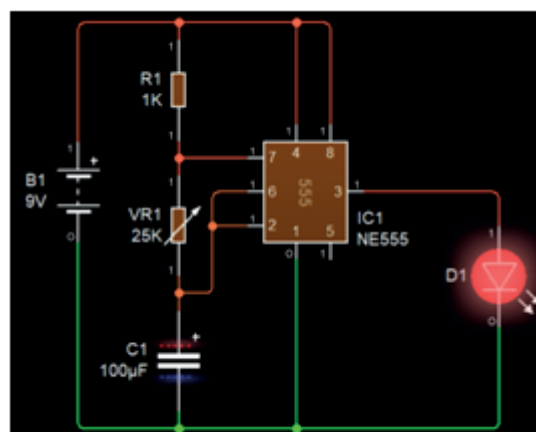


Slika L.27 Simulacije rada astabilnog multivibratora sa NE555 integrisanim kolom sa praćenjem provodnosti

Na slici L.28a) prikazana je šema prve faze simulacije astabilnog multivibratora, dok je na slici L.28b) prikazana druga faza simulacije astabilnog multivibratora u režimu praćenja prelaznih procesa. Može se zaključiti postojanje naponskih nivoa na krajevima elektronskih komponenti u režimu prelaznih procesa u kolu (0 – nema napona, 1 – ima napona).



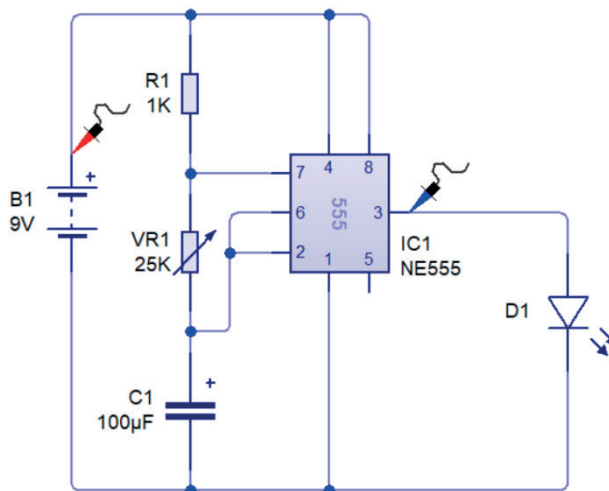
a)



b)

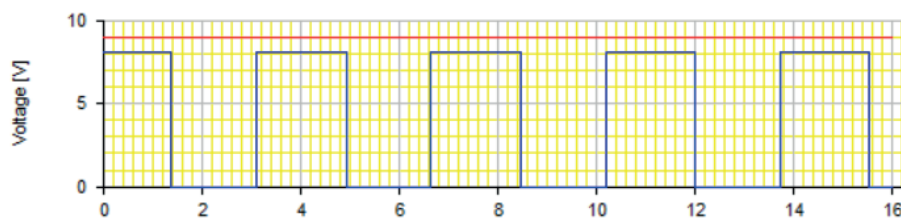
Slika L.28 Simulacije rada astabilnog multivibratora sa NE555 integrisanim kolom u režimu praćenja prelaznih procesa

Pri simulaciji rada električne šeme moguće je snimiti i oblik signala u realnom vremenu, upotrebom eksperimentalnih sonda. Na slici L.29 prikazano je kolo gdje su postavljene dvije eksperimentalne sonde, crvena i plava.



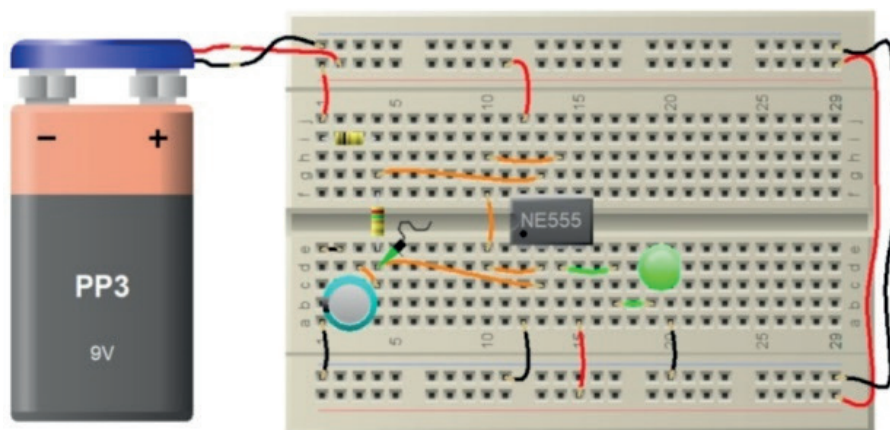
Slika L.29 Korišćenje sonda u električnoj šemi astabilnog multivibratora sa NE555 integrisanim kolom

Na slici L.30 prikazani su oblici signala crvene i plave sonde (crvena sonda – I signal 1CH, plava sonda – II signal 2CH).



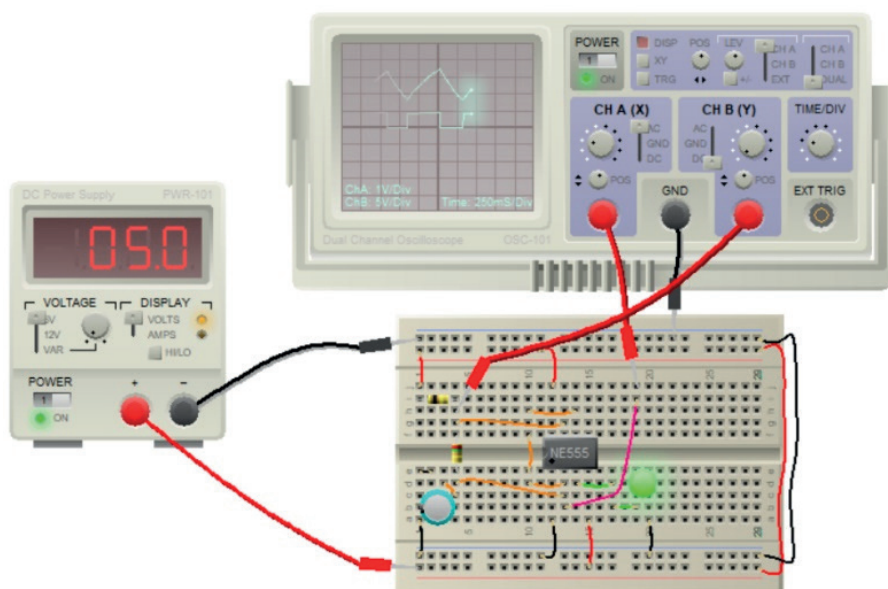
Slika L.30 Oblici signala definisani eksperimentalnom sondom

Pored klasičnog načina simulacije električnog kola, rad sklopova moguće je simulirati i u laboratorijskim uslovima na eksperimentalnoj pločici uz korišćenje virtuelnih instrumenata (slika L.31).



Slika L.31 Simulacija rada električnog kola u laboratorijskim uslovima na eksperimentalnoj pločici

Raspored pinova komponenti odgovara stvarnim komponentama koje koristimo u praksi. U prethodnom primjeru prikazano je praćenje oblika signala pri klasičnoj simulaciji električnog kola, dok je u nastavku prikazana simulacija električnog kola u laboratorijskim uslovima sa virtuelnim laboratorijskim instrumentima, u ovom slučaju sa osciloskopom i izvorom jednosmjernog napona (slika L.32).



Slika L.32 Simulacija rada električnog kola u laboratorijskim uslovima na eksperimentalnoj pločici uz korišćenje virtuelnih instrumenata

L.2. Praktične vježbe

QR kôd (engl. *quick response* – brz odgovor) matrični je kôd za brzo dekodiranje odgovarajućih sadržaja. Iza QR koda mogu se nalaziti: podaci za kontakt, proizvoljan tekst, multimedijalni sadržaj, SMS, URL adresa, e-mail, broj telefona i sl. Na slici L.33 prikazan je QR kôd za prvu praktičnu vježbu.



Slika L.33 QR kôd za prvu praktičnu vježbu

Korisnici koji imaju pametne (smart) telefone sa kamerom i instaliran odgovarajući softver (*QR Scanner*) skeniraju sliku QR koda, čime mogu da pregledaju ili preuzmu odgovarajući sadržaj iz oblaka (*cloud*) koji odgovara skeniranom QR kodu. Skeniranjem zadatog QR koda učenik/učenica ima mogućnost da preuzme kompletne radne zadatke, u elektronskoj (pdf) formi, koji su potrebni za realizaciju praktičnih vježbi.



L.2.1 Praktična vježba br. 1

Naziv vježbe:

Demonstracija rada zadate prekidačke funkcije primjenom softvera za simulaciju rada električnih kola

Softveri za simulaciju rada električnih kola:

Tina, Electronics Workbench, LOGO!Soft Comfort, Circuit Wizard i dr.

Cilj vježbe:

Osposobljavanje za analizu i realizaciju složenih prekidačkih funkcija pomoću mehaničkih prekidača i njihovu simulaciju u programskom paketu Tina. Razvijanje preciznosti, analitičkog i logičkog rasuđivanja, odgovornosti, sistematičnosti, upornosti, timskog duha i pozitivnog odnosa prema struci.

Potrebni laboratorijski uređaji, oprema i elektronske komponente:

Računar sa instaliranim softverom Tina.

Priprema za vježbu:

- Obnovi gradivo sa predavanja o logičkim operacijama, logičkim funkcijama, načinu predstavljanja logičkih funkcija: tabelarno, analitički i šematski, pomoću mehaničkih prekidača.

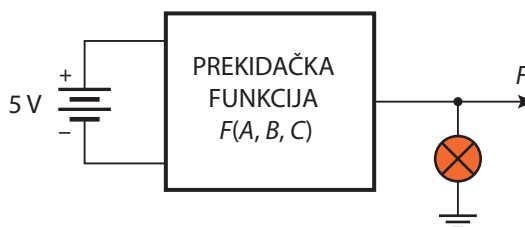
Radni zadaci:

1. Nacrtaj tabelu istinitosti za prekidačku funkciju $F = (A + B) \cdot C$ sa svim rezultatima i međurezultatima i dobijene vrijednosti unesi u tabelu L.1.1. Sve ulazne kombinacije predstavi kombinacijom logičkih vrijednosti 0 i 1. Pošto su na ulazu 3 logičke promjenjive, ukupno ima $2^3 = 8$ kombinacija (uoči način pisanja svih mogućih ulaznih kombinacija za tri promjenjive). Zadnje tri kolone u tabeli istinitosti: F , U_p i I_p , ostavi slobodne – ove kolone ćeš popuniti poslije simulacije prekidačke funkcije.

Tabela L.1.1 Tabela istinitosti zadate prekidačke funkcije

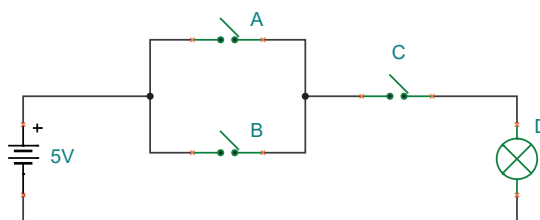
A	B	C	$F_1 = A + B$	$F = F_1 \cdot C$	U_p	I_p

2. Predstavi prekidačku funkciju $F(A, B, C) = (A + B) \cdot C$ pomoću mehaničkih prekidača, koristeći softverski paket Tina za simulaciju rada prekidačkih funkcija. Na ulaz prekidačke funkcije dovedi jednosmjerni napon od 5 V, a na izlaz prekidačke funkcije logički indikator, svijetleću LED diodu ili sijalicu, kao što je prikazano na slici L.1.1:



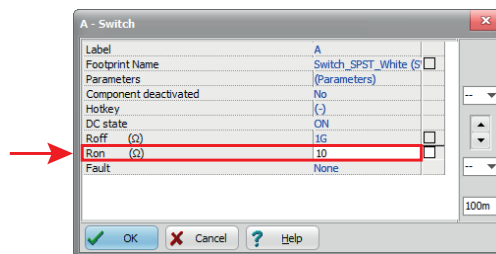
Slika L.1.1 Blok-šema prekidačke funkcije

Prekidačke promjenjive A, B i C mogu biti u dva stanja: uključeno i isključeno (1 ili 0). Prekidačke promjenjive na ulazu prekidačke funkcije realizuj sa tri klasična mehanička prekidača, kao što je prikazano na slici L.1.2. Koristi pravilo da se logički proizvod predstavlja serijskom vezom prekidača a logički zbir paralelnom vezom prekidača.



Slika L.1.2 Prekidačka funkcija realizovana sa mehaničkim prekidačima

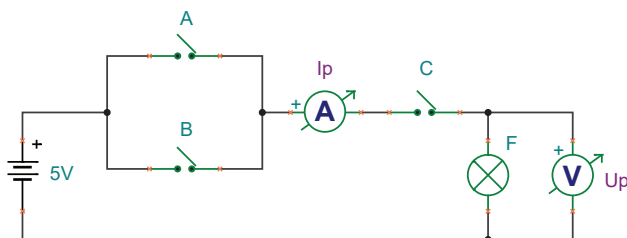
3. Simuliraj rad prekidačke funkcije $F = (A + B) \cdot C$ primjenom softvera Tina u DC režimu rada. Promjenu stanja prekidača izvrši klikom na prekidač, prema tabeli L.1.1, za sve postavljene kombinacije. U šemi se koriste idealni prekidači, pa je za paralelnu vezu prekidača potrebno podesiti da parametar R_{on} bude različit od 0Ω (slika L.1.3).



Slika L.1.3 Podešavanje prekidača za paralelnu vezu

Ako indikator svijetli, to je stanje logičke 1; a ako indikator ne svijetli, to je stanje logičke 0. Simuliraj svaku ulaznu kombinaciju iz prethodne tabele i utvrdi njenu vrijednost. U slučaju da sijalica svijetli, u prethodnu tabelu 1, u kolonu F_s upiši H (*High*), a ako ne svijetli upiši L (*Low*) ($H = 1, L = 0$).

4. Analiziraj sve kombinacije ulaznih promjenjivih za uključenje i isključenje sijalice na izlazu, iz ugla elektrotehnike i njenih osnovnih zakona. Nacrtaj smjerove struja u kolu pri uključenoj sijalici (smjerove struja prikaži različitim bojama). Šta bi se dogodilo ako bi svi prekidači u šemi bili idealni? (Otpornost u stanju isključenja je beskonačno velika, otpornost u stanju uključivanja jednaka 0.) Uključi istovremeno prekidače A i B a zatim C i analiziraj dobijeni rezultat.
5. Serijski sa potrošačem priključi ampermetar, paralelno potrošaču veži voltmetar, prema slici L.1.4. Izmjeri napon i struju potrošača za sve kombinacije iz tabele istinitosti za zadatu prekidačku funkciju. Izmjerene vrijednosti unesi u zadnje dvije kolone tabele L.1.1 (U_p i I_p).



Slika L.1.4 Mjerenje struje kroz potrošač i napona na potrošaču

6. Izvedi zaključak o načinu rada prekidačkih elementa i prekidačke funkcije u idealnom i realnom režimu rada kola pomoću mehaničkih prekidača.



L.2.2 Praktična vježba br. 2

Naziv vježbe:

Demonstracija rada osnovnih logičkih kola i logičke mreže primjenom softvera za simulaciju rada električnih kola i pomoću laboratorijskih uređaja

Softveri za simulaciju rada električnih kola:

Tina, Electronics Workbench, LOGO!Soft Comfort, Circuit Wizard i dr.

Cilj vježbe:

Osposobljavanje za analizu rada i realizaciju osnovnih logičkih kola, logičkih funkcija i logičkih mreža i njihovu simulaciju u programskom paketu Tina i u laboratorijskim uslovima. Razvijanje preciznosti, analitičkog i logičkog rasuđivanja, odgovornosti, sistematičnosti, upornosti, timskog duha i pozitivnog odnosa prema struci.

Potrebni laboratorijski uređaji, oprema i elektronske komponente:

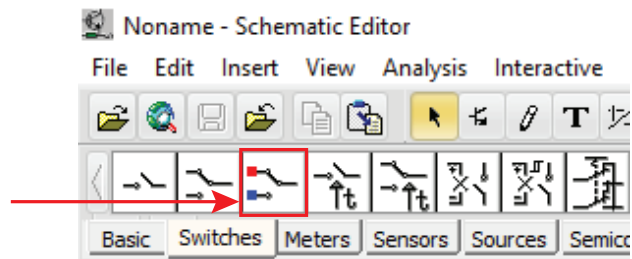
Računar sa instaliranim softverom Tina, izvor jednosmjernog napona, eksperimentalna pločica, integralna kola osnovnih i složenih logičkih kola u CMOS tehnici, digitalni multimetri, logički indikatori i provodnici za povezivanje.

Priprema za vježbu:

- Obnovi gradivo sa predavanja o tehnici rada logičkih kola: vrste i podjela logičkih kola, tablice rada logičkih kola, način dobijanja složenih logičkih kola, logičkih funkcija i logičkih mreža, integrisane strukture CMOS osnovnih i složenih logičkih kola (raspored pinova, napon napajanja), pregled osnovnih parametara logičkih kola.

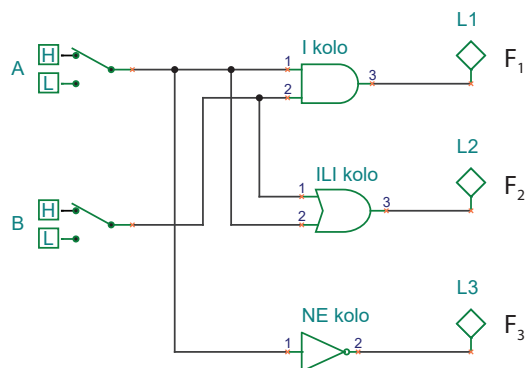
Radni zadaci:

1. Demonstriraj rad osnovnih logičkih kola **I**, **ILI** i **NE** primjenom softverskog paketa Tina. Prekidačke promjenjive *A* i *B*, koje se dovode na ulaz logičkih kola, mogu biti u dva stanja: uključeno i isključeno (1 – uključeno, 0 – isključeno). Simulaciju logičkih stanja na ulazu osnovnih logičkih kola izvrši sa *high-low switch* prekidačima (*High* je logička 1 a *Low* je logička 0), slika L.2.1. Na izlaz logičkog kola poveži logički indikator ili sijalicu – LED diodu.



Slika L.2.1 Logički prekidač H/L switch

Ako indikator na izlazu svijetli – to je stanje logičke 1 a ako indikator ne svijetli, to je stanje logičke 0. Simuliraj svaku ulaznu kombinaciju iz tabele istinitosti za zadato osnovno logičko kolo, te utvrdi njenu vrijednost. Za simulaciju rada kola izaberi **Digital** analizu. Projektuj složenu prekidačku mrežu sa sva tri osnovna logička kola, kao na slici L.2.2, sa dva ulaza *A* i *B* i tri izlaza F_1 , F_2 i F_3 za tri izlaza osnovnih logičkih kola.



Slika L.2.2 Simulacija rada osnovnih logičkih kola I, ILI i NE

Dobijene vrijednosti na izlazu osnovnih logičkih kola unesi u sljedeće tabele: L.2.1a, L.2.1b i L.2.1c (ako sijalica svijetli – unesi *H*, ako sijalica ne svijetli – unesi *L*), u kolone F_{1sim} , F_{2sim} i F_{3sim} .

Tabela L.2.1 Tabele istinitosti osnovnih logičkih kola a) I, b) ILI i c) NE kolo

a)

A	B	$F_1 = A \cdot B$	F_{1sim}
0	0	0	
0	1	0	
1	0	0	
1	1	1	

b)

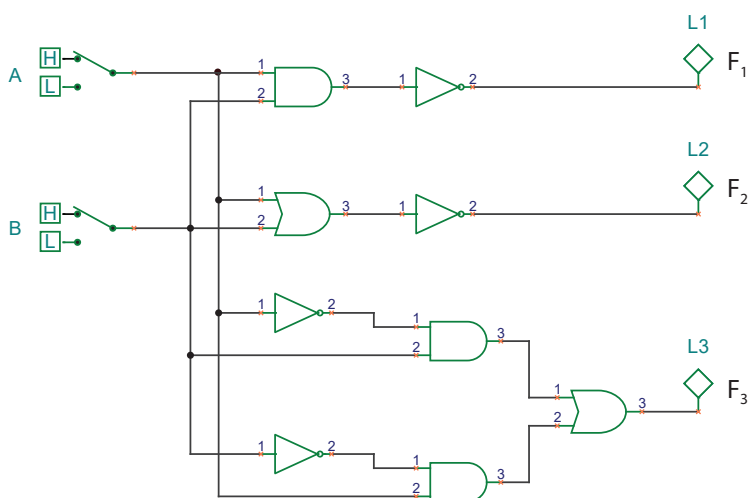
A	B	$F_2 = A + B$	F_{2sim}
0	0	0	
0	1	1	
1	0	1	
1	1	1	

c)

A	$F_3 = \bar{A}$	F_{3sim}
1	0	
0	1	

2. Uporedi dobijene vrijednosti pri simulaciji sa datim vrijednostima u tabelama istinitosti, koje su definisane na predavanju. Izvedi zaključak o logici rada osnovnih logičkih kola **I**, **ILI** i **NE** kola.

3. Realizuj u programskom paketu Tina složena logička kola: **NI**, **NILI** i **EXILI** sa osnovnim logičkim kolima, kao što je prikazano logičkom mrežom na slici L.2.3.

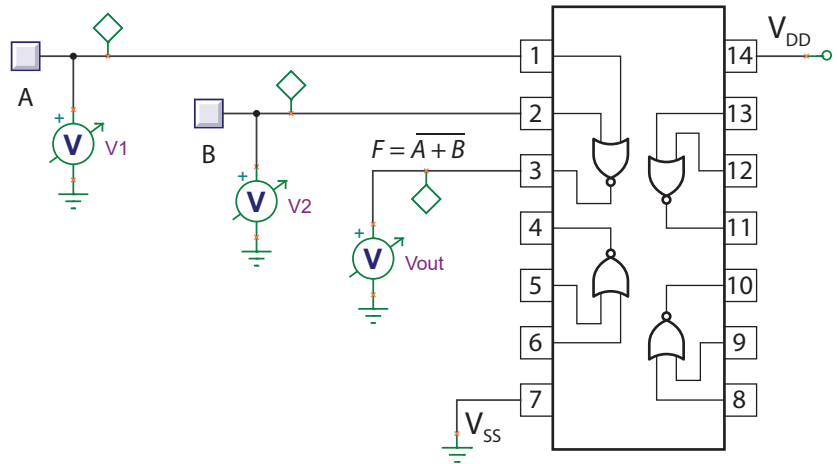


Slika L.2.3 Realizacija složenih logičkih kola NI, NILI i EXILI sa osnovnim logičkim kolima I, ILI i NE u programskom paketu Tina

4. Uporedi dobijene vrijednosti na izlazima složenih logičkih kola sa vrijednostima u tabelama istinitosti kola sa predavanja. Izvedi zaključak o načinu projektovanja i simulaciji rada složene logičke funkcije – mreže pomoću osnovnih logičkih kola u programskom paketu Tina.

5. Poveži NILI integrisano logičko kolo na eksperimentalnoj pločici, prema električnoj šemi, kao što je prikazano na slici L.2.4. Na ulaze kola A i B dovedi napone logičke 0 ili 1, koristeći logičke prekidače koji mogu

biti samo u dva stanja, 0 ili 1. Na ulaze i izlaz logičkog kola poveži svijetleće indikatore i prati status ulaza i izlaza, kao i voltmetre za mjerenje ulaznih i izlaznih nivoa napona logičkih kola. Pozitivan pol voltmetra (+) poveži na ulaze A i B i izlaz F, a drugi kraj voltmetra, minus-pol (–), veži na masu. Na maketi je korišćeno CMOS četvorokanalno NILI logičko kolo sa dva logička ulaza, CD serije u oznaci CD 4001B. Na slici se umjerava kolo u prvom kanalu, sa ulazima na pinovima 1 i 2 i izlaznim pinom 3. Ulaz integrisanog kola V_{SS} veži na masu, a V_{DD} na izlaz izvora napona od 5 V.



Slika L.2.4 Logička šema četvorokanalnog NILI logičkog kola

Tabela L.2.2 Tabela istinitosti NILI logičkog kola

A	B	$F = \overline{A + B}$	F_m (V)
0	0	1	
0	1	0	
1	0	0	
1	1	0	

- 6.** Mijenjaj napone na ulazu logičkog kola i prati stanje na izlazu NILI kola. Očitaj vrijednosti napona na izlazu, i dobijene vrijednosti unesi u tabelu L.2.2, u kolonu F_m . Ako izlazni indikator svijetli, u tabelu istinitosti upiši 1. U protivnom, ako izlazni indikator ne svijetli, u tabelu upiši 0. Dobijeni napon na izlazu F_m , koji se očitava na voltmetru, trebalo bi da odgovara logičkom stanju na izlazu kola.
- 7.** Na istoj maketi zamijeni integrisano kolo NILI i poveži I, ILI i NE kolo redom (vodi računa o pinovima ulaza i izlaza kola po kanalima i pinovima napajanja integrisanog CMOS kola) i ponovi postupak mjerenja iz prethodnog zadatka. U zadnjim kolonama tabela istinitosti: L.2.3a), L.2.3b) i L.2.3c), unesi napone koje pokazuju voltmetri na izlazima logičkih kola: F_{1m} , F_{2m} i F_{3m} .

Tabela L.2.3 Tabela istinitosti osnovnih logičkih kola

a)

A	B	$F_1 = A \cdot B$	$F_{1m} (V)$
0	0	0	
0	1	0	
1	0	0	
1	1	1	

b)

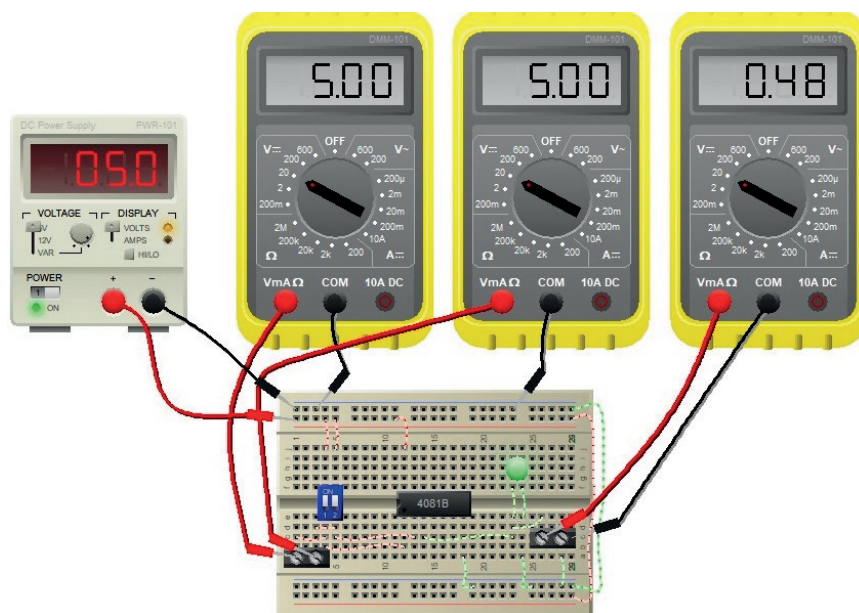
A	B	$F_2 = A + B$	$F_{2m} (V)$
0	0	0	
0	1	1	
1	0	1	
1	1	1	

c)

A	$F_3 = \bar{A}$	$F_{3m} (V)$
1	0	
0	1	

8. Uporedi vrijednosti dobijene pri simulaciji u laboratorijskim uslovima sa vrijednostima dobijenim pri simulaciji u programskom paketu Tina, kao i sa vrijednostima u tabelama istinitosti, prezentovanim na predavanjima. Izvedi zaključak o logici rada i simulaciji osnovnih logičkih kola u laboratorijskim uslovima.

Na slici L.2.5 prikazana je jedna od tehničkih realizacija umjeravanja CMOS logičkog kola CD 4081B (četvorokanalno I logičko kolo) u laboratorijskim uslovima, na eksperimentalnoj pločici. Način povezivanja logičkih prekidača na ulaze kola, kao i voltmetara, isti je kao na slici L.2.4. Pošto se radi o četvorokanalnom I logičkom kolu, potrebno je vidjeti da li raspored ulaza i izlaza I logičkog integrisanog kola odgovara rasporedu ulaza i izlaza za NILI logičko integrisano kolo, kao na slici L.2.4.



Slika L.2.5 Umjeravanje CMOS I logičkog kola CD 4081B u laboratorijskim uslovima, na eksperimentalnoj pločici



L.2.3 Praktična vježba br. 3

Naziv vježbe:

Demonstracija rada multivibratorskih kola (flip-flop, astabilni i monostabilni multivibrator) primjenom softvera za simulaciju rada električnih kola i pomoću laboratorijskih uređaja

Softveri za simulaciju rada električnih kola:

Tina, Electronics Workbench, LOGO!Soft Comfort, Circuit Wizard i dr.

Cilj vježbe:

Osposobljavanje za analizu rada i realizaciju multivibratorskih kola (flip-flovi, monostabilna i astabilna kola) i njihovu simulaciju u programskom paketu Tina i pomoću laboratorijskih uređaja. Razvijanje preciznosti, analitičkog i logičkog rasuđivanja, odgovornosti, sistematičnosti, upornosti, timskog duha i pozitivnog odnosa prema struci.

Potrebni laboratorijski uređaji, oprema i elektronske komponente:

Računar sa instaliranim softverom Tina, izvor jednosmjernog napona, dvokanalni osciloskop, digitalni multimetar, generator funkcije, eksperimentalna pločica, integrisana logička, memorijska i impulsna kola u CMOS tehnici, logički indikatori, prekidači, tasteri, pasivna elektronska kola – otpornici i kondenzatori i provodnici za povezivanje.

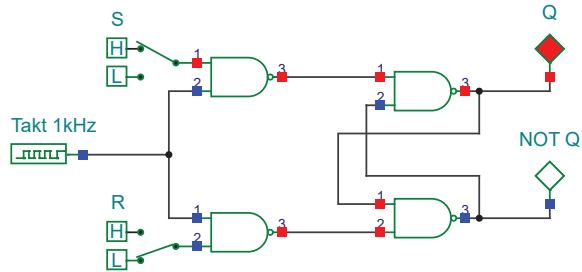
Priprema za vježbu:

- Obnovi gradivo sa predavanja o tehnici rada flip-flova: vrste, način rada upravljivih i neupravljivih flip-flova, blok-šeme, tablice rada, režimi rada, karakteristične jednačine na izlazu i vremenski dijagrami na izlazu flip-flova.
- Obnovi gradivo iz uvodnih vježbi o strukturi integrisanog kola NE555.

Radni zadaci:

- 1.** Koristeći programski paket Tina, poveži šemu osnovnog sinhronog RS flip-flopa sa logičkim kolima, kao što je prikazano na slici L3.1, upotrebjavajući: četiri NI logička kola, dvije ukrštene povratne sprege, dva

logička prekidača, dva logička indikatora i generator pravougaonog takt-signala.



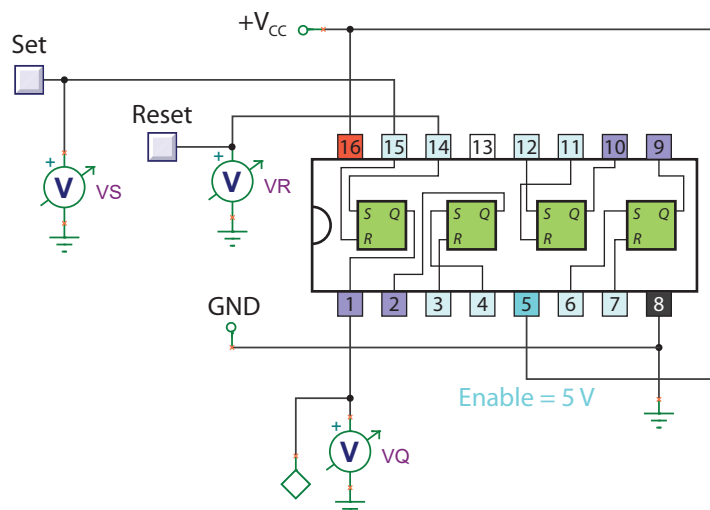
Slika L.3.1 Logička šema sinhronog RS flip-flopa sa logičkim kolima

2. Demonstriraj rad RS flip-flopa popunjavanjem njegove tablice rada (tabela L3.1), mijenjajući ulazne logičke kombinacije sa H/L logičkim prekidačima, vodeći računa o prethodnom stanju na izlazu flip-flopa. Na takt-ulaz dovedi niz kvadratnih pravougaonih signala frekvencije 1 kHz.

Tabela L.3.1 Tabela istinitosti RS flip-flopa sa logičkim kolima

S	R	Q^n	Q^{n+1}
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

3. Izvedi zaključak o logici rada sinhronog RS flip-flopa sa četiri NI logička kola kroz opis četiri režima rada. Demonstriraj rad zabranjenog stanja i opiši zbog čega se ono javlja, kao i vrijeme promjene signala na izlazu (uzlazna ili silazna ivica takt-signala). Ako bi se na takt-ulaz povezao H/L prekidač, da li bi se mogao simulirati rad RS flip-flopa kao u prethodnom slučaju? Simuliraj rad RS flip-flopa za ovaj slučaj taktovanja.
4. Poveži električnu šemu RS asinhronog flip-flopa prema slici L.3.2 koristeći laboratorijske uređaje. Na eksperimentalnoj pločici poveži ulazne logičke prekidače, izlazni logički indikator i integrisano kolo CD 4043B.



Slika L.3.2 Električna šema asinhronog RS flip-flopa pomoću laboratorijskih uređaja na eksperimentalnoj pločici

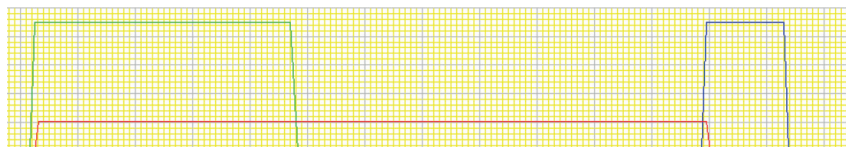
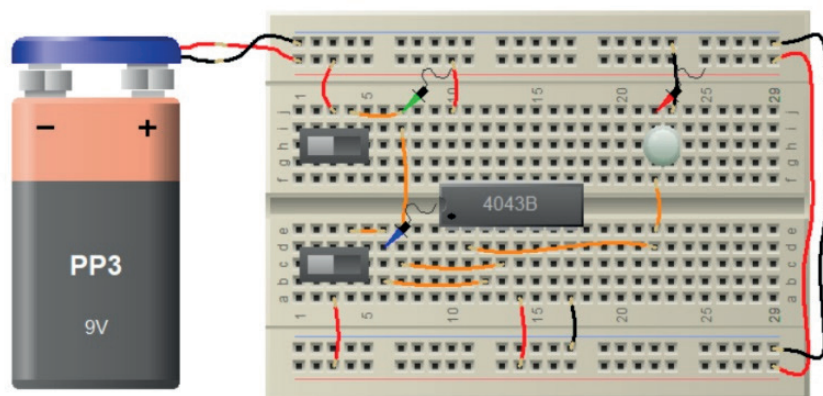
Tabela L.3.2 Tabela istinitosti integrisanog asinhronog RS flip-flopa sa laboratorijskim uređajima na eksperimentalnoj pločici

S	R	Q^n	$Q^{n+1} = V_Q$ (V)
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

5. Simuliraj rad digitalne asinhronne mreže realizovane na probnoj pločici aktiviranjem odgovarajućih logičkih prekidača na *Reset* i *Set* ulazu, za prvi kanal integrisanog kola, prema slici L.3.3. Kontrolu ulaznih napona izvrši sa digitalnim voltmetrima V_S i V_R a vrijednost dobijenog napona sa voltmetrom V_Q . Voltmetre na ulazima i izlazu vezati tako da se njegovi + polovi vežu na R i S ulaze, kao i na izlaz V_Q . Na isti pol voltmetra veže se i anoda LED diode kao svijetlećeg indikatora. Dovedi napon napajanja integrisanog kola (pin 16) $V_{CC} = 5$ V. Isti napon dovedi na pin 5, koji omogućava rad kola (*Enable*). Provjeri rad RS flip-flopa za sve moguće kombinacije logičkih stanja na ulazu i dobijene vrijednosti na izlazu unesi u tabelu L.3.2. Svijetleći indikator na izlazu RS flip-flopa predstavlja stanje logičke jedinice, a nesvijetleći indikator na izlazu mreže predstavlja stanje logičke nule.

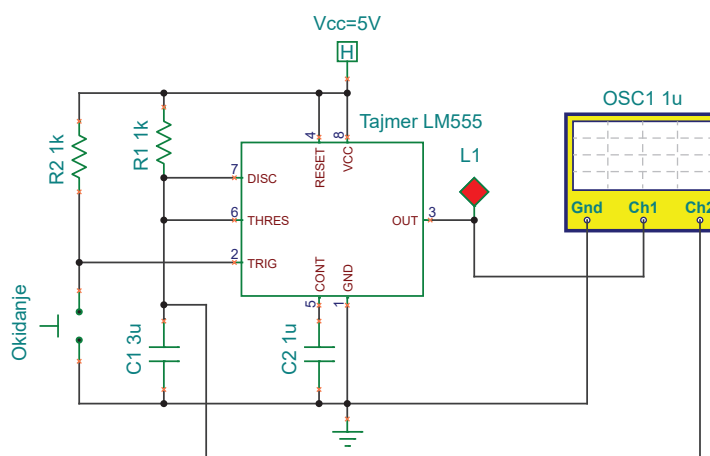
6. Uporedi dobijena rešenja sa stanjima RS flip-flopa pri simulaciji rada istog u programskom paketu Tina. Izvedi zaključak o logici rada sinhronih i asinhronih flip-floпова sa logičkim kolima i u integrisanoj CMOS tehnici.

Na slici L.3.3 prikazana je tehnička realizacija RS asinhronog integrisanog RS flip-flopa u CMOS tehnici u laboratorijskim uslovima, na eksperimentalnoj pločici, sa odgovarajućim vremenskim signalima na ulazu i izlazu kola. Način povezivanja logičkih prekidača, pinova integrisanog kola CD 4043, LED indikatora i napona napajanja vrši se prema šemi na slici L.3.2.



Slika L.3.3 Realizacija električne šeme RS asinhronog flip-flopa u laboratorijskim uslovima, na eksperimentalnoj pločici i vremenski dijagrami na ulazu i izlazu kola

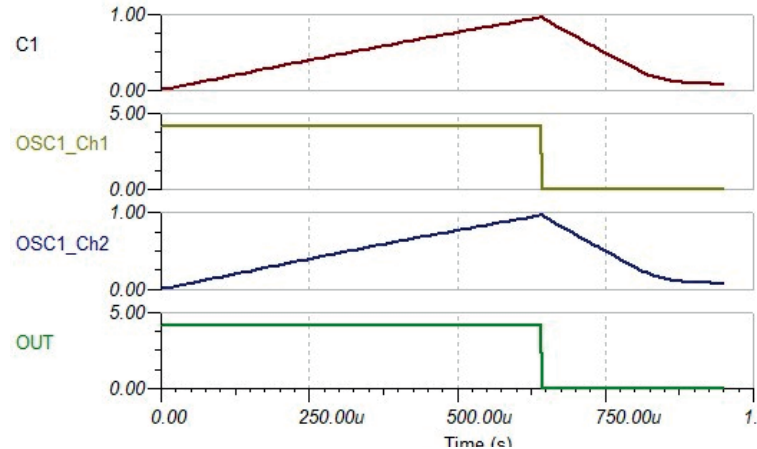
7. Koristeći programski paket Tina, poveži šemu monostabilnog multivibratora sa tajmerom LM555 u CMOS tehnici, kao što je prikazano na slici L.3.4. Prvi kanal osciloskopa Ch1 poveži na OUT izlaz kola, a drugi kanal osciloskopa Ch2 na gornju ploču kondenzatora C_1 . Zajednički kraj za oba kanala osciloskopa Gnd veži na pin GND integrisanog kola. Na ulaz za napajanje kola dovedi napon od 5 V.



Slika L.3.4 Realizacija monostabilnog multivibratora sa tajmerom LM555

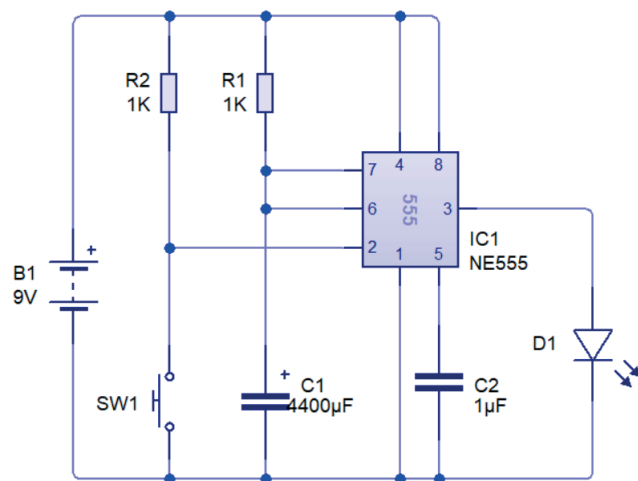
8. Postavi odgovarajuće vrijednosti za otpornosti i kapacitivnosti kao na slici L.3.4. Na ulaz TRIGER dovedi kratkotrajni negativni napon za okidanje, to jest pobudni okidni signal, pomoću tastera *Okidanje*.

Demonstriraj rad monostabilnog multivibratora, koristeći analizu *Transient Analysis*, snimanjem oblika signala na izlazu, koristeći dvokanalni osciloskop, čije trajanje zavisi od vremenske konstante $R_1 \cdot C_1$ ($T = 1,1 \cdot R_1 \cdot C_1$), kao što je prikazano vremenskim dijagramima na slici L.3.5.



Slika L.3.5 Oblik signala na ulazu i izlazu monostabilnog multivibratora

9. Promijeni vrijednost otpornosti R_1 i kapacitivnosti C_1 i uoči kako njihove vrijednosti utiču na oblik izlaznog signala, kao i na vrijeme punjenja i pražnjenja kondenzatora C_1 . Izvedi zaključak o logici rada monostabilnog multivibratora sa integrisanim kolom LM555 u CMOS tehnici.
10. Poveži električnu šemu monostabilnog multivibratora prema slici L.3.6, koristeći laboratorijske uređaje. Na eksperimentalnoj pločici poveži: ulazni taster, izlazni logički indikator, pasivna električna kola – otpornike i kondenzatore i integrisano kolo NE555 u CMOS tehnici.

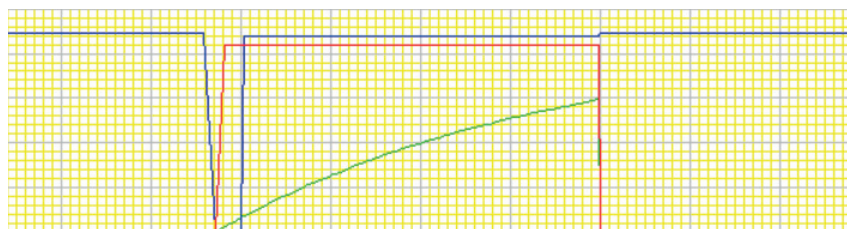
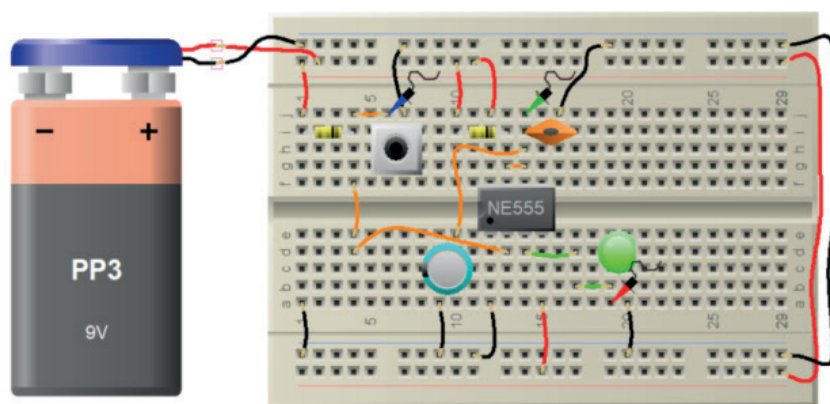


Slika L.3.6 Električna šema monostabilnog multivibratora u laboratorijskim uslovima na eksperimentalnoj pločici

11. Postavi odgovarajuće vrijednosti za otpornosti i kapacitivnosti kao na slici L.3.6. Jedan kanal osciloskopa veži na izlaz OUT (pin 3) a drugi kanal na oblogu kondenzatora koja nije vezana na 0 V (pin 6). Na ulaz TRIGGER (pin 2) dovedi kratkotrajni negativni napon za okidanje, pomoću tastera (SW1). Demonstriraj rad monostabilnog multivibratora koristeći analizu *Transient Analysis*, snimanjem oblika signala na izlazu, koristeći dvokanalni osciloskop čije trajanje zavisi od vremenske konstante $R_1 \cdot C_1$ ($T = 1,1 \cdot R_1 \cdot C_1$), kao što je prikazano vremenskim dijagramima na slici L.3.5.

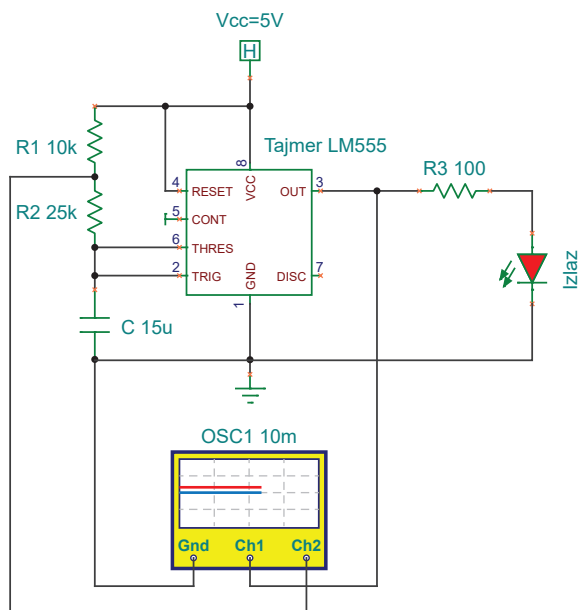
12. Izvedi zaključak o logici rada monostabilnog multivibratora sa NE555 kolom u CMOS tehnici.

Na slici L.3.7 prikazana je tehnička realizacija monostabilnog multivibratora u laboratorijskim uslovima, na eksperimentalnoj pločici, sa odgovarajućim vremenskim signalima na ulazu i izlazu kola. Povezivanje kola sa mjernom aparaturom izvršeno je prema slici L.3.6.



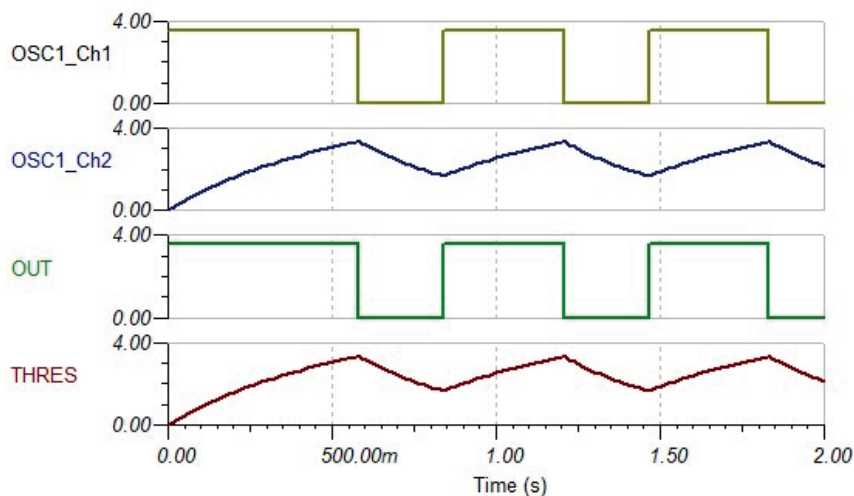
Slika L.3.7 Realizacija električne šeme monostabilnog multivibratora u laboratorijskim uslovima, na eksperimentalnoj pločici i vremenski dijagrami na ulazu i izlazu kola

13. Koristeći programski paket Tina, poveži šemu astabilnog multivibratora sa tajmerom LM555 u CMOS tehnici, kao na slici L.3.8.



Slika L.3.8 Realizacija astabilnog multivibratora sa tajmerom LM555

14. Postavi odgovarajuće vrijednosti za otpornosti R_1 , R_2 , R_3 i kapacitivnost C , kao na slici L.3.8. Prvi kanal osciloskopa Ch1 veži na izlaz OUT kola, a drugi kanal Ch2 osciloskopa poveži na gornju oblogu kondenzatora C . Pin kola V_{CC} povezati na +5 V a pin GND kola poveži na masu. Demonstriraj rad astabilnog multivibratora koristeći analizu *Transient Analysis*, snimanjem oblika signala na izlazu, kao što je prikazano vremenskim dijagramima na slici L.3.9.



Slika L.3.9 Oblik signala na izlazu astabilnog multivibratora

15. Promijeni vrijednosti otpornosti R_1 i R_2 i kapacitivnosti C i uoči kako njihove vrijednosti utiču na oblik izlaznih signala kao i na vrijednost vremenske konstante. Izračunaj vrijeme punjenja (t_1) i pražnjenja (t_2), periodu pravougaonog periodičnog signala na izlazu (T), kao i njegovu frekvenciju (f), koristeći jednakosti:

$$t_1 = 0,693 \cdot (R_1 + R_2) \cdot C_1;$$

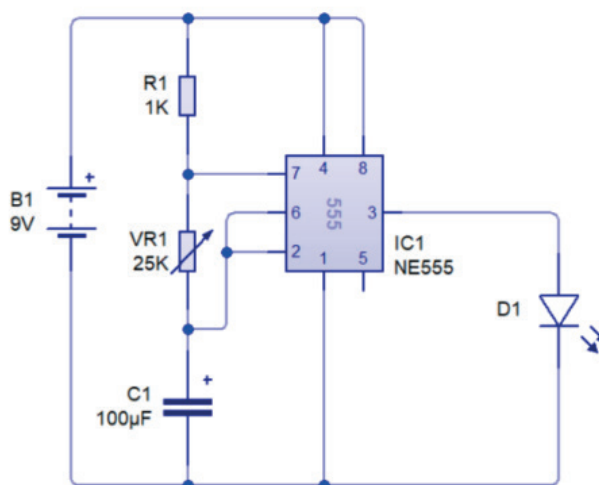
$$t_2 = 0,693 \cdot R_2 \cdot C_1;$$

$$T = t_1 + t_2,$$

$$f = \frac{1}{T}$$

Izvedi zaključak o logici rada astabilnog multivibratora sa tajmerom LM555 u integrisanoj tehnici.

16. Poveži električnu šemu astabilnog multivibratora prema slici L3.10, koristeći laboratorijske uređaje. Na eksperimentalnoj pločici poveži: ulazni taster, izlazni logički indikator, pasivna električna kola – otpornike i kondenzatore i integrisano kolo NE555 u CMOS tehnici, prema šemi sa slike L.3.8.

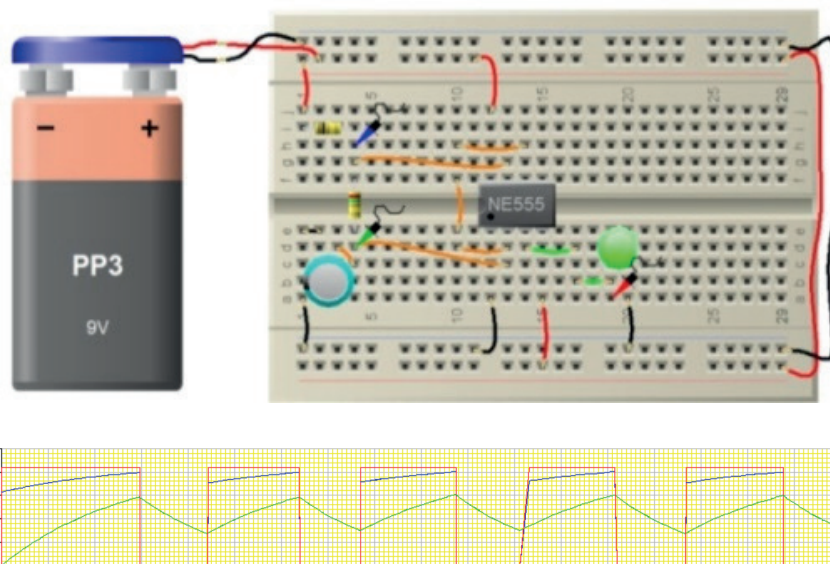


Slika L.3.10 Električna šema astabilnog multivibratora u laboratorijskim uslovima na eksperimentalnoj pločici

17. Postavi odgovarajuće vrijednosti R_1 , VR_1 za otpornosti i kapacitivnost C_1 kao na slici L.3.10. Jedan kanal osciloskopa vezati na izlaz OUT a drugi kanal na oblogu kondenzatora C . Demonstriraj rad astabilnog multivibratora koristeći analizu *Transient Analysis*, snimanjem oblika signala na izlazu, kao što je prikazano vremenskim dijagramima na slici L.3.9. Promijeni vrijednosti otpornosti R_1 , VR_1 i kapacitivnost C_1 i uoči kako njihove vrijednosti utiču na oblik izlaznih signala.

Izvedi zaključak o logici rada astabilnog multivibratora sa NE555 ko-
lom u integrisanoj CMOS tehnici.

Na slici L.3.11 prikazana je jedna od tehničkih realizacija astabilnog multivibratora u laboratorijskim uslovima, na eksperimentalnoj plo-
čici, sa odgovarajućim vremenskim signalima na ulazu i izlazu kola.



Slika L.3.11 Realizacija električne šeme astabilnog multivibratora u laboratorijskim uslovima, na eksperimentalnoj pločici i vremenski dijagrami na ulazu i izlazu kola



L.2.4 Praktična vježba br. 4

Naziv vježbe:

Demonstracija rada kombinacionih mreža (koder, dekoder, multiplekser i demultiplekser) primjenom softvera za simulaciju rada električnih kola i pomoću laboratorijskih uređaja

Softveri za simulaciju rada električnih kola:

Tina, Electronics Workbench, LOGO!Soft Comfort, Circuit Wizard i dr.

Cilj vježbe:

Osposobljavanje za analizu rada i realizaciju kombinacionih mreža: koder, dekoder, multiplekser i demultiplekser i njihovu simulaciju u programskom paketu Tina i pomoću laboratorijskih uređaja. Razvijanje preciznosti, analitičkog i logičkog rasuđivanja, odgovornosti, sistematičnosti, upornosti, timskog duha i pozitivnog odnosa prema struci.

Potrebni laboratorijski uređaji, oprema i elektronske komponente:

Računar sa instaliranim softverom Tina, izvor jednosmjernog napona, eksperimentalna pločica, integrisana logička i kombinaciona kola, tasteri ili prekidači, kratkospojnici, logički indikatori – LED diode i sedmosegmentni displeji.

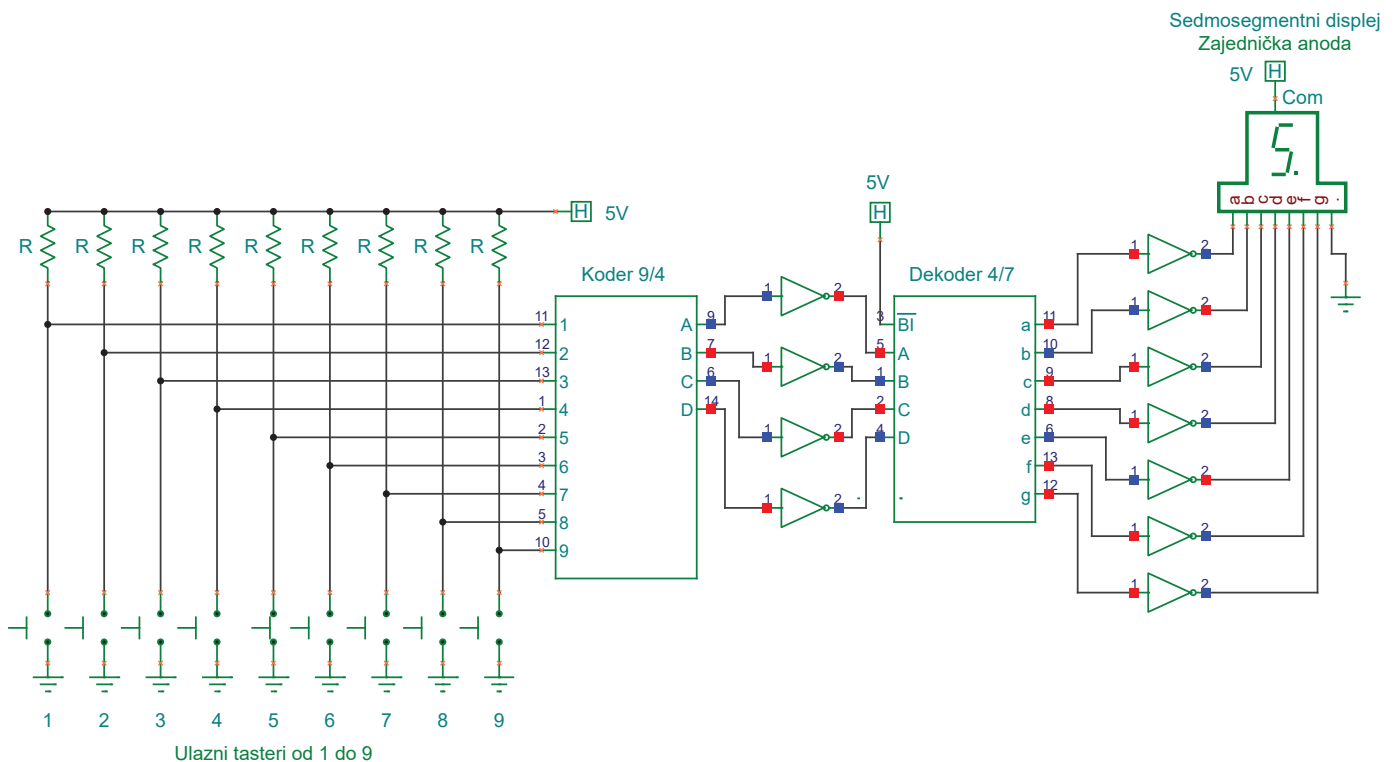
Priprema za vježbu:

- Obnovi gradivo sa predavanja o kombinacionim mrežama: vrste kombinacionih mreža: koder, dekoder, multiplekser, demultiplekser, način rada, blok-šema, tablica istinitosti, karakteristična jednačina na izlazu.
- Analiziraj integrisanu strukturu kombinacionih mreža u CMOS tehnici, raspored pinova, napone napajanja i način povezivanja, koristeći predavanja i odgovarajuće veb-stranice, kao i kataloge proizvođača kombinacionih mreža.
- Analiziraj postojeće kodere i dekodere u softverskom paketu Tina: raspored pinova, komplementarnost ulaza i izlaza, kao i aktivnost upravljivih ulaza: $\overline{BI}$, $\overline{LT}$, $\overline{RBI}$, $\overline{EI}$ itd.
- Analiziraj sedmosegmentni indikator u spoju sa zajedničkom anodom. Pri radu sa ovim indikatorom veoma je važno slijedeće: kada se upravljanje segmentima vrši pomoću katoda, to je negativna logika – izlazi displeja su komplementirani. U spoju sa zajedničkom katodom,

upravljanje segmentima vrši se preko anoda, onda je to pozitivna logika – izlazi displeja su bez invertora (u pozitivnoj logici logička 1 je 5 V a logička 0 je 0 V; u negativnoj logici logička 1 je 0 V a logička 0 je 5 V).

Radni zadaci:

1. Koristeći programski paket Tina poveži integrisanu kodersku i dekodersku digitalnu mrežu koja je prikazana na slici L.4.1.



Slika L.4.1 Digitalna mreža sa koderom, dekoderom i sedmosegmentnim indikatorom

Ulazne tastere od 1 do 9 poveži na ulaze koder 9/4. Izlaze koder A, B, C i D komplementiraj sa NE kolima i poveži ih na ulaze dekoder A, B, C i D. Pošto su izlazi koder komplementirani, kao i u prethodnom slučaju izlaza koder, komplementiraj ih i dovedi na segmente sedmosegmentnog displeja *a*, *b*, *c*, *d*, *e*, *f* i *g*.

2. Demonstriraj rad digitalne mreže na slici L.4.1. Pritiskom na jedan od tastera na ulazu, na izlazu koder pojavljuje se komplementirana NBCD binarna kombinacija (zato što koder ima komplementirane izlaze) koja odgovara aktiviranom tasteru na ulazu. Proveri rad koder za sve dekadске brojeve na ulazu, prema tabeli L.4.1 (D izlaz je MSB

bit a A izlaz je LSB bit, crvena boja na izlazu mreže predstavlja logičku jedinicu a plava boja na izlazu mreže predstavlja logičku 0).

Tabela L.4.1 Tablica rada koda 9/4

Ulazni tasteri	D	C	B	A
1	1	1	1	0
2	1	1	0	1
3	1	1	0	0
4	1	0	1	1
5	1	0	1	0
6	1	0	0	1
7	1	0	0	0
8	0	1	1	1
9	0	1	1	0

3. Provjeri rad dekodera 4/7 za svaku komplementiranu binarnu NBCD kombinaciju na njegovom ulazu, prema tabeli L.4.2 (izlazi koda se komplementiraju da bi se dobili nekomplementirani ulazi dekodera).

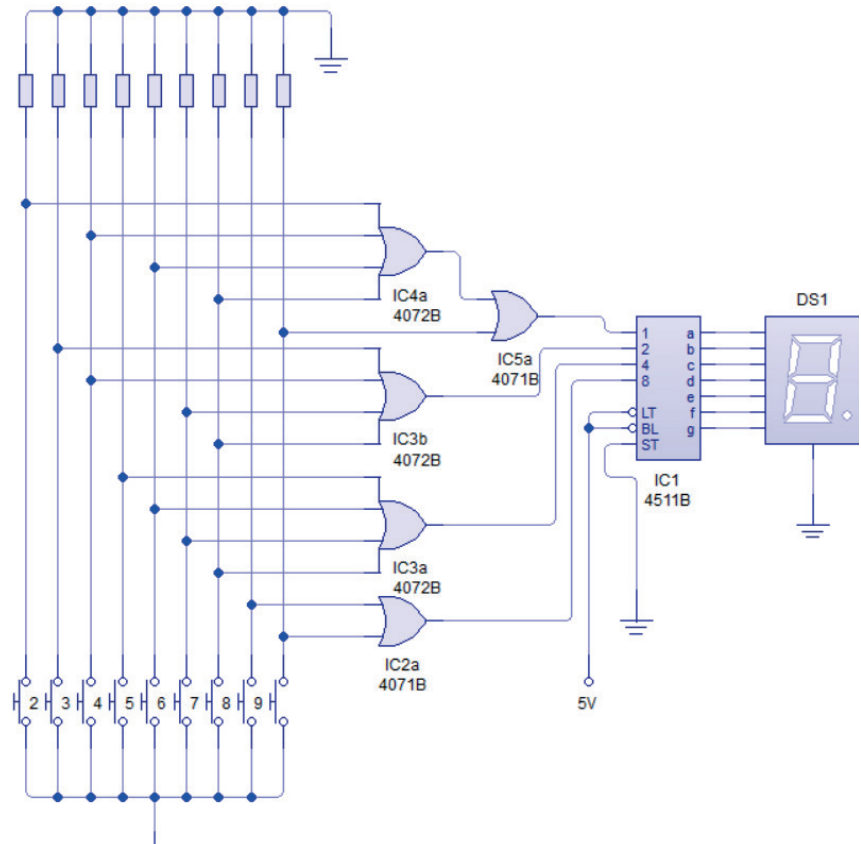
Tabela L.4.2 Tabela rada dekodera 4/7

Ulazni taster	D	C	B	A	a	b	c	d	e	f	g
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	0	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	0	0	1	1

4. Za realizaciju sedmosegmentnog indikatora koristi kolo za zajedničkom anodom. Pošto su segmentni ulazi komplementirani, izlazi dekodera se pomoću invertora komplementiraju da bi se dobili tačni svijetleći segmenti na displeju. COM ulaz poveži na 5 V. Demonstriraj rad minimalne digitalne šeme, bez invertora, sa displejom u spoju sa

zajedničkom anodom. Izvedi zaključak o logici rada koda, dekodera i sedmosegmentnog indikatora kao i složene digitalne mreže u cjelini.

5. Poveži složenu digitalnu mrežu, prema slici L.4.3, koristeći laboratorijske uređaje. Na eksperimentalnoj pločici poveži: koder 9/4 sa logičkim kolima (CD4072B i CD4071B), integrisanu strukturu dekodera 4/7 (CD4511B), sedmosegmentni indikator sa zajedničkom katodom i logičke indikatore na izlazu koda i dekodera.



Slika L.4.3 Šema složene digitalne mreže za realizaciju na eksperimentalnoj pločici pomoću integrisanih logičkih i kombinacionih kola

6. Simuliraj rad složene digitalne mreže realizovane na eksperimentalnoj pločici, aktiviranjem odgovarajućeg tastera na ulazu (od 1 do 9), prema slici L.4.3. Provjeri rad koda za sve dekadске brojeve na ulazu, prema tabeli L.4.3 (D izlaz je MSB bit a A izlaz je LSB bit. Svijetleći indikator na izlazu koderske mreže predstavlja logičku jedinicu a nsvijetleći indikator na izlazu mreže predstavlja logičku 0.) Napiši izraze za Bulove jednačine na izlazima koda.

Tabela L.4.3 Tabela rada kodera 9/4 sa logičkim kolima

Ulazni tasteri	<i>D</i>	<i>C</i>	<i>B</i>	<i>A</i>
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

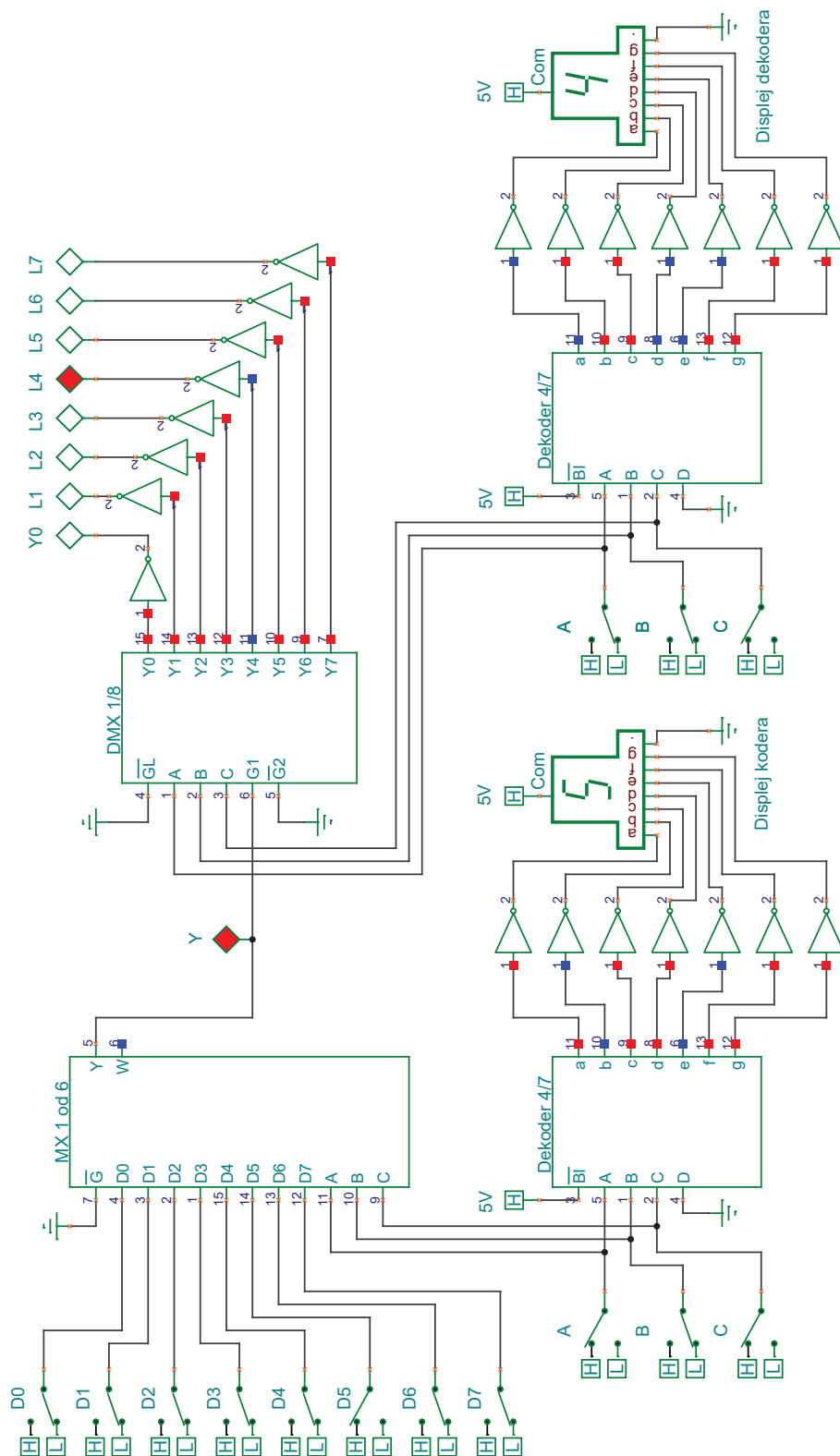
7. Provjeri rad dekodera 4/7 za svaku komplementiranu binarnu NBCD kombinaciju na njegovom ulazu, prema tabeli L.4.4:

Tabela L.4.4. Tabela rada dekodera 4/7 sa logičkim kolima

Ulazni taster	<i>D</i>	<i>C</i>	<i>B</i>	<i>A</i>	<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>e</i>	<i>f</i>	<i>g</i>
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	0	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	0	0	1	1

8. Uporedi dva prethodna rješenja po brzini rada i minimalnom broju logičkih kola. Izvedi zaključak o logici rada kodera, dekodera i sedmo-segmentnog indikatora kao i složene digitalne kombinacione mreže u cjelini u laboratorijskim uslovima.

9. Koristeći programski paket Tina, poveži integrisanu digitalnu kombinacionu mrežu sa multiplekserom, demultiplekserom, dekoderima i sedmosegmentnim indikatorima koja je prikazana na slici L.4.4.



Slika L.4.4 Digitalna mreža sa multiplekserom, demultiplekserom, dekoderima i sedmosegmentnim indikatorima

Na ulaze MX 1 od 8 dovedi osam logičkih prekidača, kojima ćeš simulirati logičko stanje na informacionom ulazu. Na ulaze A , B i C dekodera 4/7 dovedi logičke prekidače, a četvrti ulaz D spoj na masu. Adresne ulaze multipleksera A , B i C , MX 1 od 8 kratko spoj sa ulazima dekodera A , B i C . Izlaz Y multipleksera MX 1 od 8 poveži na ulaz G_1 demultipleksera DMX 1/8. Adresne ulaze demultipleksera A , B i C paralelno veži na ulaze A , B i C dekodera 4/7, slično kao kod multipleksera. Izlaze demultipleksera komplementiraj sa NE kolima i na svaki izlaz poveži logički indikator. Izlaze dekodera a , b , c , d , e , f i g komplementiraj, a zatim poveži na svijetleće segmente displeja a , b , c , d , e , f i g .

10. Demonstriraj rad digitalne mreže na slici L.4.4 mijenjajući binarnu informaciju na informacionim ulazima multipleksera i selektovanjem odgovarajućih adresnih ulaza. Izlaz MX dovedi na ulaz DMX i simuliraj prenos poruka kroz zajedničku liniju. Na ulaz multipleksera i adresne ulaze dovedi H/L prekidače (adresni D ulaz je MSB bit i na njega dovedi logičku 0 a A ulaz je LSB bit kod dekodera 4/7). Izlaze sedmosegmentnog dekodera invertuj da bi se na svijetlećim indikatorima displeja dobila tačna kombinacija (displej radi u spoju sa zajedničkom anodom). Upravljačke ulaze – $\overline{G}$, $\overline{G_2}$, $\overline{GL}$, G_1 poveži kao u šemi na slici L.4.4. Izlaze demultipleksera invertuj da bi sklop radio po tablici istinitosti.
11. Provjeri rad MX 1 od 8 dovođenjem odgovarajućih adresnih ulaza pomoću prekidača A , B i C , kao i proizvoljne informacije na informacione D ulaze, u stanje 1 ili 0, prema tabeli L.4.5.

Tabela L.4.5 Tabela rada MX 1 od 8 u integrisanoj tehnici

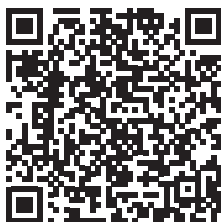
Adresni ulazi			Upravljački ulaz	Ulaz	Izlaz
A	B	C	$Enable = \overline{G}$	D_0-D_7	Y
0	0	0	0	x	$Y = D_0$
0	0	1	0	x	$Y = D_1$
0	1	0	0	x	$Y = D_2$
0	1	1	0	x	$Y = D_3$
1	0	0	0	x	$Y = D_4$
1	0	1	0	x	$Y = D_5$
1	1	0	0	x	$Y = D_6$
1	1	1	0	x	$Y = D_7$

12. Provjeri rad demultipleksera 1/8 dovođenjem binarne informacije na ulaz, $Y = G_1$, prema tabeli L.4.6, dovođenjem odgovarajućih adresnih ulaza, pomoću prekidača, u stanje 1 ili 0.

Tabela L.4.6 Tabela rada DMX 1/8 u integrisanoj tehnici

Adresni ulazi			Ulaz	Upravljački ulaz	Izlaz
A	B	C	$Y = G_1$	$Enable = \overline{GL}$	$\overline{Y}_0 - \overline{Y}_7$
0	0	0	x	0	$\overline{Y}_0 = G_1$
0	0	1	x	0	$\overline{Y}_1 = G_1$
0	1	0	x	0	$\overline{Y}_2 = G_1$
0	1	1	x	0	$\overline{Y}_3 = G_1$
1	0	0	x	0	$\overline{Y}_4 = G_1$
1	0	1	x	0	$\overline{Y}_5 = G_1$
1	1	0	x	0	$\overline{Y}_6 = G_1$
1	1	1	x	0	$\overline{Y}_7 = G_1$

13. Izvedi zaključak o logici rada multipleksera, demultipleksera, dekode-
ra i sedmosegmentnog indikatora, kao i realizovane integrisane digi-
talne mreže.



L.2.5 Praktična vježba br. 5

Naziv vježbe:

Demonstracija rada sekvencijalnih mreža – registara i brojača, primjenom softvera za simulaciju rada električnih kola

Softveri za simulaciju rada električnih kola:

Tina, Electronics Workbench, LOGO!Soft Comfort, Circuit Wizard i dr.

Cilj vježbe:

Osposobljavanje za analizu rada i realizaciju sekvencijalnih mreža – registara i brojača i njihovu simulaciju u programskom paketu Tina i pomoću laboratorijskih uređaja. Razvijanje preciznosti, analitičkog i logičkog rasuđivanja, odgovornosti, sistematičnosti, upornosti, timskog duha i pozitivnog odnosa prema struci.

Potrebni laboratorijski uređaji, oprema i elektronske komponente:

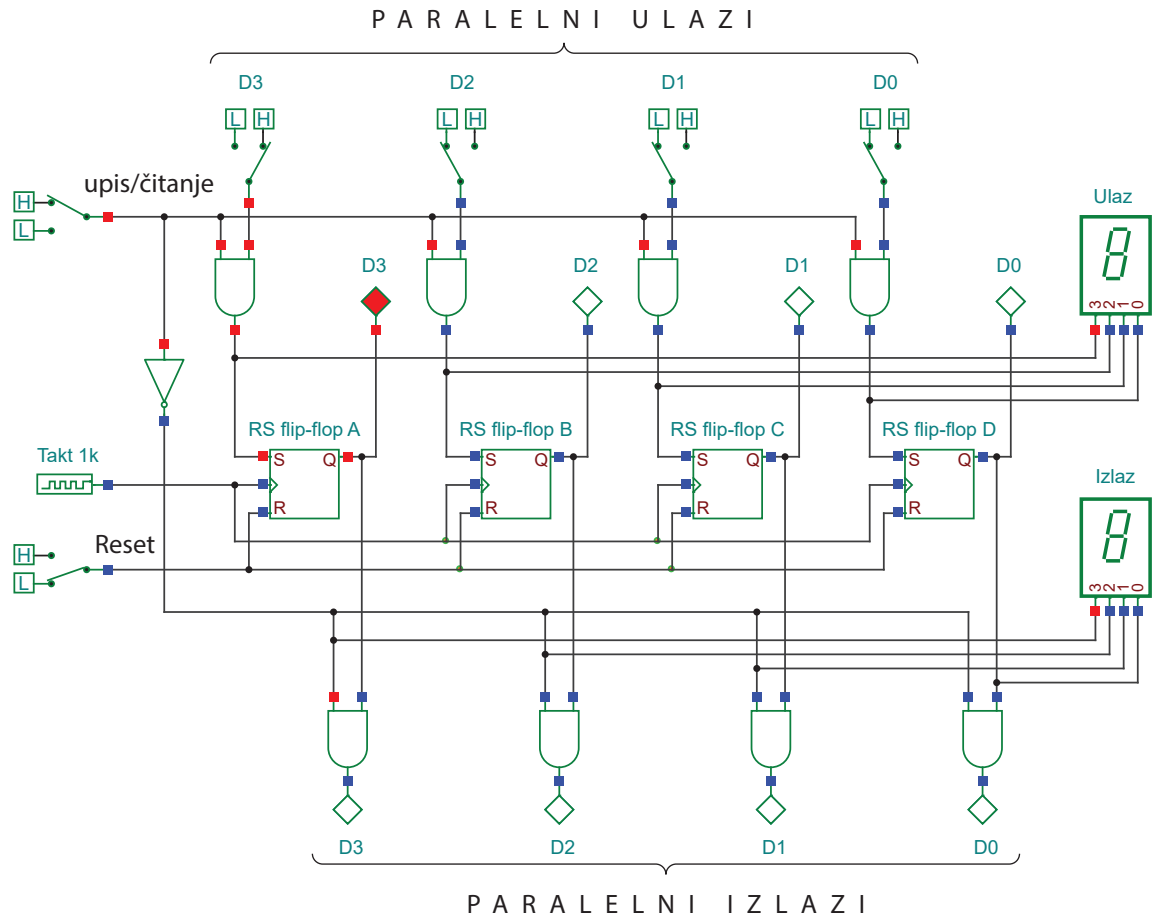
Računar sa instaliranim softverom Tina.

Priprema za vježbu:

- Obnovi gradivo sa predavanja o sekvencijalnim mrežama: vrste sekvencijalnih mreža (binarni, stacionarni i šift-registri), paralelni brojači, redni brojači, kružni brojači, način rada sekvencijalnih mreža, blok-šema brojača, tablica brojanja, tablica prelaza, struktura sa flip-flopovima, vremenski dijagrami na izlazu flip-flopova, upravljačka logika za kontrolu upisa u registar ili ispisa iz registra.
- Analiziraj integrisanu strukturu sekvencijalnih mreža u CMOS tehnici, raspored pinova, napone napajanja i način povezivanja koristeći predavanja, veb-stranice i kataloge proizvođača.
- Analiziraj postojeće registre i brojače u softverskom paketu Tina: raspored pinova, logičku strukturu, aktivnost upravljačkih ulaza ($\overline{SH/LD}$, $\overline{CLKINH}$, $\overline{CLR}$, $\overline{SLSER}$, $\overline{SRSER}$, $\overline{CLR}$, $\overline{SH/LD}$, $\overline{RCLR}$, $\overline{SRCLR}$, $\overline{MR}$, $\overline{LOAD}$, $\overline{CLR}$, $\overline{CTEN}$, $\overline{RCO}$, UP, DOWN, ENT, ENP, $\overline{G}$, RCK, CCK itd.).

Radni zadaci:

1. Koristeći programski paket Tina, poveži stacionarni četvorobitni registar sa RS flip-flopovima, sa kontrolom upisa i ispisa sadržaja registra (upis/čitanje), kao što je prikazano na slici L.5.1.

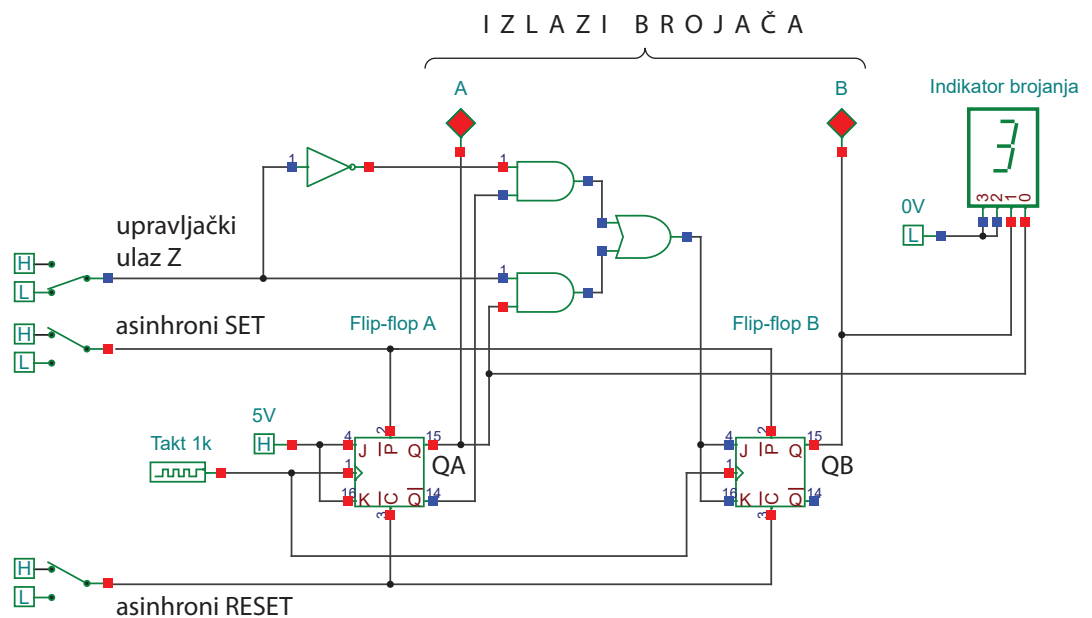


Slika L.5.1 Sekvencijalna mreža stacionarnog četvorobitnog registra sa RS flip-flopovima, sa kontrolom upisa i ispisa

Na paralelne ulaze registra $D_3D_2D_1D_0$ dovedi logičke prekidače za simulaciju upisa proizvoljnog četvorobitnog binarnog broja. Na izlaze svih RS flip-flova postavi logičke indikatore za kontrolu upisa logičkog stanja u registar, kao i na paralelne izlaze $D_3D_2D_1D_0$ za kontrolu paralelnog ispisa iz registra. Na upravljačke ulaze *Upis/Čitanje* i *Reset* dovedi logičke prekidače za simulaciju režima rada registra i njegovo postavljanje u početno stanje (stanje logičke nule). Na set-ulaze flip-flova poveži četvorobitni logički indikator tako da njegov ulaz 0 odgovara set-ulazu flip-flopa D, ulaz 1 odgovara set-ulazu flip-flopa C, ulaz 2 odgovara set-ulazu flip-flopa B i ulaz 3 koji odgovara set-ulazu flip-flopa A. Na sličan način poveži četvorobitni logički indikator na

izlaze flip-flopova. Upravljački ulaz za takt poveži na izlaz generatora pravougaonih signala učestanosti 1 kHz.

2. Izvedi zaključak o logici rada četvorobitnog stacionarnog registra sa SR flip-flopovima i logičkom kontrolom za upis i ispis sadržaja registra.
3. Koristeći programski paket Tina, poveži sekvencijalnu mrežu reverzibilnog paralelnog brojača, modula $M = 4$, sa dva JK flip-flopa i upravljačkom logikom za kontrolu brojanja, kao što je prikazano na slici L.5.2. Obnovi sa predavanja izraze za ulaze flip-flopova u funkciji njegovih izlaza ako je brojač dvobitni, paralelni i reverzibilni. Za realizaciju brojača koristi dva modifikovana JK flip-flopa A i B, koji rade kao T brojački flip-flopi.



Slika L.5.2 Sekvencijalna mreža reverzibilnog paralelnog brojača, modula $M = 4$, sa dva JK flip-flopa i upravljačkom logikom za kontrolu brojanja

Na asinhronu Set i Reset ulaze ($\bar{P}$ i $\bar{C}$), kao i na upravljački ulaz Z, dovedi logičke prekidače za simulaciju logičke 1 i 0. Na ulaz Takt dovedi niz kvadratnih pravougaonih signala iz generatora takta, učestanosti 1 kHz. Ulaz za takt dovedi paralelno na oba takt-ulaza flip-flopova. Ulaze JK flip-flopova poveži sa upravljačkim ulazom Z, koristeći jednačine ulaza flip-flopova koji su izvedeni na predavanju:

$$J_A = K_A = 1$$

$$J_B = K_B = A \cdot Z + \bar{A} \cdot \bar{Z}.$$

Nekomplementirane izlaze JK flip-flopova poveži na ulaze 1 i 0 HEX displeja da bi se mogla prikazati dekadna sekvenca brojanja brojača

naviše i naniže. Ulaze HEX displeja 2 i 3 veži na niski naponski nivo (LOW). Na oba izlaza JK flip-flopa poveži logičke indikatore za kontrolu rada brojača u binarnom brojnom sistemu.

4. Demonstriraj rad sekvencijalne brojačke mreže na slici L.5.2. Upravljački ulaz Z omogućava kontrolu paralelnog brojanja: ako je $Z = 1$, brojač broji naviše (UP); a ako je $Z = 0$, brojač broji naniže (DOWN). Zbog dva različita smjera brojanja, brojač ima dva upravljačka asinhrona ulaza za setovanje i resetovanje ($\bar{P}$ – **Preset** i $\bar{C}$ – **Clear**), koji mogu u bilo kom trenutku da broje od početka (pošto su ti ulazi komplementirani, aktivni su ako je na njihovom ulazu logička 0). Flip-flop A uvijek broji po modulu $M = 2$, flip-flop B broji kada mu kombinaciona logika proslijedi logičku 1. Izlazni indikatori su logički indikatori i HEX displej. Postavi upravljačke ulaze tako da paralelni brojač broji UP a zatim DOWN i dobijene vrijednosti, koje pokazuju hex displeji, upiši u tabele L.5.1a) i L.5.1b). (PS je početno stanje brojanja brojača.)

Tabela L.5.1. Tablica rada reverzibilnog paralelnog brojača, modula $M = 4$, sa dva JK flip-flopa i upravljačkom logikom za kontrolu brojanja

a) UP brojač

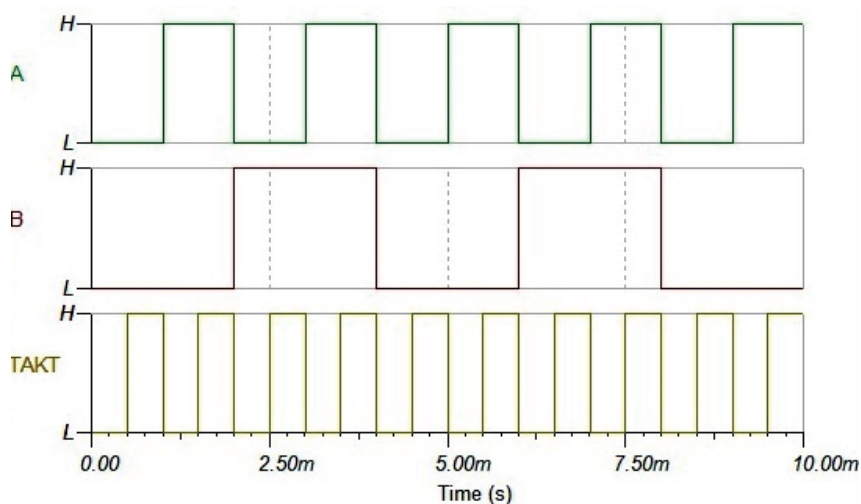
Takt:	A	B	IZLAZ
P. S:	0	0	0 ₁₀
1T			
2T			
3T			
4T			
P. S.	0	0	0 ₁₀

b) DOWN brojač

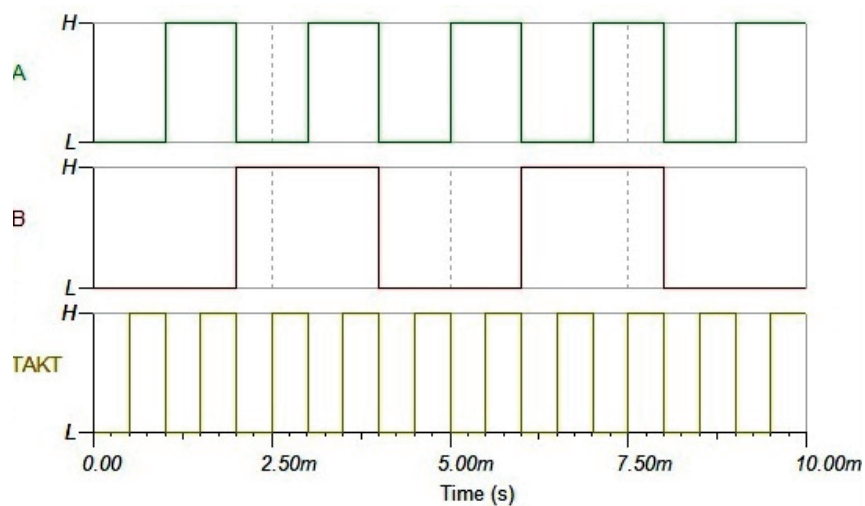
Takt:	A	B	IZLAZ
P. S:	1	1	3 ₁₀
1T			
2T			
3T			
4T			
P. S.	1	1	3 ₁₀

5. Analiziraj dobijene vrijednosti u tabeli L.5.1, u smislu paralelnog brojanja naviše i naniže, kao i brzinu rada paralelnog dvobitnog reverzibilnog brojača, imajući u vidu kombinaciona kola i brzine njihovog rada.

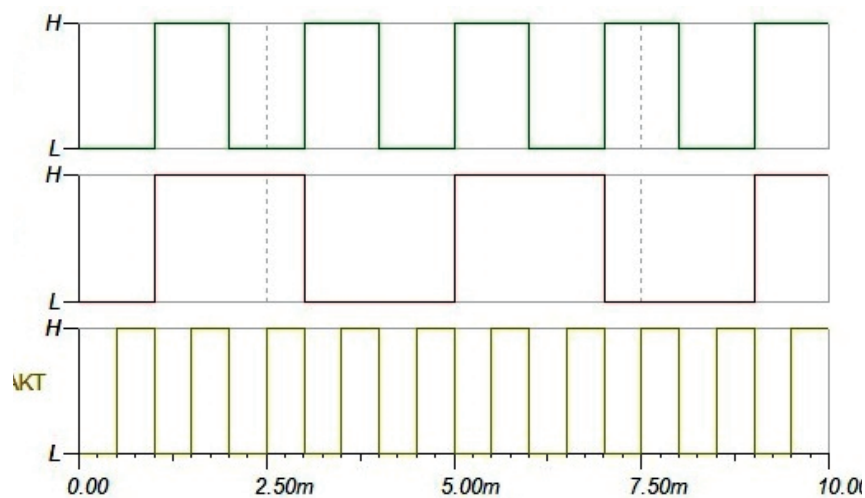
6. Prikaži vremenske dijagrame izlaza flip-floпова pri UP i DOWN režimu rada koristeći **Digital Timing Analysis** (slika L.5.3 i L.5.4).



Slika L.5.3 Vremenski dijagrami na izlazu paralelnog dvobitnog brojača, po modulu $M = 4$ UP, realizovanog u programskom paketu Tina



Slika L.5.3 Vremenski dijagrami na izlazu paralelnog dvobitnog brojača, po modulu $M = 4$ UP, realizovanog u programskom paketu Tina



Slika L.5.4 Vremenski dijagrami na izlazu paralelnog dvobitnog brojača, po modulu $M = 4$ DOWN, realizovanog u programskom paketu Tina

7. Izvedi zaključak o logici rada paralelnog reverzibilnog višebitnog brojača sa kontrolnom logikom za izbor smjera brojanja.



L.2.6 Praktična vježba br. 6

Naziv vježbe:

Demonstracija rada aritmetičkih kola (potpuni sabirač, polusabirač i oduzimač) primjenom softvera za simulaciju rada električnih kola

Softveri za simulaciju rada električnih kola:

Tina, Electronics Workbench, LOGO!Soft Comfort, Circuit Wizard i dr.

Cilj vježbe:

Osposobljavanje za analizu rada i realizaciju aritmetičkih kola i njihovu simulaciju u programskom paketu Tina i pomoću laboratorijskih uređaja. Razvijanje preciznosti, analitičkog i logičkog rasuđivanja, odgovornosti, sistematičnosti, upornosti, timskog duha i pozitivnog odnosa prema struci.

Potrebni laboratorijski uređaji, oprema i elektronske komponente:

Računar sa instaliranim softverom Tina.

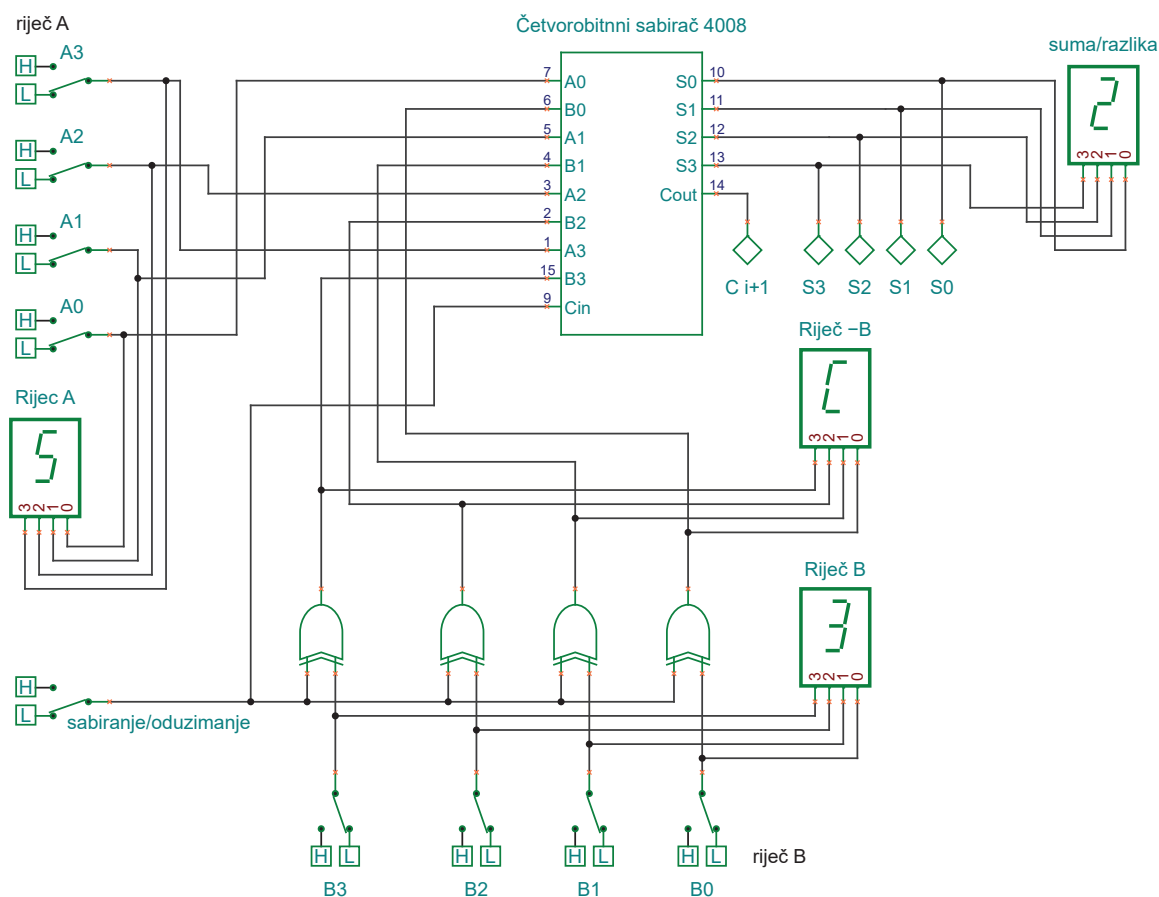
Priprema za vježbu:

- Obnovi gradivo sa predavanja o aritmetičkim operacijama i aritmetičkim kolima: proste i složene aritmetičke operacije, osnovna logička kola za tehničku realizaciju aritmetičkih binarnih operacija: serijski i paralelni jednobitni i višebitni sabirači i oduzimači.

Radni zadaci:

1. Koristeći programski paket Tina, poveži četvorobitni paralelno-paralelni sabirač i oduzimač, sa kontrolom izbora binarne operacije. Za četvorobitno sabiranje koristi CMOS kolo CD4008B, kao što je prikazano na slici L.6.1.

Na ulaze dva četvorobitna binarna broja dovedi logičke prekidače za simulaciju rada logičke 1 i 0. Binarni broj B od četiri bita dovedi na ulaz četvorobitnog sabirača preko četiri EXILI kola da bi mogao sklop da radi kao sabirač ili oduzimač, uz pomoć upravljačkog ulaza *Sabiranje/Oduzimanje*. Svaki binarni ulaz za riječ A i riječ B poveži na ulaze HEX displeja 3, 2, 1 i 0 da bi se mogla izvršiti vizuelna provjera rada sabirača ili oduzimača u dekadnom brojnom sistemu. Na izlazu za sumu ili razliku, postavi za svaki bit logički indikator za kontrolu rada sklopa.



Slika L.6.1 Četvorobitni paralelno-paralelni sabirač i oduzimač sa kontrolom izbora binarne operacije

2. Demonstriraj rad aritmetičke kombinacione mreže na slici L.6.1. Upravljački ulaz *Sabiranje/Oduzimanje* omogućava obavljanje operacije sabiranja ako se na ovaj ulaz dovede logička 0; u protivnom, kada se dovede logička 1, sklop je četvorobitni oduzimač. Za sabiranje u drugom komplementu koriste se EX ILI kola. Ulaz integralnog kola C_{in} dovedi na upravljački ulaz radi dobijanja drugog komplementa. Na paralelne ulaze za riječi A i B dovedi H/L prekidače i hex displej. Na izlaze za zbir ili razliku dovedi logičke indikatore i hex displej za očitavanje zbira ili razlike do 15 (za očitavanje zbira ili razlike preko 15, potrebno je imati sedmosegmentni dekodeer sa dvije ili više cifara u displeju).
3. Dovedi proizvoljne četvorobitne binarne brojeve na ulaze A i B, izaberi operaciju sabiranja i očitaj binarnu vrijednost na izlazu. Zatim izvrši operaciju oduzimanja brojeva sa ulaza A i B, i provjeri da li je dobijeni rezultat negativan broj. Analitički dokaži tačnost dobijenog rezultata oduzimanja koristeći postupak pretvaranja negativnog broja u drugi komplement.

4. Izvedi zaključak o logici rada univerzalnog četvorobitnog sabirača i oduzimača, sa kontrolom izbora vrste operacije. Analiziraj brzinu rada aritmetičke mreže imajući u vidu kašnjenje u HA i FA i način njihove sprege i vezu prenosa iz prethodnog razreda u sljedeći razred, kao i brzinu rada EXILI kola.



L.2.7 Praktična vježba br. 7

Naziv vježbe:

Demonstracija rada D/A konvertora sa ljestvičastom mrežom i A/D konvertora sa uzastopnim približavanjem, primjenom softvera za simulaciju rada električnih kola i pomoću laboratorijskih uređaja

Softveri za simulaciju rada električnih kola:

Tina, Electronics Workbench, LOGO!Soft Comfort, Circuit Wizard i dr.

Cilj vježbe:

Osposobljavanje za analizu rada i realizaciju D/A i A/D konvertora i njihovu simulaciju u programskom paketu Tina i pomoću laboratorijskih uređaja. Razvijanje preciznosti, analitičkog i logičkog rasuđivanja, odgovornosti, sistematičnosti, upornosti, timskog duha i pozitivnog odnosa prema struci.

Potrebni laboratorijski uređaji, oprema i elektronske komponente:

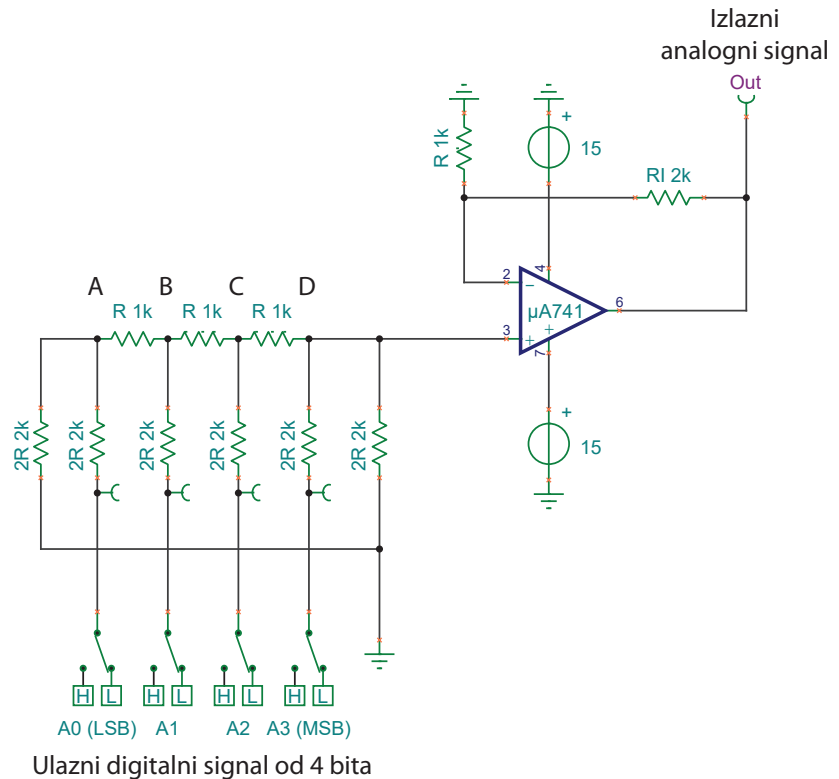
Računar sa instaliranim softverom Tina, izvor jednosmjernog napona, eksperimentalna pločica, integrisana logička i sekvencijalna kola, A/D i D/A integrisana kola, operacioni pojačavač u integrisanoj tehnici, tasteri ili prekidači, otpornici, kratkospojnici, logički indikatori – LED diode, sedmosegmentni displeji i *hex* displeji.

Priprema za vježbu:

- Obnovi gradivo sa predavanja o D/A i A/D konvertorima: D/A konvertor sa ljestvičastom mrežom otpornika i operacionim pojačavačem, A/D konvertor sa sukcesivnom aproksimacijom: princip rada, blok-šema, struktura sa osnovnim digitalnim i analognim kolima, osnovni parametri A/D i D/A pretvarača, greške pri radu i tačnost konvertora.
- Analiziraj integrisanu strukturu A/D i D/A višebitnih konvertora u CMOS tehnici: raspored pinova, naponi napajanja i način povezivanja – koristeći predavanja, veb-stranice i kataloge proizvođača.
- Analiziraj postojeća konvertorska kola u softverskom paketu Tina: raspored pinova, logička struktura, aktivnost upravljačkih ulaza: A , E , R , R_i , R_o itd.

Radni zadaci:

1. Koristeći programski paket Tina, poveži četvorobitni D/A konvertor sa ljestvičastom otpornom mrežom i prekidačima na ulazu, kao što je prikazano na slici L.7.1.



Slika L.7.1 Četvorobitni D/A konvertor sa ljestvičastom otpornom mrežom

Na digitalne ulaze $A_3A_2A_1A_0$ poveži logičke prekidače za simulaciju logičke 1 i 0 na ulazu kola za dobijanje različitih ulaznih kombinacija. Dovedi napon napajanja od ± 15 V iz generatora jednosmjernog napona na odgovarajuće pinove integrisanog kola $\mu A741$, koji je operacioni pojačavač. Na neinvertujući ulaz + operacionog pojačavača dovedi otpornu mrežu otpornika R i $2R$. U grani otporne mreže gdje su $2R$ otpornici, poveži voltmetre da mjere napon u pojedinim ulaznim granama. Na svaku ulaznu granu postavi po jedan *voltage pin* za crtanje vremenskih dijagrama na ulazu kola. Na izlaz integrisanog kola poveži voltmetar da mjeri izlazni napon, kao i *voltage pin* da omogući crtanje vremenskog dijagrama na izlazu kola.

2. Zapiši sve binarne kombinacije od 4 bita – 16 kombinacija u tabelu L.7.1. Logičkim prekidačima mijenjaj stanja na ulazima D/A konvertora, prema definisanim kombinacijama, te izmjeri napone u tačkama A, B, C i D, kao i napon na izlazu konvertora (**Out_m(V)**) i izmjerene vrijednosti unesi u istu tabelu. Izračunaj vrijednosti izlaznog napona konvertora (**Out_r(V)**) za sve ulazne kombinacije koristeći izraz za vrijednost izlaznog napona sa predavanja:

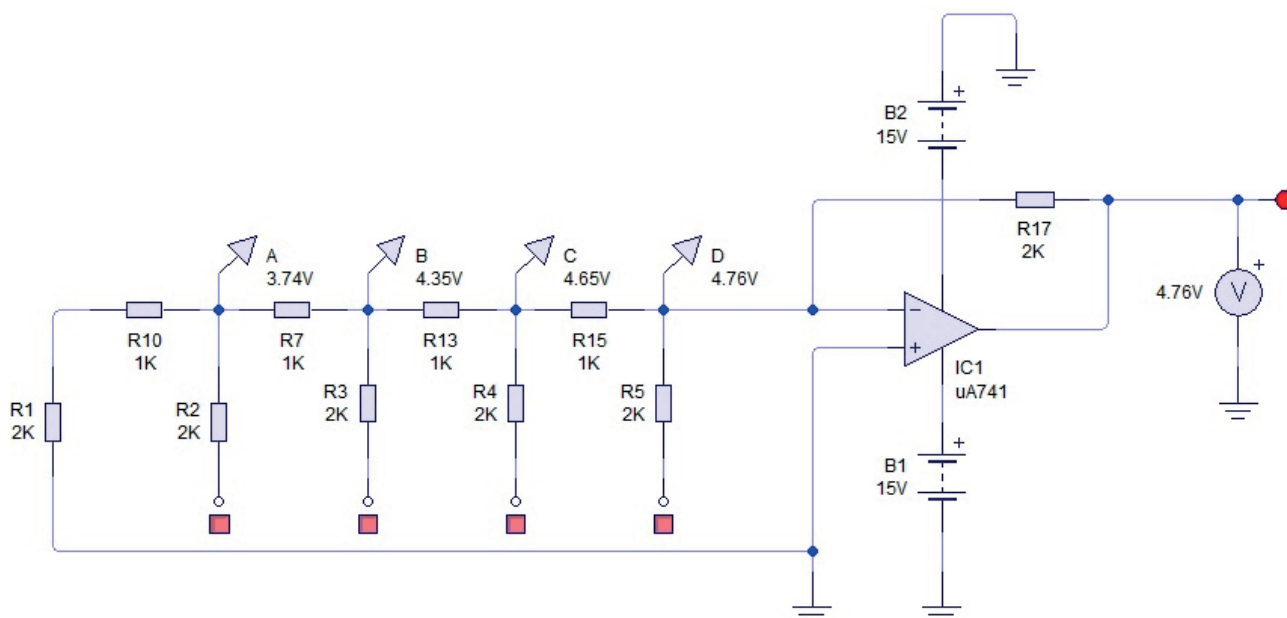
$$Out_r(V) = \frac{V_{ref}}{2^{n-1}} (2^3 \cdot A_3 + 2^2 \cdot A_2 + 2^1 \cdot A_1 + 2^0 \cdot A_0).$$

$$(V_{ref} = 5 \text{ V}, n = 4).$$

Tabela L.7.1 Tabela rada četvorobitnog D/A konvertora sa ljestvičastom mrežom i logičkim prekidačima na ulazu

Decimalni broj	A ₃ (MSB)	A ₂	A ₁	A ₀ (LSB)	V _A (V)	V _B (V)	V _C (V)	V _D (V)	Out _m (V)	Out _r (V)
0										
1										
2										
3										
4										
5										
6										
7										
8										
9										
10										
11										
12										
13										
14										
15										

3. Uporedi izmjerene (Out_m) i izračunate vrijednosti (Out_r) izlaznog napona konvertora za sve ulazne kombinacije digitalnog broja na ulazu. Izračunaj rezoluciju konvertora i grešku između dvije dobijene veličine na izlazu. Analiziraj dobijene rezultate iz ugla tačnosti konvertora.
4. Izvedi zaključak o logici rada četvorobitnog D/A konvertora sa ljestvičastom mrežom i logičkim prekidačima na ulazu.
5. Poveži četvorobitni D/A konvertor sa ljestvičastom mrežom, logičkim prekidačima i operacionim pojačavačem, koristeći laboratorijske uređaje, kao na slici L.7.2. Na eksperimentalnoj pločici poveži ljestvičastu mrežu otpornika i integrisano kolo $\mu A741$. Eksperimentalne sonde postavi u tačkama A, B, C i D.



Slika L.7.2 Četvorobitni D/A konvertor sa ljestvičastom mrežom, logičkim prekidačima i operacionim pojačavačem u laboratorijskim uslovima

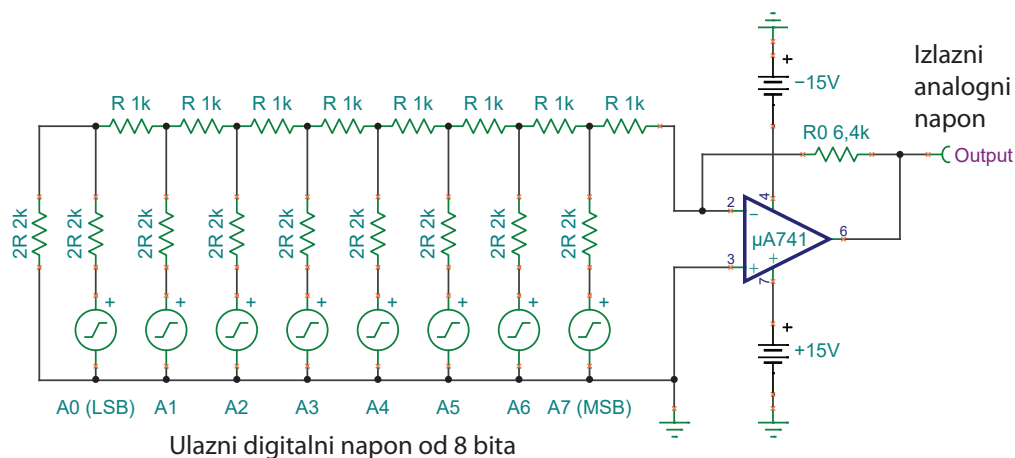
6. Promijeni binarni broj na ulazu D/A konvertora pomoću H/L prekidača, imajući u vidu da je A_3 najveći značajni bit (MSB) a A_0 najmanji značajni bit (LSB). Referentni napon konvertora je $V_{ref} = 5\text{ V}$. Pomoću digitalnog multimetra izmjeri napone u tačkama A, B, C i D (V_A , V_B , V_C , V_D), kao i napon na izlazu (Out_m). Dobijene mjerene vrijednosti unesi u tabelu L.7.2.

Tabela L.7.2 Tabela rada četvorobitnog D/A konvertora sa ljestvičastom mrežom i logičkim prekidačima na ulazu

Decimalni broj	A_3 (MSB)	A_2	A_1	A_0 (LSB)	V_A (V)	V_B (V)	V_C (V)	V_D (V)	Out_m (V)
0	0	0	0	0					
1	0	0	0	1					
2	0	0	1	0					
3	0	0	1	1					
4	0	1	0	0					
5	0	1	0	1					
6	0	1	1	0					
7	0	1	1	1					
8	1	0	0	0					
9	1	0	0	1					
10	1	0	1	0					
11	1	0	1	1					
12	1	1	0	0					
13	1	1	0	1					
14	1	1	1	0					
15	1	1	1	1					

7. Uporedi izmjerene vrijednosti napona u naznačenim tačkama, kao i napone na izlazu D/A konvertora (**Out_m**) koji su dobijeni u laboratorijskim uslovima i u programskom paketu Tina, imajući u vidu da su korišćene sprege invertujućeg i neinvertujućeg operacionog pojačavača. Analiziraj dobijene rezultate iz ugla tačnosti D/A konvertora. Izračunaj pojačanje operacionog pojačavača koji je korišćen u realizaciji šeme u laboratorijskim uslovima.
8. Izvedi zaključak o logici rada četvorobitnog D/A konvertora sa ljestvičastom mrežom u laboratorijskim uslovima. Uoči razliku između invertujućeg i neinvertujućeg višebitnog D/A konvertora sa ljestvičastom otpornom mrežom.

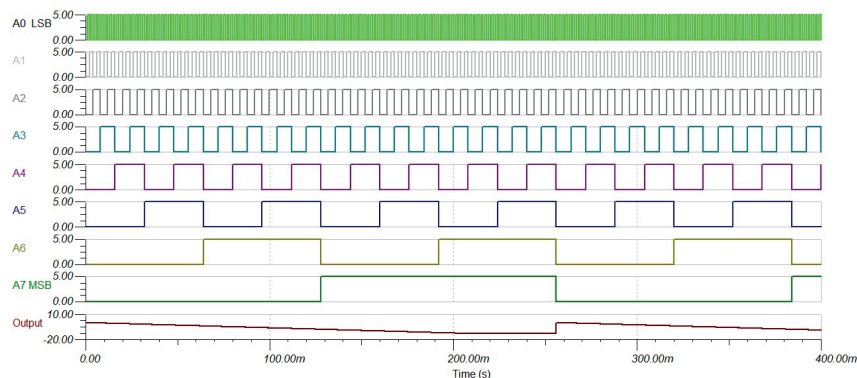
9. Poveži osmobitni D/A konvertor sa ljestvičastom mrežom i generatorima pravougaonih impulsa, za generisanje digitalnih ulaznih signala različitih perioda, u različitim vremenskim intervalima, koristeći programski paket Tina, kao što je prikazano na slici L.7.3.



Slika L.7.3 Osmobitni D/A konvertor sa ljestvičastom otpornom mrežom

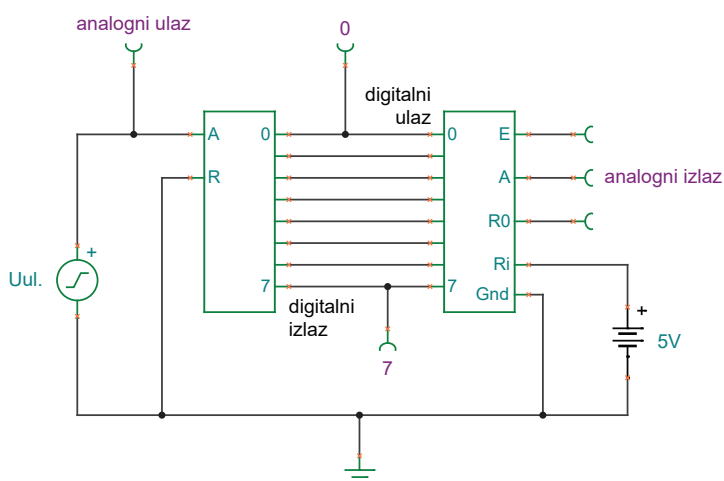
Generatore pravougaonih impulsa veži u otpornu granu serijski sa otpornicima $2R$. Na odgovarajuće pinove operacionog pojačavača dovedi napon napajanja $\pm 15V$. Invertujući ulaz operacionog pojačavača veži na izlaz preko otpornika R_0 , čija je otpornost $6,4k\Omega$. Periodu signala na izlazu generatora pravougaonih impulsa možeš promijeniti u svojstvima generatora.

10. Snimi vremenske dijagrame na digitalnim ulazima i analognom izlazu D/A osmobitnog konvertora, kao što je prikazano na slici L.7.4. Uključi *Transient* analizu – analizu prelaznih procesa, za simulaciju rada konvertora. Izaberi proizvoljnu periodu LSB bita i svaku sljedeću uvećaj dva puta, do MSB bita.



Slika L.7.4 Vremenske funkcije na ulazima i izlazu D/A konvertora

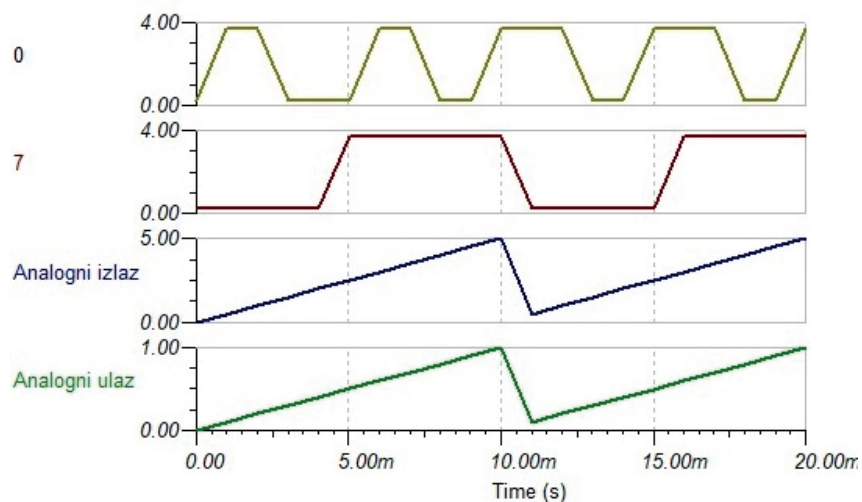
11. Izračunaj vrijednost izlaznog analognog napona osmobitnog D/A konvertora sa ljestvičastom mrežom. Promijeni vrijednosti otpornika u direktnoj i povratnoj grani i ponovo izmjeri napon na izlazu. Izvedi zaključak o uticaju vrijednosti otpornika u ljestvičastoj mreži na oblik signala na izlazu konvertora, kao i uticaj referentnog napona na vrijednost i oblik izlaznog napona.
12. Izvedi zaključak o logici rada višebitnog D/A konvertora sa ljestvičastom otpornom mrežom, uz generatore pravougaonog signala na višebitnom binarnom ulazu.
13. Poveži osmobitni A/D i D/A konvertor koristeći programski paket Tina, kao što je prikazano na slici L.7.5.



Slika L.7.5 Osmobitni A/D i D/A konvertor u serijskoj sprezi

Izlaze osmobitnog A/D konvertora poveži na ulaze osmobitnog D/A konvertora. Na analogni ulaz A A/D konvertora poveži izlaz iz generator-funkcije, koji generiše linearni rastući napon. Na izlaznim digitalnim pinovima 0 i 7 A/D konvertora, kao i na njegovom analognom ulazu, postavi odgovarajuće pinove *Voltage Pin* za snimanje vremenskih oblika signala na ulazima i izlazima A/D konvertora. Na analognom izlazu A D/A konvertora takođe postavi pinove *Voltage Pin* da bismo snimili vremenski oblik analognog signala na izlazu D/A konvertora.

14. Snimi vremenske dijagrame na digitalnim izlazima A/D konvertora i ulazima D/A konvertora, kao što je prikazano na slici L.7.6. Uključi *Transient Analysis* – analizu prelaznih procesa radi simulacije rada konvertora. Na ulaz A/D konvertora, analogni ulaz, dovedi linearni rastući napon.



Slika L.7.6 Vremenski oblici signala na ulazima i izlazima A/D i D/A konvertora

15. Analiziraj oblike dobijenih signala na digitalnim izlazima A/D konvertora. Uporedi analogni ulazni i izlazni napon konvertora, u pogledu periode ponavljanja i naponske amplitude signala. Izvedi zaključak o logici rada višebitnih A/D i D/A konvertora u serijskoj sprezi.

The background is a vibrant, abstract digital composition. It features a series of flowing, wavy lines in shades of deep blue and magenta. Interspersed among these lines are numerous small, glowing particles and larger, out-of-focus bokeh spots in the same color palette. Some particles appear to be trailing, creating a sense of motion and depth. The overall effect is reminiscent of a high-tech data visualization or a futuristic digital landscape.

Prilozi

Prilog 1

Kodovi

Binarni, heksadecimalni i Grejov kôd

Heksadekadna cifra	Binarna vrijednost	Grejov kod	Heksadekadna cifra	Binarna vrijednost	Grejov kod
0	0000	0000	8	1000	1100
1	0001	0001	9	1001	1101
2	0010	0011	A	1010	1111
3	0011	0010	B	1011	1110
4	0100	0110	C	1100	1010
5	0101	0111	D	1101	1011
6	0110	0101	E	1110	1001
7	0111	0100	F	1111	1000

ASCII kod

bitovi $b_3b_2b_1b_0$	bitovi $b_6b_5b_4$							
	000	001	010	011	100	101	110	111
0000	NUL	DLE	SP	0	@	P	`	p
0001	SOH	DC1	!	1	A	Q	a	q
0010	STX	DC2	"	2	B	R	b	r
0011	ETX	DC3	#	3	C	S	c	s
0100	EOT	DC4	\$	4	D	T	d	t
0101	ENQ	NAK	%	5	E	U	e	u
0110	ACK	SYN	&	6	F	V	f	v
0111	BEL	ETB	'	7	G	W	g	w
1000	BS	CAN	(	8	H	X	h	x
1001	HT	EM	)	9	I	Y	i	y
1010	LF	SUB	*	:	J	Z	j	z
1011	VT	ESC	+	;	K	[	k	}
1100	FF	FS	,	<	L	\	l	
1101	CR	GS	-	=	M	]	m	}
1110	SO	RS	.	>	N	^	n	~
1111	SI	US	/	?	O	_	o	DEL

Prilog 2

Tablice istinitosti logičkih operacija

Logičko sabiranje ILI

$$Y = A + B$$

A	B	$Y = A + B$
0	0	0
0	1	1
1	0	1
1	1	1

Logičko množenje I

$$Y = A \cdot B$$

A	B	$Y = A \cdot B$
0	0	0
0	1	0
1	0	0
1	1	1

Logičko komplementiranje NE

$$Y = \bar{A}$$

A	$Y = \bar{A}$
0	1
1	0

Isključivo sabiranje EX ILI

$$Y = A \oplus B$$

A	B	$Y = A \oplus B$
0	0	0
0	1	1
1	0	1
1	1	0

Prilog 3

Zakoni, teoreme i identiteti Bulove algebre

Zakon komutacije

$$A + B = B + A$$

$$A \cdot B = B \cdot A$$

Zakon asocijacije

$$A + (B + C) = (A + B) + C$$

$$A \cdot (B \cdot C) = (A \cdot B) \cdot C$$

Zakon distribucije

$$A \cdot (B + C) = A \cdot B + A \cdot C$$

$$A + (B \cdot C) = (A + B) \cdot (A + C)$$

Zakon apsorpcije

$$A + (A \cdot B) = A$$

$$A \cdot (A + B) = A$$

De Morganove teoreme

$$\overline{A + B} = \bar{A} \cdot \bar{B}$$

$$\overline{A \cdot B} = \bar{A} + \bar{B}$$

Identiteti u Bulovoj algebri

$$A + \bar{A} = 1 \quad A \cdot \bar{A} = 0$$

$$A + A = A \quad A \cdot A = A$$

$$A + 1 = 1 \quad A \cdot 1 = A$$

$$A + 0 = A \quad A \cdot 0 = 0$$

$$A \cdot B + A \cdot \bar{B} = A$$

$$A \cdot (\bar{A} + B) = A \cdot B$$

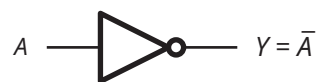
$$(A + B) \cdot (A + \bar{B}) = A$$

Prilog 4

Šematski prikazi logičkih kola

Osnovna logička kola

NE kolo



I kolo



ILI kolo



Složena logička kola

NI kolo



NILI kolo



EX ILI kolo



EX NILI kolo



Rječnik pojmova

A

A/D konvertori – sklopovi koji analogni signal pretvaraju u digitalni.

akumuliranje – uzastopno sabiranje sa prethodnim sadržajem.

aritmetička kola – kola koja obavljaju proste i složene aritmetičke operacije nad binarnim brojevima.

ASCII kod – američki standardni kôd za razmjenu informacija.

asinhroni ulazi flip-flopa – ulazi flip-flopa koji ne zavise od upravljivog takt-signal.

astabilna kola – kola koja imaju dva nestabilna stanja.

B

bajt – grupa od osam bita, drugo ime za oktet.

BCD kôd – kôd kojim se svaka dekadna cifra predstavlja grupom od četiri binarne cifre.

binarna riječ – grupa sastavljena samo od cifara 1 i 0, koji se zovu biti.

binarni brojni sistem – brojni sistem koji ima samo dvije cifre 0 i 1, ima osnovu 2.

binarni komplementori – logički sklopovi za dobijanje komplementa jedinice i dvojke.

bistabilna kola (bistabili) – kola koja imaju dva stabilna stanja, pamte logičku 1 ili 0; drugi naziv flip-flop.

bit po bit – postupak kod A/D konverzije kojim se digitalna vrijednost dobija postupnim određivanjem svakog bita posebno, polazeći od bita najviše pozicije vrijednosti.

BNC – izlazni kontakti generator-funkcije i osciloskopa.

brojači – digitalna kola koja odbrojavaju određen broj impulsa prije generisanja izlaza. Na izlazu generišu binarne kombinacije signala koje na određeni način odgovaraju odbrojanim impulsima sa ulaza:

- **asinhroni brojač** – redni brojač
- **kružni brojači** – brojači kod kojih je izlaz zadnjeg stepena memorijskog kola spregnut sa ulazom prvog memorijskog kola
- **obostrani (reverzibilni) brojači** – brojači koji mogu da broje unaprijed ili unazad, imaju upravljački ulaz za smjer brojanja
- **paralelni brojač** – vrsta brojača koji se sastoji od niza vezanih memorijskih kola, gdje se takt dovodi paralelno na svaki ulaz memorijskog kola
- **redni (serijski) brojač** – vrsta brojača koji se sastoji od niza serijski vezanih memorijskih kola, gdje se takt-impuls dovodi samo na ulaz prvog memorijskog kola
- **sinhroni brojač** – paralelni brojač.

brojni sistemi – sistemi u kojima se mogu predstaviti brojevi.

brzina konverzije – brzina kojom se odvija A/D konverzija signala.

C

Clear (CLR) – kontrolni ulaz sekvencijalne mreže za brisanje sadržaja.

clock signal – takt-signal, povorka vremenskih impulsa – digitalnih signala koji sinhronizuju svaku operaciju.

CMOS logički invertor – osnovno logičko NE kolo, napravljeno u CMOS tehnici.

CMOS NI kolo – logičko NI kolo, napravljeno u CMOS tehnici.

CMOS NILI kolo – logičko NILI kolo, napravljeno u CMOS tehnici.

CMOS tehnologija – tehnologija proizvodnje digitalnih kola koja se prave od komplementarnih, n i p kanalnih, MOS unipolarnih tranzistora.

Č

čip – integrisano kolo.

čitanje sadržaja – postupak ispisa podataka iz memorijskog elementa.

D

D/A konvertori – sklopovi koji digitalni signal pretvaraju u analogni.

De Morganove teoreme – teoreme koje komplementiraju logički zbir ili proizvod Bulovih promjenjivih.

dekoder 4/16 – dekodeer sa 4 ulaza i 16 izlaza.

dekoderi – sklopovi koji rade obrnutu operaciju od kodera, pretvaraju niz binarnih brojeva u informaciju razumljivu za korisnika.

dekodiranje (dekodovanje) – postupak obrade informacije koji se vrši u dekodeeru.

demultiplekser (DMX) – kombinaciono kolo sa jednim ulazom i više izlaza, radi obrnuto od multipleksera.

digitalizacija – proces pretvaranja analognog signala u niz jedinica i nula.

dijeljenje binarnih brojeva – složena aritmetička operacija koja se svodi na aritmetičko oduzimanje, a oduzimanje na sabiranje.

disjunkcija – osnovna operacija matematičke logike koja odgovara logičkoj operaciji ILI, radi sa tvrdnjama koje su tačne ili netačne.

diskretne elektronske komponente – osnovne proste elektronske komponente (diode, tranzistori).

distributor – drugi naziv za demultiplekser.

drugi komplement – komplement dvojke, dobija se tako što se prvom komplementu doda 1.

E

ENABLE ulaz – ulaz kombinacionog kola koji omogućava ili zabranjuje njegov rad.

exclusive NOR (EX NILI) – isključiva komplementirana operacija ILI koja se koristi kod upoređivanja dva binarna broja (komparatori).

exclusive OR (EX ILI) – isključiva operacija ILI koja se koristi kod binarnog sabiranja.

F

flip-flop – kolo koje naizmjenično ulazi u dva moguća stanja (logičke nule ili logičke jedinice) kada primi impulsni signal na ulazu. Drugi naziv za bistabilni multivibrator jeste bistabil:

- **asinhroni flip-flop** – neupravljivo jednomemorijsko sekvencijalno kolo
- **D flip-flop** – modifikacija RS flip-flopa koji na izlazu daje podatak koji mu je dat na ulazu, i kod kojeg signal na izlazu kasni u odnosu na ulazni signal za jednu periodu takt-impulsa. Zbog ovih osobina predstavlja elementarni sklop za memorisanje jednog bita ili kao element za kašnjenje
- **JK flip-flop** – jednomemorijsko sekvencijalno kolo sa dva ulaza (J i K) koji, umjesto zabranjenog, ima brojački režim rada
- **RS flip-flop** – osnovno jednomemorijsko sekvencijalno kolo od koga se prave sva ostala jednomemorijska kola, sa *Set* (postaviti) i *Reset* (poništiti) ulazima
- **sinhroni flip-flop** – upravljivo jednomemorijsko sekvencijalno kolo
- **T flip-flop** – modifikacija JK flip-flopa kod kojega su ulazi J i K međusobno spojeni tako da ima samo jedan logički ulaz T. Predstavlja brojački flip-flop.

frekvencijsko multipleksiranje – postupak sa frekvencijskom raspodjelom telekomunikacionog kanala za prenos podataka.

G

Grejov kôd – netežinski kodni sistem gdje se kombinacije bilo koja dva susjedna bita razlikuju za samo jedan bit.

greška kvantizacije – razlika u vrijednostima amplituda kojima se u postupku A/D konverzije dodjeljuje ista brojčana vrijednost.

H

heksadecimalni brojni sistem – brojni sistem sa osnovom 16. Koristi cifre od 0 do 9 i slova od A do F za predstavljanje dekadnih brojeva od 0 do 15.

Hex – heksadecimalni.

I

I kolo – osnovno logičko kolo koje vrši operaciju logičkog množenja.

ILI kolo – osnovno logičko kolo koje vrši operaciju logičkog sabiranja.

integrisano kolo – složeno kolo koje u sebi integriše velik broj diskretnih elektronskih komponenti.

ispis sadržaja – postupak kada se sadržaj memorijskog elementa pojavljuje na njegovom izlazu.

K

kapacitet brojača – najveća dekadna vrijednost stanja brojača pri njegovom brojanju.

Karnoova tablica (mapa) – tablica koja se koristi za uprošćavanje složene prekidačke funkcije.

kôd – sistem simbola za predstavljanje informacije.

koderi – kombinacione mreže koje se koriste za prevođenje podataka iz jednog oblika u drugi.

kodiranje – proces prevođenja jednog oblika podataka u niz bitova.

kombinacione mreže (matrice) – digitalne mreže koje se dobijaju kombinacijom više logičkih kola.

komparator – digitalno kolo koje upoređuje dva jednobitna binarna broja:

- **nepotpuni komparator** – utvrđuje jednakost ili nejednakost dva binarna broja
- **potpuni komparator** – utvrđuje jednakost ili nejednakost dva binarna broja uz definisanje koji je broj veći.

komplement dvojke – broj koji se dobija kada se komplement jedinice binarno sabere sa binarnom 1 na najmanjem težinskom mjestu.

komplement jedinice – broj koji je dopuna svake cifre do najvećeg broja u zadatoj bazi.

komplementor binarni – sklop za dobijanje komplementa jedinice i dvojke.

kontrolni signal – ulazni signal koji omogućava prelaz flip-flopa iz jednog stabilnog u drugo stabilno stanje.

konvertori koda – kombinaciona kola koja binarnu kodnu riječ pretvaraju iz jednog oblika u drugi.

konverzija – prelazak sa jednog formata na drugi; promjena koja kod podataka utiče na formu, a ne na sadržinu.

konjunkcija – osnovna operacija matematičke logike koja odgovara logičkoj operaciji I, radi sa tvrdnjama koje su tačne ili netačne.

kvant po kvant – postupak mjerenja analogne veličine A/D konvertora pomoću samo jedne, najmanje postojeće diskretne vrijednosti.

kvantizacija – digitalizacija analognog signala po vrijednostima amplituda.

kvantizacioni nivoi – određene amplitude analognog signala kojima su dodijeljene brojne vrijednosti iz prethodno definisanog skupa.

kvazistabilna stanja – stanja na izlazu kola koja su nestabilna.

L

logička algebra – grana matematike koja se zasniva na logičkim promjenjivim i logičkim operacijama pomoću kojih se definišu logičke funkcije.

logička kola – osnovna kola digitalne elektronike sa dvije vrste napona, koji odgovaraju logičkim stanjima 0 ili 1.

logičke operacije – operacije koje se izvode nad dvije cifre, 0 i 1.

logički inverter (NE kolo) – kolo koje vrši logičko komplementiranje (negaciju).

logički množać – kolo koje vrši logičko množenje.

logički sabirač – kolo koje vrši logičko sabiranje.

logičko komplementiranje – logička operacija nad jednim operandom koja vrši negaciju promjenjive koja se komplementira.

logičko množenje – logička operacija koja ima vrijednost 1 samo ako su obje promjenjive u stanju 1, odgovara serijskoj vezi prekidača.

logičko sabiranje – logička operacija koja ima vrijednost 1 ako su bar jedna ili obje promjenjive u stanju 1, odgovara paralelnoj vezi prekidača.

LSB (least significant bit) – najmanje značajan bit binarnog broja, na krajnje desnoj poziciji u broju.

LSI (large scale integration) – digitalna kola velikog stepena integracije.

LJ

ljestvičasta mreža otpornika – otpornička mreža od koje se pravi D/A konvertor.

M

memorija – sekvencijalno kolo koje pamti više višebitnih binarnih riječi u zasebnim memorijskim lokacijama koje su određene adresom.

metode minimizacije – načini kako se može uprostiti složena logička funkcija.

minimizacija prekidačkih funkcija – pretvaranje složene logičke funkcije u jednostavniju, po broju promjenljivih i po broju članova u logičkom zbiru ili logičkom proizvodu.

množenje binarnih brojeva – složena aritmetička operacija koja se svodi na aritmetičko sabiranje.

moduo brojanja – broj stanja brojača u jednoj sekvenci brojanja.

monostabilna kola – kola koja imaju jedno stabilno i jedno nestabilno stanje.

MOS (metal-oxide semiconductor) **tehnologija** – tehnologija digitalnih kola koja se prave od unipolarnih tranzistora.

MSB (most significant bit) – najznačajniji bit binarnog broja, na krajnje lijevoj poziciji u broju.

MSI (middle-scale integration) – digitalna kola srednjeg stepena integracije.

multiplekser (MX) – kombinaciono kolo za izbor jednog izlaza iz više ulaza. Vrší obrnutu funkciju od demultipleksa.

multivibratori – impulsna sekvencijalna kola.

N

NE kola – kola koja komplementiraju napon sa svog ulaza.

nedozvoljeno stanje – stanje flip-flopa kada se on setuje i resetuje istovremeno, što predstavlja njegovo nestabilno stanje pošto ne može da istovremeno pamti logičku 0 i logičku 1.

nepotpuna koderska mreža – koderska mreža gdje broj ulaza nije stepen broja 2 od broja izlaza.

NI kolo – logičko kolo koje vrši logičko množenje sa komplementiranjem.

NILI kolo – logičko kolo koje vrši logičko sabiranje sa komplementiranjem.

nizak nivo – napon logičke 0, što odgovara binarnom broju 0 i naponu od približno 0 V.

O

odabiranje – uzimanje odbiraka analognog signala u definisanim vremenskim intervalima (u postupku digitalizacije analognog signala).

oduzimač – aritmetičko kolo koje obavlja jednobitno ili višebitno oduzimanje dva binarna broja.

oduzimanje binarnih brojeva – prosta aritmetička operacija koja se svodi na aritmetičko sabiranje.

oktet – riječ od osam bita, drugo ime za bajt.

operacija negacije – suprotna vrijednost promjenjive čija se negacija traži.

operandi – brojevi koji učestvuju u osnovnim i složenim aritmetičkim i logičkim operacijama.

P

pisanje sa predznakom – tehnika predstavljanja binarnih brojeva sa predznakom 1 ako je broj negativan, i 0 ako je broj pozitivan na najznačajnijoj poziciji binarnog broja.

podatak po podatak – postupak kvantizacije A/D konvertora gdje se odbirak istovremeno upoređuje sa svim diskretnim veličinama.

potpuna koderska mreža – koderska mreža gdje je broj ulaza stepen broja 2 od broja izlaza.

prekidač – kolo koje može biti u dva stanja – uključeno (1) ili isključeno (0).

prekidačke funkcije – funkcije koje se dobijaju kombinacijom prekidačkih elemenata.

prenos – bit koji prelazi sa manje na veću težinsku poziciju (kod sabiranja ili oduzimanja višebitnih binarnih brojeva).

prethodno stanje flip-flopa – stanje flip-flopa na izlazu u kojem je bio prije dovođenja novog impulsa na ulaz.

prirodni binarni kôd (NBCD, natural binary-coded decimal) – kôd u kojem je svaka dekadna cifra od 0 do 9 predstavljena nizom od četiri bita čija je binarna numerička vrijednost ekvivalentna dekadnoj cifri.

prvi komplement – komplement jedinice.

R

razred – pozicija broja u težinskom brojnom sistemu.

Read (R) – kontrolni ulaz sekvencijalne mreže za čitanje sadržaja.

registar – memorijsko kolo za pamćenje jednog višebitnog binarnog broja:

- **obostrani pomjerački registar** – pomjerački registar koji ima upravljački ulaz za izbor smjera pomjeranja
- **pomjerački (shift) registar** – registar koji ima jedan serijski ulaz ili izlaz
- **stacionarni registar** – registar koji ima paralelne ulaze i izlaze.

resetovanje – postavljanje memorijskog kola u stanje pamćenja logičke 0.

rezolucija D/A konvertora – razlika između dvije susjedne vrijednosti napona prilikom D/A konverzije.

R/W – upravljački ulaz za definisanje smjera brojanja: ako je $R/W = 0$ brojanje je unaprijed (UP), ako je $R/W = 1$ brojanje je unazad (DOWN), ali može biti i obrnuto.

S

sabirač – kombinaciona mreža koja omogućava sabiranje dva binarna broja:

- **polusabirač** (*half-adder*) – sklop koji sabira dva bita i ne sabira prenos nastao sabiranjem bita manje težine
- **potpuni sabirač** (*full-adder*) – sklop koji sabira dva bita uključujući bit prenosa nastao sabiranjem bita manje težine.

sadržaj registra – višebitni binarni broj koji je zapamćen u registru.

SAR (*Successive Approximation Register*) – registar za uzastopno približavanje A/D konvertora.

SC (*sampling circuit*) – kolo za odabiranje A/D konvertora.

sekvencijalna kola – kola kod kojih stanje na izlazu zavisi od sekvence (niza) ulaznih signala.

sekvencijalne mreže – kombinacione mreže logičkih kola koje, pored kombinacionih kola, imaju i memorijske elemente.

selektor – drugi naziv za multiplekser.

serijski izlaz registra – izlaz iz registra bit po bit.

serijski ulaz registra – ulaz u registar bit po bit.

setovanje – postavljanje memorijskog kola u stanje pamćenja logičke 1.

simultana konverzija – konverzija tipa podatak po podatak.

SSI (*small-scale integration*) – digitalna kola malog stepena integracije.

stabilna stanja kola – stanja na izlazu kola koja traju neograničeno dugo.

strob – upravljački ulaz za omogućavanje rada kombinacionih kola, drugi naziv za ENABLE ulaz.

T

tabela istinitosti – tablica svih vrijednosti logičke funkcije za sve kombinacije ulaznih promjenjivih.

tablica brojanja – tablica brojanja brojača, po određenom modulu, jedne sekvence brojanja.

takt-signal – povorka vremenskih impulsa – digitalnih signala koji sinhronizuju svaku operaciju; signal koji upravlja radom sekvencijalnih kola, uzlaznom ili silaznom ivicom.

U

upis sadržaja – operacija pamćenja podataka u memorijskom elementu.

uzastopno približavanje – postupak A/D konverzije tipa bit po bit.

V, W

visok nivo – napon logičke jedinice, što odgovara binarnom broju 1 i naponu od npr. +5 V.

VLSI (*very-large-scale integration*) – digitalna kola vrlo visokog stepena integracije.

vremenska konstanta kondenzatora – proizvod otpornosti i kapacitivnosti koji definiše brzinu punjenja ili pražnjenja kondenzatora.

vremensko multipleksiranje – postupak sa vremenskom raspodjelom telekomunikacionog kanala za prenos podataka.

vrijeme konverzije – vrijeme koje je A/D konvertoru potrebno da potpuno pretvori analogni u digitalni signal.

Write – kontrolni ulaz sekvencijalne mreže za upis sadržaja.

Z

zabranjeno stanje flip-flopa – nedozvoljeno stanje flip-flopa.

Literatura

1. M. Topalović, F. Presetnik, S. Zdravković, *Digitalna elektronika*, Zavod za udžbenike i nastavna sredstva, Beograd, 2010.
2. V. Drndarević, *Elementi elektronike, Digitalna kola*, Elektrotehnički fakultet / Akademska misao, Beograd, 2016.
3. D. Pantić, J. Pešić, *Primena digitalnih integrisanih kola*, Commerce Print, Beograd, 1990.
4. S. Tešić, *Integrisana digitalna elektronika*, Naučna knjiga, Beograd, 1981.
5. R. Vojinović, R. Božović, *Osnove elektronike*, Zavod za udžbenike i nastavna sredstva, Podgorica, 2020.
6. Lj. Stanković, V. Ivanović, M. Radonjić, *Osnovi računarstva*, Podgorica, 2014.
7. D. Dubljević, *Priručnik za praktičnu nastavnu i laboratorijske vježbe iz elektronike*, Centar za stručno obrazovanje, Podgorica, 2010.
8. S. Stanković, R. Laković, *Elektronika*, ETF Podgorica, 1997.
9. https://burmastarrecords.wordpress.com/wp-content/uploads/2009/12/microsoft_computer_dictionary__fifth_edition1.pdf